

# Burst Control Guide

Daniel 2017/5/22 Initial Version

PEB Board 跑 Pattern 之前需要有一連串の設定，本文將敘述整個控制流程以及模式設定。

步驟一 將所有 Slot、所有 channel 上參與 burst 的 Channel FPGA 設定為"burst prepare"，同時設定 Burst 停止的條件:

```
// FPGA SELECT = Channel FPGA
W 0x11    FAIL_STOP_MODE // FAIL_STOP_MODE = 2'b00: 所有 Site 皆 Fail 時停止 burst
                                     // FAIL_STOP_MODE = 2'b01: Fail 計數到某個值時停止 burst
                                     // FAIL_STOP_MODE = 2'b10: 忽略 Fail，執行至"END"時停止 burst
W 0x01    BURST_PREPARE  // BURST_PREPARE = 1'b1: Channel FPGA Burst Prepare "ON"
                                     // BURST_PREPARE = 1'b0: Channel FPGA Burst Prepare "OFF"
W 0x10    FAIL_LIMIT      // FAIL_LIMIT (16-bit Counter)
```

步驟二 選定第一片 PEB Board 為 Master Board，其他必須為 Slave Board。而且安全起見應該先將所有 PEB Board 設定為 Slave 後，才選定一片為 Master，以避免瞬間有兩個以上 Master (可能會燒板子)

```
// FPGA SELECT = Main FPGA
W 0x02    MASTER_BOARD   // MASTER_BOARD = 1'b1: Master Board
                                     // MASTER_BOARD = 1'b0: Slave Board
```

步驟三 針對 Master Board 的 Main FPGA 發動 Burst 指令

```
// FPGA SELECT = Main FPGA
W 0x03    ANY_DATA       // 發動 Burst 指令
```

步驟四 Polling Burst 結束。發動 Burst 後，需要 Polling 每一顆 Channel FPGA 的 BURST\_PREPARE=0 代表 Burst 完整結束

```
// FPGA SELECT = Channel FPGA
R 0x01    BURST_PREPARE  // 若 BURST 結束，則個別 Channel FPGA BURST_PREPARE
                                     // 的 bit0 會被清為 0
```

步驟五 重新對 Master Board 發一次 Burst 指令可以臨時中斷目前的 Burst

```
// FPGA SELECT = Main FPGA
W 0x03    ANY_DATA       // 發動 Burst 指令
```

建議 Debug Tool 畫面:

☐ Normal Burst

☐ Fail Limit:

☐ Fail Ignore

☒ Bursting

GO / STOP