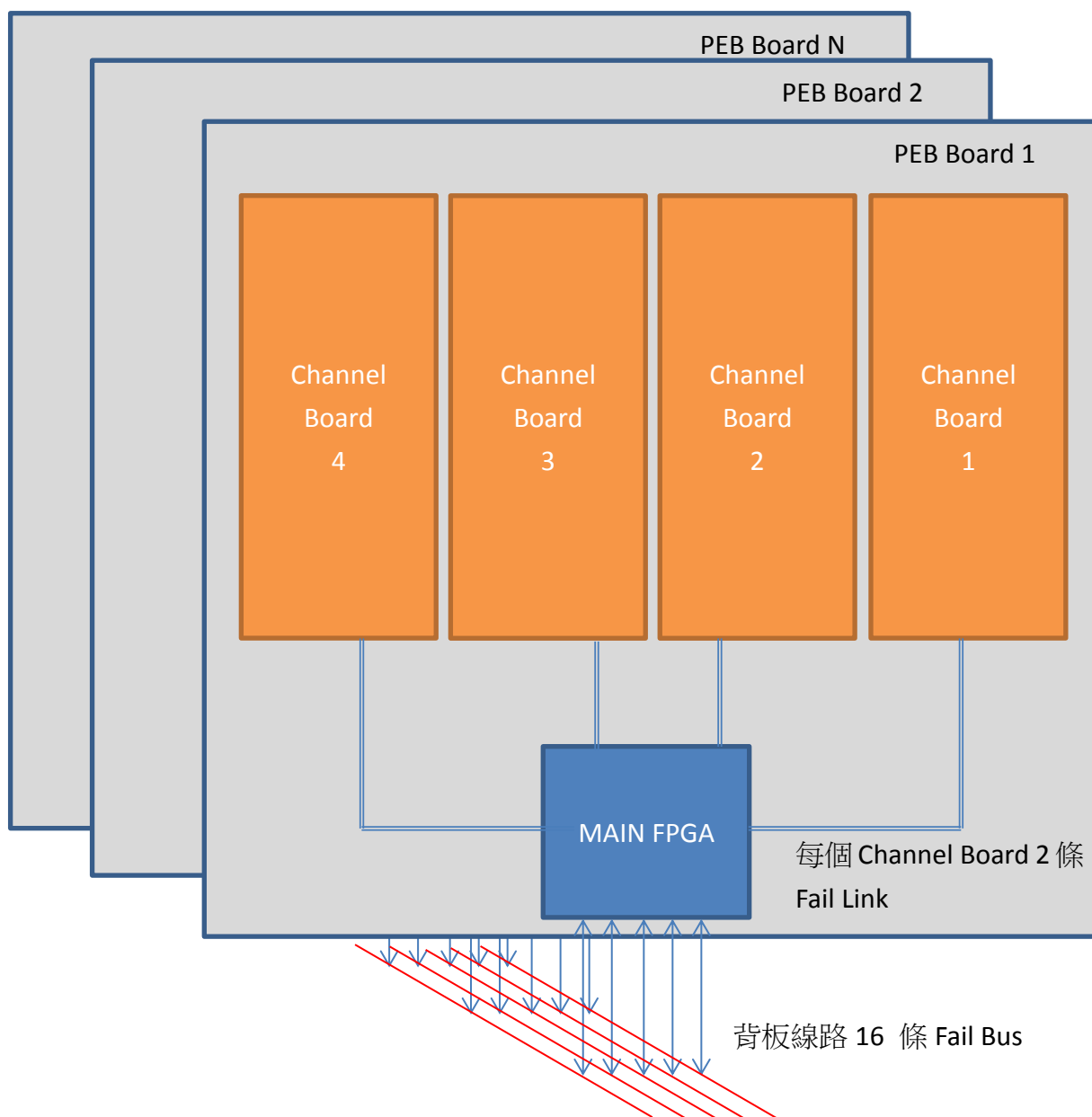


# Site Configure Guide

Daniel 2017/5/26 Initial Version

PEB Board 有所謂分 Site 的概念，多個 Site 相當於在一次 Burst 中同時測試多個 DUT。分 Site 時其實不影響主架構，主要改變的是“Fail”的處理。下圖顯示 PEB Board Fail 的连接線路：

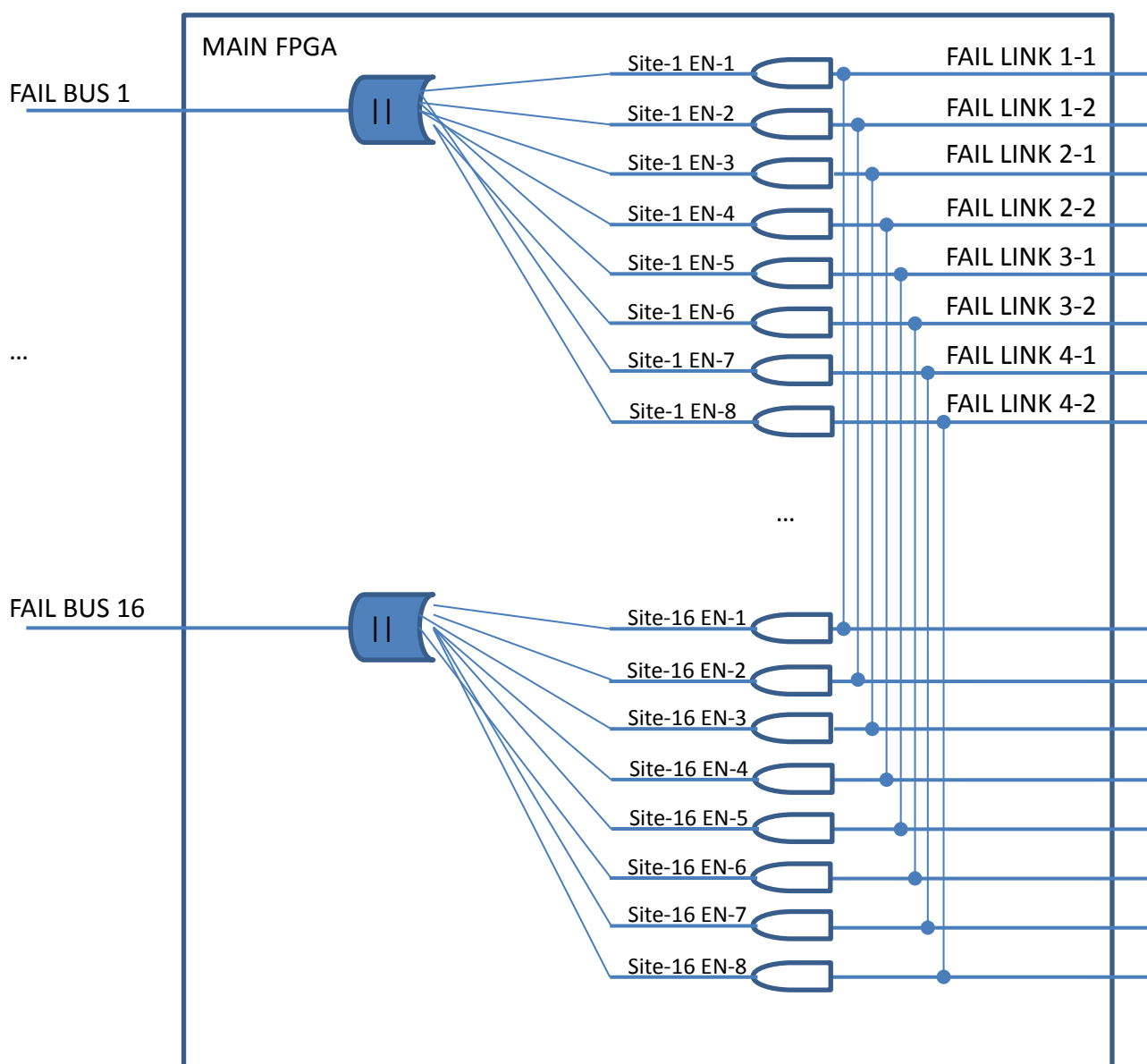


由於背板上有 16 條 Fail 線路，所以可以想像最多有 16 個 Site，每個 Site 藉由獨立的 Fail 線路來連結。這 16 條 Fail 線路直接連接到每片 PEB Board 的 MAIN FPGA 中，若只有一個 Site，則只使用第一條背板 Fail 線路、兩個 Site 則用兩條、16 個 Site 則使用全部 16 條。

另外每片 Channel Board 只有兩條 Fail Link，代表最多容納 2 個 Site、整片 PEB 最多容納 8 個 Site、系統全部 16 個 Site。

MAIN FPGA 同時身兼 Fail 線路的橋接，由上圖可以看到，MAIN FPGA 與背板有 16 條 Fail BUS，與 Channel Board 則是每片兩條 Fail Link，總共有四片，所以全部有八條。

Fail Site 的概念即是將每個 Site 各自選取對於 Channel Board Fail Link 的“Enable”：

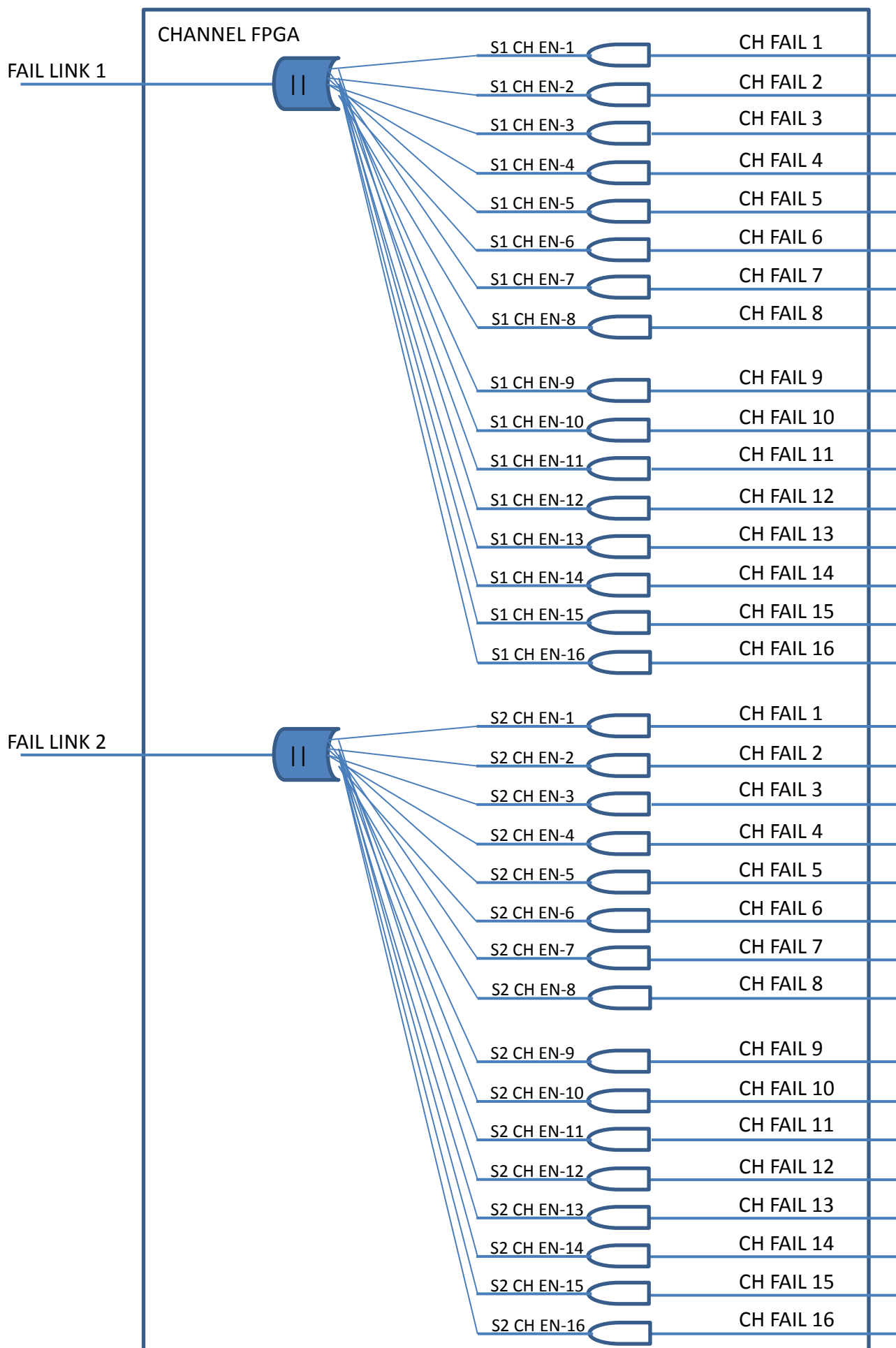


每一個 Site 都有獨立的 8-bit Enable Bit，用來設定 Channel Board 傳過來的 Fail Link 是屬於哪個 Site。

## MAIN FPGA Register MAP:

W	0x10	Site-1 Enable Bit[7:0]	// Bit[0] = Site-1 ENABLE FAIL LINK 1-1 // Bit[1] = Site-1 ENABLE FAIL LINK 1-2 // Bit[2] = Site-1 ENABLE FAIL LINK 2-1 // Bit[3] = Site-1 ENABLE FAIL LINK 2-2 // Bit[4] = Site-1 ENABLE FAIL LINK 3-1 // Bit[5] = Site-1 ENABLE FAIL LINK 3-2 // Bit[6] = Site-1 ENABLE FAIL LINK 4-1 // Bit[7] = Site-1 ENABLE FAIL LINK 4-2
W	0x11	Site-2 Enable Bit[7:0]	// Bit[0] = Site-2 ENABLE FAIL LINK 1-1 // Bit[1] = Site-2 ENABLE FAIL LINK 1-2 // Bit[2] = Site-2 ENABLE FAIL LINK 2-1 // Bit[3] = Site-2 ENABLE FAIL LINK 2-2 // Bit[4] = Site-2 ENABLE FAIL LINK 3-1 // Bit[5] = Site-2 ENABLE FAIL LINK 3-2 // Bit[6] = Site-2 ENABLE FAIL LINK 4-1 // Bit[7] = Site-2 ENABLE FAIL LINK 4-2
...			
W	0x1F	Site-16 Enable Bit[7:0]	// Bit[0] = Site-16 ENABLE FAIL LINK 1-1 // Bit[1] = Site-16 ENABLE FAIL LINK 1-2 // Bit[2] = Site-16 ENABLE FAIL LINK 2-1 // Bit[3] = Site-16 ENABLE FAIL LINK 2-2 // Bit[4] = Site-16 ENABLE FAIL LINK 3-1 // Bit[5] = Site-16 ENABLE FAIL LINK 3-2 // Bit[6] = Site-16 ENABLE FAIL LINK 4-1 // Bit[7] = Site-16 ENABLE FAIL LINK 4-2

除了 MAIN FPGA 的設定之外，每個 Channel Board 的 Channel FPGA 也必須要設定。Channel FPGA 有 16 個 Channel，共要設定於兩個 Fail Link 線路上：



# CHANNEL FPGA Register MAP:

W	0x12	FAIL LINK-1 Enable Bit[15:0]	// Bit[0] = FAIL LINK-1 ENABLE CH-1
			// Bit[1] = FAIL LINK-1 ENABLE CH-2
			// Bit[2] = FAIL LINK-1 ENABLE CH-3
			// Bit[3] = FAIL LINK-1 ENABLE CH-4
			// Bit[4] = FAIL LINK-1 ENABLE CH-5
			// Bit[5] = FAIL LINK-1 ENABLE CH-6
			// Bit[6] = FAIL LINK-1 ENABLE CH-7
			// Bit[7] = FAIL LINK-1 ENABLE CH-8
			// Bit[8] = FAIL LINK-1 ENABLE CH-9
			// Bit[9] = FAIL LINK-1 ENABLE CH-10
			// Bit[10] = FAIL LINK-1 ENABLE CH-11
			// Bit[11] = FAIL LINK-1 ENABLE CH-12
			// Bit[12] = FAIL LINK-1 ENABLE CH-13
			// Bit[13] = FAIL LINK-1 ENABLE CH-14
			// Bit[14] = FAIL LINK-1 ENABLE CH-15
			// Bit[15] = FAIL LINK-1 ENABLE CH-16
W	0x13	FAIL LINK-2 Enable Bit[15:0]	// Bit[0] = FAIL LINK-2 ENABLE CH-1
			// Bit[1] = FAIL LINK-2 ENABLE CH-2
			// Bit[2] = FAIL LINK-2 ENABLE CH-3
			// Bit[3] = FAIL LINK-2 ENABLE CH-4
			// Bit[4] = FAIL LINK-2 ENABLE CH-5
			// Bit[5] = FAIL LINK-2 ENABLE CH-6
			// Bit[6] = FAIL LINK-2 ENABLE CH-7
			// Bit[7] = FAIL LINK-2 ENABLE CH-8
			// Bit[8] = FAIL LINK-2 ENABLE CH-9
			// Bit[9] = FAIL LINK-2 ENABLE CH-10
			// Bit[10] = FAIL LINK-2 ENABLE CH-11
			// Bit[11] = FAIL LINK-2 ENABLE CH-12
			// Bit[12] = FAIL LINK-2 ENABLE CH-13
			// Bit[13] = FAIL LINK-2 ENABLE CH-14
			// Bit[14] = FAIL LINK-2 ENABLE CH-15
			// Bit[15] = FAIL LINK-2 ENABLE CH-16

範例: 將 Slot 1 Channel 17 設定為 Site 2

```
W 0xe0e 1      // Slot 1
W 0xFF 4        // Channel 17 = CH FPGA 2 CH 1
W 0x12 0x1      // Set FAIL LINK-1 & CH1 "Enable" (實際上是 FAIL LINK 2-1、CH17)
W 0xFF 1        // Select Main FPGA
W 0x11 0x4      // Set Site 2 & FAIL LINK 2-1 "Enable"
```