

New PEB Slot Enable & FPGA Enable Guide

Daniel 2017/4/12 Initial Version

Slot Enable 底層控制:

W 0xE0E SLOT // SLOT 為 Slot Control Bit, Bit[0] = Slot 1, Bit[1] = Slot 2, ...

範例:

W 0xE0E 0x0002 // 0x0002 = 00_0000_0010, 因 bit[1] = 1, 所以 Slot 2 被 Enable

New PEB FPGA 結構:

每一片 PEB 由 5 顆 FPGA 組成, 當 Slot 被 Enable 後第一件事為至少 Enable 其中一個 FPGA 並進行控制。第一顆 Main FPGA 控制 Relay、DVM 等等, 而後面四顆 Channel FPGA 個控制 16CH 的 Pin。但有一個狀況除外: 系統初始化時會以一個統一的標準掃描 Board ID, 此時並不會做 FPGA Enable。故若沒有任何 FPGA 被 Enable 時, 對 PEB Read 皆會回傳 Board ID。

FPGA Enable 底層控制:

W 0xE0E SLOT // Enable 某個 Slot

W 0x0FF FPGA // FPGA 為 FPGA Control Bit, Bit[0] = Main FPGA, Bit[1] = Channel 1~16 FPGA, ...

範例:

W 0xE0E 0x0002 // Enable Slot 2

W 0x0FF 0x0001 // 0x0001 = 0000_1, 因 Bit[0] = 1, 故 Main FPGA 被 Enable

讀取 PEB Board ID:

W 0xE0E SLOT

W 0x0FF 0x0000 // 沒有任何 FPGA 被 Enable 時, 才能讀取 Board ID

R 0x000 BOARD_ID // BOARD_ID 應為 0x8402, 其中 84 為 Board Name, 02 為 Reversion

完整範例:

W 0xE0E 0x0002 // Enable Slot 2

W 0x0FF 0x0000

R 0x000 BOARD_ID // BOARD_ID 若為 0x84xx, 才可確認為 New PEB Board, 並繼續下面指令

W 0x0FF 0x0001 // Enable Main FPGA

W 0x000 0x1234 // Main FPGA 位置 0x000 為 Test_Register, 寫入 0x1234

R 0x000 READ_DATA // 回讀 Test_Register, READ_DATA 應為 0x1234