

Cycle On Mode Guide

Daniel 2017/6/23 Initial Version

Cycle On 指的是定義 Instruction Start Address 與 Stop Address，一直不斷的迴圈，在期間可以量測動態電流。

由於標準 Burst 流程中已經定義 Start Address，故新增 Cycle On ENABLE 與 Cycle On Stop Address 兩個 register。

此外，當 Cycle On 量測結束後，藉由 Burst Stop (文件 P19 敘述)來停止 Cycle On 的迴圈。

Channel FPGA Register MAP

W	0x25	CYCLE_ON_ENABLE	// bit[0] = 1, Cycle On Mode
W	0x26	CYCLE_ON_STOP_ADDR_LSB	// bit[15:0] = CYCLE_ON_STOP_ADDR[15:0]
W	0x27	CYCLE_ON_STOP_ADDR_MSB	// bit[6:0] = CYCLE_ON_STOP_ADDR[22:16]

當 Register 被設定為 CYCLE_ON_ENABLE 後，依照標準 Burst 流程啟動 Burst。停止則使用 Burst Stop 流程。