

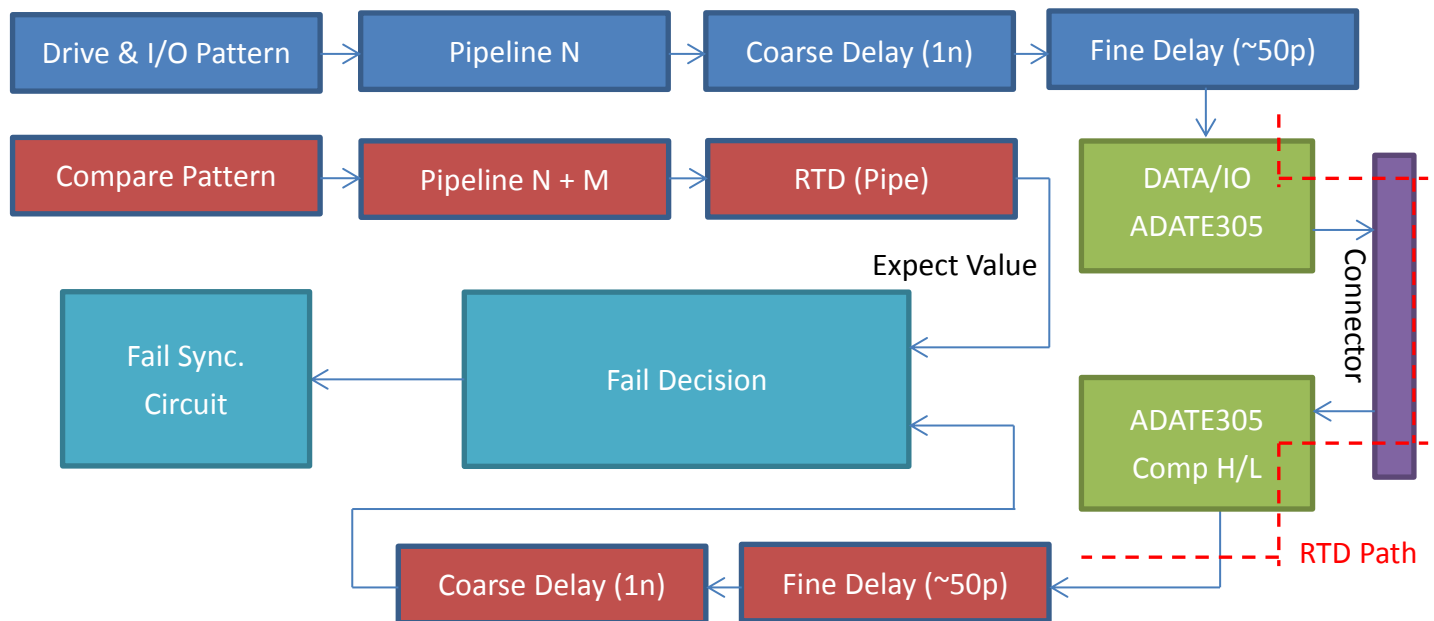
Channel De-Skew Guide

Daniel 2017/5/26 Initial Version

PEB Board 的每一個 Channel 都有 De-Skew 的功能。因為製程的漂移、PCB 上的線路不等長，所以每個 Channel 輸出訊號到 Connector 端目前看來約有 $\pm 0.8\text{ns}$ 的差距。

由於 ADATE305 本身並不支援 De-Skew，故 De-Skew 是放在 Channel FPGA 與 ADATE305 的 Differential 訊號線路上，所以“DATA”、“IO”、“CompareH”、“CompareL”四組訊號各自有獨立的 Delay 可以調整。

Channel FPGA De-Skew 架構如下：



以 Drive 出去的 Pattern 來說，經過系統必須的 pipeline N stage 後，有粗調(Coarse)和細調(Fine)可以調整。粗調一格 1ns，設定範圍 0~10 格、細調一格約 50ps，設定範圍 0~31 格。

藉由粗調與細調的輸出調整，可以讓所有 Channel 輸出時間達到一致(配合最慢的 Channel)

同樣的，Compare 回來的路徑也是不等長，因此也有粗調和細調可以使用並用來接收 ADATE305 比較回來的資料。

不過就算 Drive 出去的 delay 完全相等、Compare 的 delay 也調整到完全一樣，從輸出到 ADATE305、再從 ADATE305 比較回來的電路 delay 將可能會造成“Fail Decision”的時間差，這時間差我們稱為 RTD(round trip delay)。因此我們在 Compare 的系統路徑上加上以“10ns”為調整刻度的 pipeline 系統，RTD 設定範圍 0~7 格。

由於目前 PEB 的目標我們只做到 Connector 為止，未來若要增進機台功能，則 RTD 的延遲系統可以開放使用者設定，因為 Connector 之後 Cable 的延遲時間將由使用者自行決定。

Channel FPGA Register MAP:

W 0x14 {MARKER_SEL(2-bit), CHANNEL_SEL(4-bit), 5'd0, FINE_DELAY(5-bit)}
W 0x15 {MARKER_SEL(2-bit), CHANNEL_SEL(4-bit), 6'd0, COARSE_DELAY(4-bit)}
W 0x18{13'd0, RTD(3-bit)}

// FINE_DELAY(5-bit) 接受範圍 0~31

// COARSE_DELAY(4-bit) 接受範圍 0~10

// MARKER_SEL = 2'b00 "DATA", MARKER_SEL = 2'b01 "IO",

// MARKER_SEL = 2'b10 "COMP_H", MARKER_SEL = 2'b11 "COMP_L"

// CHANNEL_SEL(4-bit) 表示 CH1~16 可獨立設定

// RTD(3-bit) 接受範圍 0~7 整個系統 RTD 只有一個(不分 Channel) ,