

TMU Guide

Daniel 2017/6/7 Initial Version

New PEB Board 上每一個 Channel Board 上各有兩組 TMU(Timing Measurement Unit)，前 8CH 一組、後 8CH 一組，解析度為 1ns。每一組 TMU 又分為三個可以同時獨立運作的量測單元：

1. Frequency Measurement Unit (最高測試頻率: 50MHz)

在固定測試時間內計數 edge 次數，並運算出頻率

2. Period Measurement Unit (最短測試周期: 20ns / 最短測試脈波寬度: 10ns)

可量測訊號周期、High-Pulse 寬度、Low-Pulse 寬度

Test Guideline: 為了完整捕捉整個週期，輸入測試訊號必須為連續波形

3. Edge Measurement Unit

由 8 個 Channel 中單選一個，可以量測 rising time / falling time。或是任選兩個 channel，進行 channel skew 的量測。

Test Guideline: Edge Measurement 為精密量測，使用者必須 take care 待測訊號 initial case 以避免誤 Trigger

- Frequency Measurement Unit

頻率量測方式為 User 給定一個量測周期，系統在這個量測周期內計數 rising edge 與 falling edge 的次數，最後由軟體運算頻率結果：

$$\text{Frequency} = (\text{rising_edge_counter} + \text{falling_edge_counter}) / \text{measurement_period} / 2$$

User 給定的量測周期單位為“1ns”，寬度為 32-bit，最大測試周期為 4 秒左右

系統供回讀的結果為 rising_edge_counter + falling_edge_counter，最大儲存寬度為 31-bit。另外會提供一個“overflow” flag，代表 counter 記數超出 31-bit 範圍，此時 counter 的記數不正確。User 應考慮縮小量測周期。

Channel FPGA TMU_1 Register Map:

```
W  0x40    {10'd0, CMP_MODE(2-bit), 1'd0, CH_SEL(3-bit)} // 依照測試周期開始測試
      // CMP_MODE = 2'b00: 使用 Cmp_H 作為 edge 判斷
      // CMP_MODE = 2'b01: 使用 Cmp_L 作為 edge 判斷
      // CMP_MODE = 2'b1X: 使用 Cmp_H 作為 rising edge 判斷, 使用 Cmp_L 作為 falling edge 判斷
      // CH_SEL: 選取 Channel 1(3'b000) ~ Channel 8(3'b111)
W  0x41    TEST_PERIOD[31:16] // 測試周期 MSB
W  0x42    TEST_PERIOD[15:0]  // 測試周期 LSB
R  0x40    WORKING(bit-0)
R  0x41    {Overflow, Edge_Counter[30:16]}
R  0x42    Edge_Counter[15:0]
```

Channel FPGA TMU_2 Register Map:

```
W  0x50    {10'd0, CMP_MODE(2-bit), 1'd0, CH_SEL(3-bit)} // 依照測試周期開始測試
      // CMP_MODE = 2'b00: 使用 Cmp_H 作為 edge 判斷
      // CMP_MODE = 2'b01: 使用 Cmp_L 作為 edge 判斷
      // CMP_MODE = 2'b1X: 使用 Cmp_H 作為 rising edge 判斷, 使用 Cmp_L 作為 falling edge 判斷
      // CH_SEL: 選取 Channel 9(3'b000) ~ Channel 16(3'b111)
W  0x51    TEST_PERIOD[31:16] // 測試周期 MSB
W  0x52    TEST_PERIOD[15:0]  // 測試周期 LSB
R  0x50    WORKING(bit-0)
R  0x51    {Overflow, Edge_Counter[30:16]}
R  0x52    Edge_Counter[15:0]
```

- Period Measurement Unit

量測待測訊號周期的方式有兩種：偵測 rising edge 到下一個 rising edge，或是 falling edge 到下一個 falling。而量測待測訊號 High-Pulse 的方式為偵測 rising edge 到下一個 falling edge、量測待測訊號 Low-Pulse 的方式為偵測 falling edge 到下一個 rising edge。

一個可能會發生的問題為系統偵測不到起始的 edge 訊號，因此提供一個“no-trigger” flag 讓上層軟體進行 watch dog time-out。另外若抓不到結束的 edge 訊號，會造成時間量測資料儲存(31-bit，約兩秒)錯，系統會標示 overflow flag。

Channel FPGA TMU_1 Register Map:

```
W  0x43    {START(1-bit), 5'd0, MODE(2-bit), 2'd0, CMP_MODE(2-bit), 1'd0, CH_SEL(3-bit)}
// 開始測試 (START = 1) / 強制結束 (START = 0)
// MODE = 2'b00: rising edge to rising edge      (Period measurement)
// MODE = 2'b01: falling edge to falling edge    (Period measurement)
// MODE = 2'b10: rising edge to falling edge    (High-pulse measurement)
// MODE = 2'b11: falling edge to rising edge    (Low-pulse measurement)
// CMP_MODE = 2'b00: 使用 Cmp_H 作為 edge 判斷
// CMP_MODE = 2'b01: 使用 Cmp_L 作為 edge 判斷
// CMP_MODE = 2'b1X: 使用 Cmp_H 作為 rising edge 判斷, 使用 Cmp_L 作為 falling edge 判斷
// CH_SEL: 選取 Channel 1(3'b000) ~ Channel 8(3'b111)

R  0x43     NO_TRIG(bit-1), WORKING(bit-0)
R  0x44     {Overflow, Measure_Time[30:16]}
R  0x45     Measure_Time [15:0]
```

Channel FPGA TMU_2 Register Map:

```
W  0x53     {6'd0, MODE(2-bit), 2'd0, CMP_MODE(2-bit), 1'd0, CH_SEL(3-bit)}
// 開始測試 (START = 1) / 強制結束 (START = 0)
// MODE = 2'b00: rising edge to rising edge      (Period measurement)
// MODE = 2'b01: falling edge to falling edge    (Period measurement)
// MODE = 2'b10: rising edge to falling edge    (High-pulse measurement)
// MODE = 2'b11: falling edge to rising edge    (Low-pulse measurement)
// CMP_MODE = 2'b00: 使用 Cmp_H 作為 edge 判斷
// CMP_MODE = 2'b01: 使用 Cmp_L 作為 edge 判斷
// CMP_MODE = 2'b1X: 使用 Cmp_H 作為 rising edge 判斷, 使用 Cmp_L 作為 falling edge 判斷
// CH_SEL: 選取 Channel 9(3'b000) ~ Channel 16(3'b111)

R  0x53     NO_TRIG(bit-1), WORKING(bit-0)
R  0x54     {Overflow, Measure_Time[30:16]}
R  0x55     Measure_Time [15:0]
```

- Edge Measurement Unit

當量測 rising time 或是 falling time 時，將 Cmp_L 設為 Full-Range 10%準位、Cmp_H 設為 Full-Range 90%準位，此時量測 Cmp_L 與 Cmp_H 的時間差即為 rising time 或是 falling time。

當量測兩個 Channel 之間的 Channel Skew 時，在 8 個 Channel 中任選兩個 Channel (Cmp_L 與 Cmp_H 也是任選)，計算其 edge 的時間差即為 Channel Skew (rising edge 與 falling edge 也是任選)。Skew 的量測必須選定一個"Start Edge"與一個"Stop Edge"，但有時候我們並不知道誰先誰後，因此兩個 source 必須對調測試，數值"小"的或是沒有 over-flow 的結果為正確的量測結果。

Channel FPGA TMU_1 Register Map:

```
W  0x46    {3'd0, STOP_EDGE_SEL(5-bit), 3'd0, START_EDGE_SEL(5-bit)}
      // 開始測試 (START = 1) / 強制結束 (START = 0)
      // START_EDGE_SEL[2:0] = Channel 1~8 Select
      // START_EDGE_SEL[3] = Cmp_H(0) / Cmp_L(1) Select
      // START_EDGE_SEL[4] = Rising_Edge(0) / Falling_Edge(1) Select
      // STOP_EDGE_SEL[2:0] = Channel 1~8 Select
      // STOP_EDGE_SEL[3] = Cmp_H(0) / Cmp_L(1) Select
      // STOP_EDGE_SEL[4] = Rising_Edge(0) / Falling_Edge(1) Select
R  0x46    NO_TRIG(bit-1), WORKING(bit-0)
R  0x47    {Overflow, Measure_Time[30:16]}
R  0x48    Measure_Time [15:0]
```

Channel FPGA TMU_2 Register Map:

```
W  0x56    {3'd0, STOP_EDGE_SEL(5-bit), 3'd0, START_EDGE_SEL(5-bit)}
      // 開始測試 (START = 1) / 強制結束 (START = 0)
      // START_EDGE_SEL[2:0] = Channel 9~16 Select
      // START_EDGE_SEL[3] = Cmp_H(0) / Cmp_L(1) Select
      // START_EDGE_SEL[4] = Rising_Edge(0) / Falling_Edge(1) Select
      // STOP_EDGE_SEL[2:0] = Channel 9~16 Select
      // STOP_EDGE_SEL[3] = Cmp_H(0) / Cmp_L(1) Select
      // STOP_EDGE_SEL[4] = Rising_Edge(0) / Falling_Edge(1) Select
R  0x56    NO_TRIG(bit-1), WORKING(bit-0)
R  0x57    {Overflow, Measure_Time[30:16]}
R  0x58    Measure_Time [15:0]
```