

Scan Channel Board Guide

Daniel 2017/4/14 Initial Version

New PEB 子板結構

每一片 PEB 主板上有一顆 Main FPGA，之上可插四片 Channel Board，每片 Channel Board 上各有一顆 FPGA。插滿的狀況下共五顆 FPGA。

系統在 initial 時，當某個 Slot 掃描到 New PEB 後，應該先 Enable Main FPGA，並讀取 Channel Board Status:

R 0x001 CH_STATUS // CH_STATUS 為是否有插入 Channel Board 指示

Bit[0] = 1 表示 CH01~16 (Channel Board 1) 有裝配

Bit[1] = 1 表示 CH17~32 (Channel Board 2) 有裝配

Bit[2] = 1 表示 CH33~48 (Channel Board 3) 有裝配

Bit[3] = 1 表示 CH49~64 (Channel Board 4) 有裝配

當確認 PEB Channel Board 有插入後，即可 Enable 對應的 FPGA 並進行 Channel Board ID 讀取

R 0x000 CH_BOARD_ID // address 0x00 為 Read Only Register，Channel Board ID (應為 0x80xx)

Channel Board FPGA 之測試 R/W Register 位置為 0xF0，讀寫範例如下:

W 0x0F0 0x1234

R 0x0F0 READ_DATA // READ_DATA 應為 0x1234

Channel Board Scan 底層控制範例:

W 0xE0E 0x0002 // Enable Slot 2

W 0x0FF 0x0000

R 0x000 BOARD_ID = 0x84xx // 確認為 New PEB Board

W 0x0FF 0x0001 // Enable Main FPGA

R 0x001 CH_STATUS // 若僅 Channel Board 1&4 有裝配，CH_STATUS 應為 0x0009

W 0x0FF 0x0002 // Enable Channel Board 1 FPGA

R 0x000 CH_BOARD_ID = 0x80xx // 確認為 PEB Channel Board

W 0x0FF 0x0010 // Enable Channel Board 4 FPGA

R 0x000 CH_BOARD_ID = 0x80xx // 確認為 PEB Channel Board