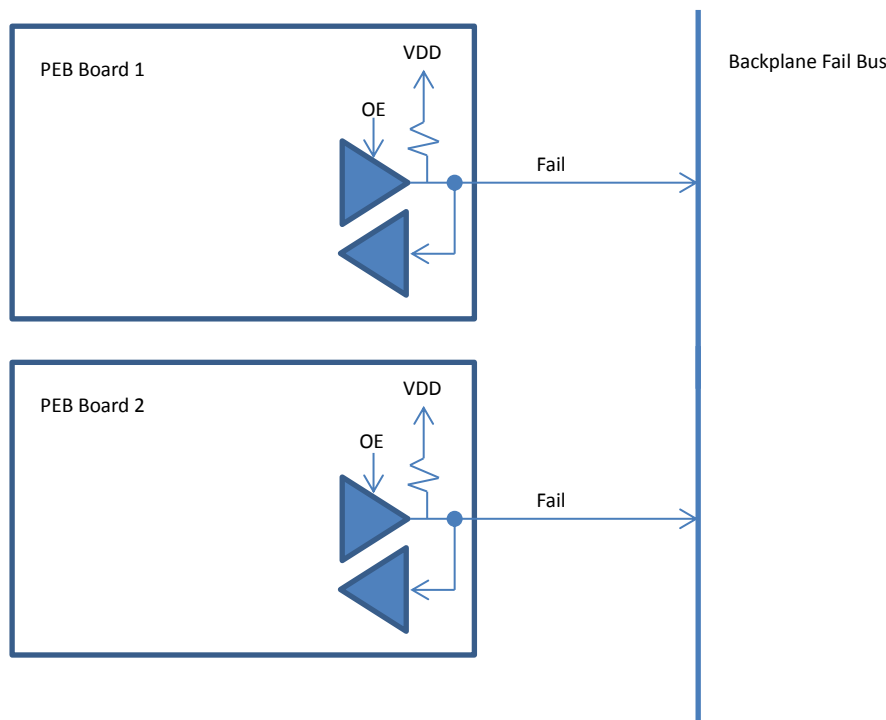


# Fail Master Setup Guide

Daniel 2017/6/21 Initial Version

由於 New PEB Board 須相容舊的 6836 背板，然而舊的 6836 背板並沒有“pull-up”電路，故插上多片 New PEB Board 時必須選擇一片 Master Board 來負責拉升 Fail 線路的電壓。



每一片 New PEB Board 的 Main FPGA Fail 腳位上都有做 weak pull-high，配合 Fail 信號是設計成 low active，整體做一個 example 的 timing 如下：

## Fail T0 alignment



## Board 1 Fail (no fail for example)



## Board 2 Fail (low active)



## Fail Bus Result



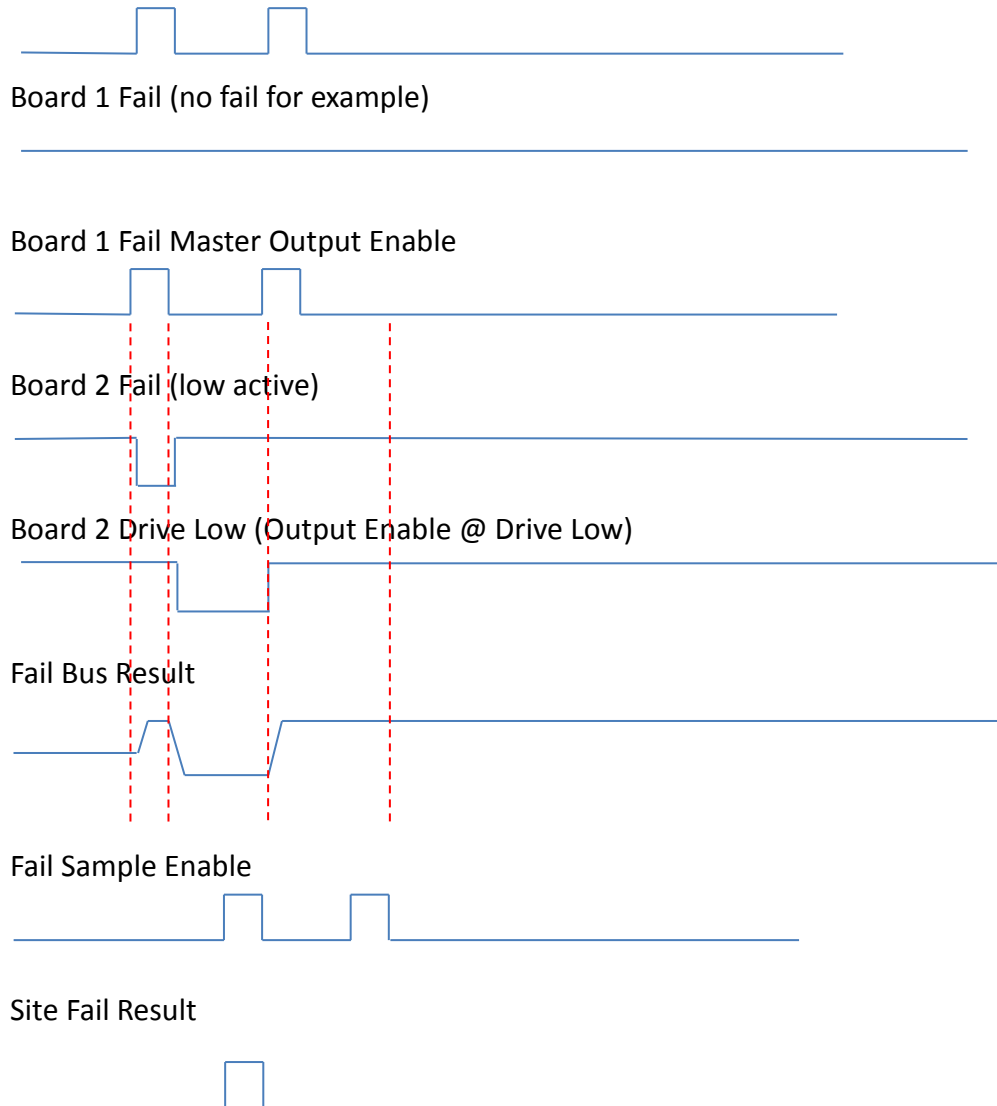
由於 Board 2 發生 Fail，將 BUS 往下拉的速度一般而言可以滿足 10ns timing，但 Fail 結束後只靠 weak pull high 拉回 BUS 則要花非常多時間，以 33MHz 而言 worst case 僅僅只有 30ns 的同步時間可以用。因此在規劃成同一個 site 後，需要每個 site 指定一個 Fail Master 進行 BUS 的拉升。30ns 的時間我們分為三個階段：

1. 與 Fail\_T0 同步的第一個 Cycle: 這個階段不論 Fail 發生與否，Fail Master 皆對 Fail BUS 做電壓提升

的動作

2. 第二個 Cycle: 若多片板子中有發生 Fail 的情況，則對 Fail Bus Drive Low(多片板子發生 Fail 的情況可同時拉 low，相較於同時拉 high，拉 low 不傷 IO)
3. 第三個 Cycle: Fail 的板子持續拉 Low，並且所有板子在第三個 Cycle 進行取樣，作 Fail 的同步

Fail T0 alignment



由上面的動作可知，Main FPGA 必須要在 T0 後的三個 Cycle 依序做出不同的反應，但是當 MATCH 被執行後不同的 Site 可能 T0 的時間點不同，所以不能統一使用第一片 PEB 當成 Fail Master Board。

若 MATCH 會被執行，代表分 Site 一定以“Board”當界線，故 Fail Master Board 的決定，以每個 Site 的第一片來擔當即可。

## Main FPGA Register MAP

W	0x04	Fail_Master_Enable[15:0]
W	0x05	Match_Master_Enable[5:0]



