Relay Control Guide

Daniel 2017/4/17 Initial Version

New PEB Relay 結構

每一片 PEB 主板上有 64 顆 Chanel Relay、32 個 UR Relay Control,皆由 Main FPGA 所控制。每一個 Channel 都有獨立的 Relay 開關,每一片 PEB Board 有 64 個 Channel 故有 64 個 Relay。另外有 32 個 UR Relay 控制(僅控制,未實際裝 Relay)藉由面板 Connector 輸出,這些 Relay 控制可以用作 Diag. Board 或是 User 的 DUT Board 控制需求使用。

Main FPGA 透過串列傳輸介面控制 Relay Controller,每一筆 command 實際需要 3us 處理,故需要軟體 delay 或是 polling flag 來確認指令完成。另外由於採用 shift register 介面,relay 狀態回讀時是回讀"上一次"command 所帶的 address。因為 Relay 控制通常沒有速度要求,故回讀時可以固定發送兩次 Dummy Write。

Main FPGA Relay Control Register MAP:

更改 CH_RLY[23] = OFF, CH_RLY[16] = ON 範例:

R OxEF Polling_Data // Polling 是否工作中,直到回讀 Data Bit[0] = 0 才可繼續下面指令 W OxE2 16'b11000000000011 // Protection Bit 為"1"才可以寫入,避免影響既有的其 //他 Relay 設定。而 Bit[0]表示 CH_RLY[16]、Bit[14]表示 // CH_RLY[23]

回讀 USR_RLY[7:0] 狀態範例:

R	0xEF	Polling_Data[0] = 0	
W	0xE8	16'b00000000000000000	// Dummy Write (Protection Bit 皆為 0),
			//目的為送入 Address (USR_RLY[7:0]為 0xE8)
R	0xEF	Polling_Data[0] = 0	
W	0xE8	16'b00000000000000000	// Dummy Write (Protection Bit 皆為 0),
			//再送一次 Dummy Write 把 Data Shift 出來
R	0xEF	Polling_Data[0] = 0	//確認 Command 完成
R	0xE0	ReadBack_Data	//回讀 USR_RLY[7:0]的 ON OFF 狀態

快速掃描所有 Relay 狀態:

R	0xEF	Polling_Data[0] = 0	
W	0xE0	16'b00000000000000000	// 預備讀取 CH_RLY [7:0]
R	0xEF	Polling_Data[0] = 0	
W	0xE1	16'b00000000000000000	// 預備讀取 CH_RLY [15:8]
R	0xEF	Polling_Data[0] = 0	
R	0xE0	ReadBack_Data	// 回讀 CH_RLY[7:0]的 ON OFF 狀態
W	0xE2	16'b00000000000000000	// 預備讀取 CH_RLY [23:16]
R	0xEF	Polling_Data[0] = 0	
R	0xE0	ReadBack_Data	// 回讀 CH_RLY[15:8]的 ON OFF 狀態
W	0xE3	16'b00000000000000000	// 預備讀取 CH_RLY [31:24]
R	0xEF	Polling_Data[0] = 0	
R	0xE0	ReadBack_Data	// 回讀 CH_RLY[23:16]的 ON OFF 狀態