

DVM Guide

Daniel 2017/6/3 Initial Version

舊的 PEB Board 上有一個專門負責控制 DVM、UR Relay 的 FPGA，我們稱之為 DVM FPGA。而在 New PEB Board 上我們取消了這顆 DVM FPGA，並且合併於 Main FPGA 之中。

由於 DVM FPGA 的 UR Relay 功能已被 Main FPGA 所包走，剩下的 DVM 功能則以“Black Box”形式被包裝在 Main FPGA 之中當成一個“虛擬”的 DVM FPGA。

在原本的 Main FPGA 中，對於 FPGA Selection (0xFF) 的控制共有 6-bit:

6'b000000: No Select，此時可以讀取 Board ID 資訊

6'b000001: Main FPGA

6'b000010: CH-1 FPGA

6'b000100: CH-2 FPGA

6'b001000: CH-3 FPGA

6'b010000: CH-4 FPGA

6'b100000: Virtual DVM FPGA

所以當 0xFF 被設定為 0x20 時，PCI DATA BUS 就會被橋接至 DVM FPGA 上。

原本 DVM 的量測流程、方式，皆與舊 PEB Board 相同，只是 UR、EEPROM 的功能被拿掉。