

# 《数字逻辑基础》实验报告

姓名：许霁烨

学号：211275024

## 第一关：3输入多数表决器

### 实验整体方案设计

本题的核心是“多数”，也就是说输出值与三个输入值中占多数的值相同，真值表如下：

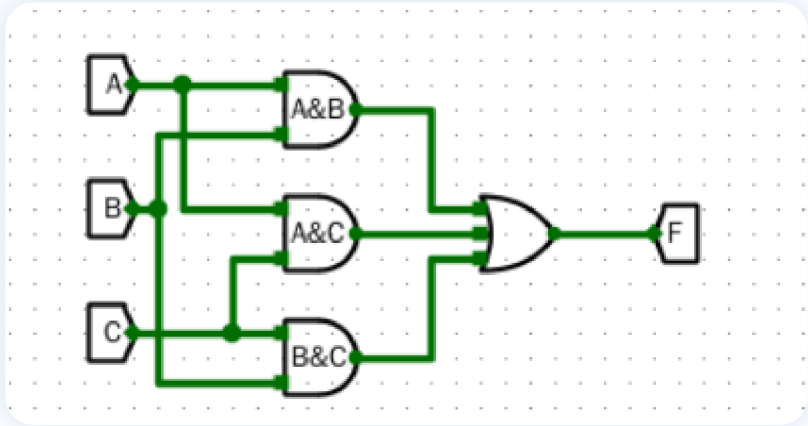
X	Y	Z	F(X,Y,Z)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

可以发现，当输入的值中有任何两个及以上为“1”，那么输出值为1，反之为0。这通过先与后或的方法构造电路，电路的逻辑表达式为：

$$F = X \cdot Y + X \cdot Z + Z \cdot Y$$

构造电路如下：

## 实验原理图和电路图



设计的电路中由三个二输入与门和一个三输入或门构成，用于寻找ABC中占多数的值

## 实验结果

根据软件中的“工程-分析组合逻辑电路”，查看本电路的真值表，可以发现，真值表与期望相同：

组合逻辑电路分析

文件 编辑 工程 电路仿真 窗口 帮助

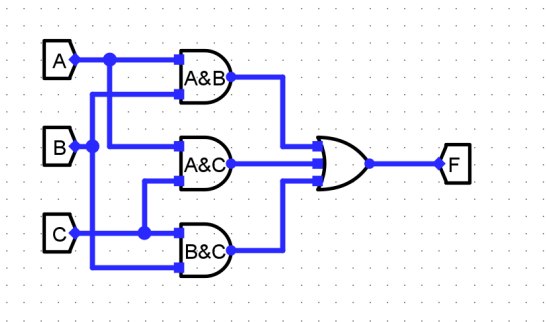
输入 输出 真值表 表达式 最小项

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

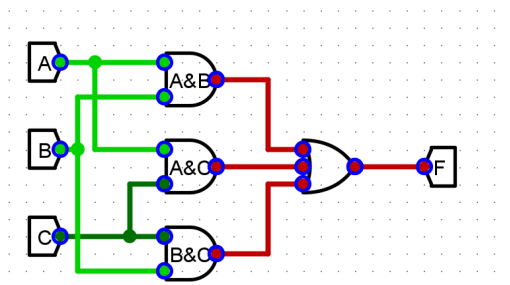
生成电路

接下来，进行数据仿真测试，本测试采用的输入是“1,1,0”，每一步测试结果如下：

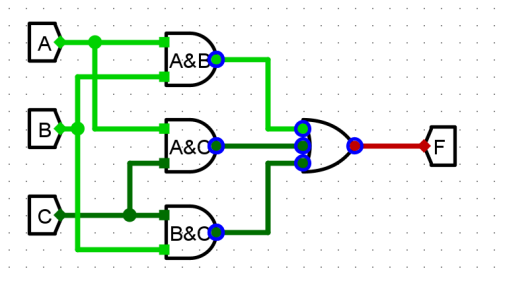
• 初始状态：



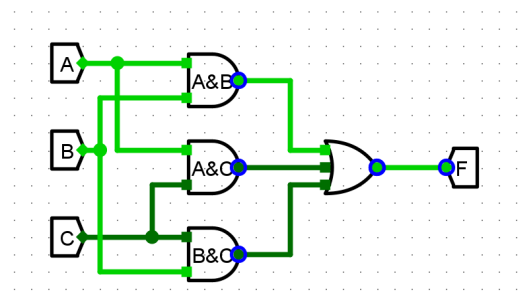
- 第一次单步仿真：



- 第二次单步仿真：



- 第三次单步仿真：



可以看出，每一次的单步仿真符合预期要求。

实验测试结果如图，可以看见，设计的电路能够完美输出期望结果

测试集1

消耗内存826.42MB 代码执行时长: 1.51秒

预期输出			实际输出		
Cnt	ABC	F	Cnt	ABC	F
0	0	0	0	0	0
1	1	0	1	1	0
2	2	0	2	2	0
3	3	1	3	3	1
4	4	0	4	4	0
5	5	1	5	5	1
6	6	1	6	6	1
7	7	1	7	7	1

## 错误现象及分析

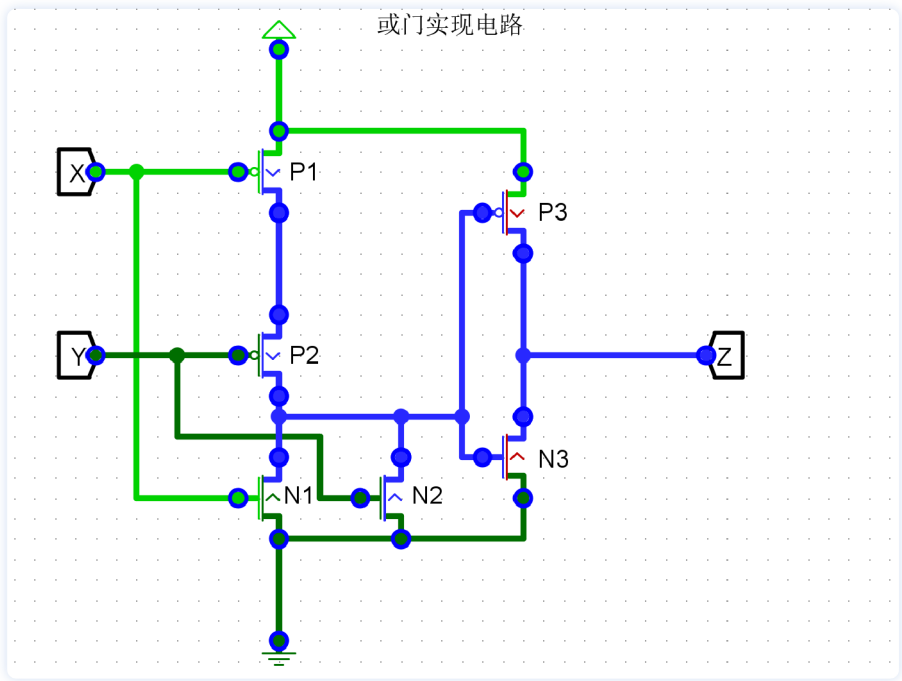
本题暂未遇到问题

## 第二关：或门实现电路

# 实验整体方案设计

本题较为简单，核心思想就是将或非门和非门级联即可，或非门和非门的晶体管实现在教材中讲过，这里不再赘述。

## 实验原理图和电路图



上述电路图中，左半部分是或非门的晶体管实现，有右半部分是非门的晶体管实现，组合即可实现或门

## 实验结果

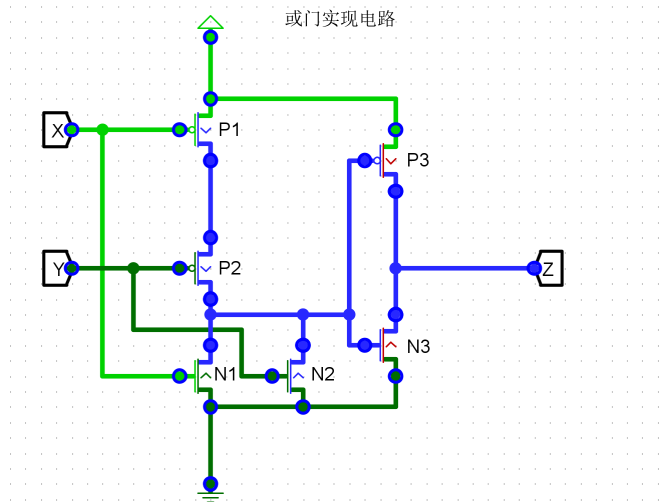
根据Logisim生成的真值表，可以看出该电路可以实现题目要求：

组合逻辑电路分析			
文件 编辑 工程 电路仿真 窗口 帮助			
输入 输出 真值表 表达式 最小项			
X	Y	Z	
0	0	0	
0	1	1	
1	0	1	
1	1	1	

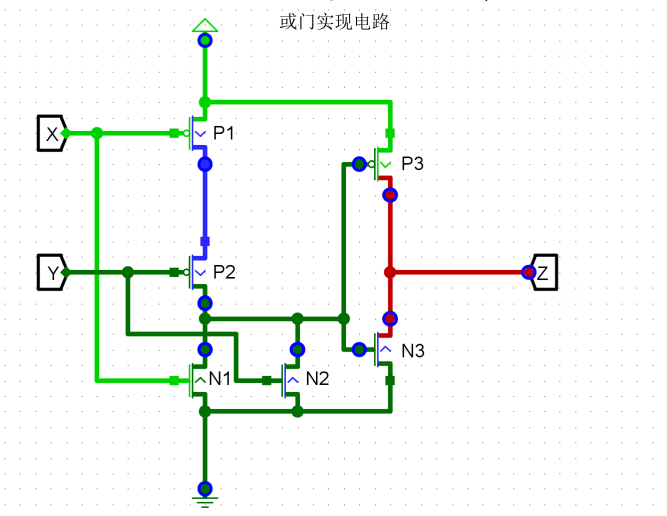
生成电路

进行数据仿真测试，这里让X=1,Y=0，每一步测试如下：

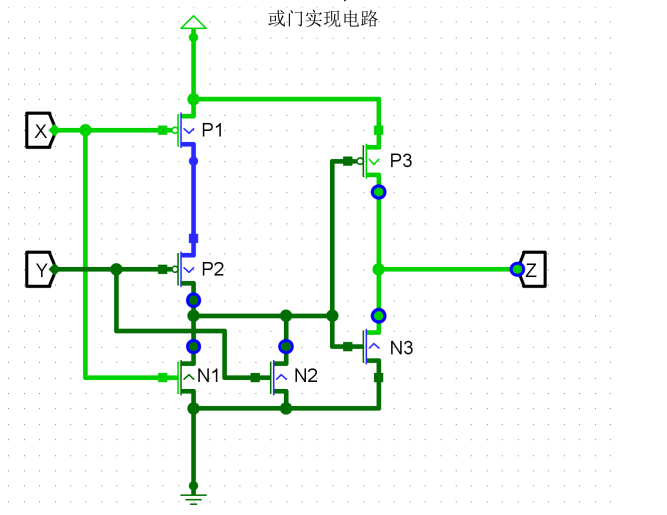
- 第一步：X是高电平，Y是低电平，因此P1关闭，N1导通，P2导通，N2关闭



- 第二步：因为 N1,P2 导通，中间那部分就是低水平电压，深绿色



- 第三步：因为 P3，N3 栅极均为 L，故而 P3 通，N3 断，输出位 H



实验运行结果如图

1/1 全部通过

测试集1

消耗内存910.62MB 代码执行时长: 1.19秒

预期输出

Cnt	XY	F
0	0	0
1	1	1
2	2	1
3	3	1

实际输出

展示原始输出

Cnt	XY	F
0	0	0
1	1	1
2	2	1
3	3	1

错误现象及分析

本题暂未遇到问题

第三关：2 选 1 多路选择器（1）

实验整体方案设计

2 选 1 多路选择器的逻辑表达式为

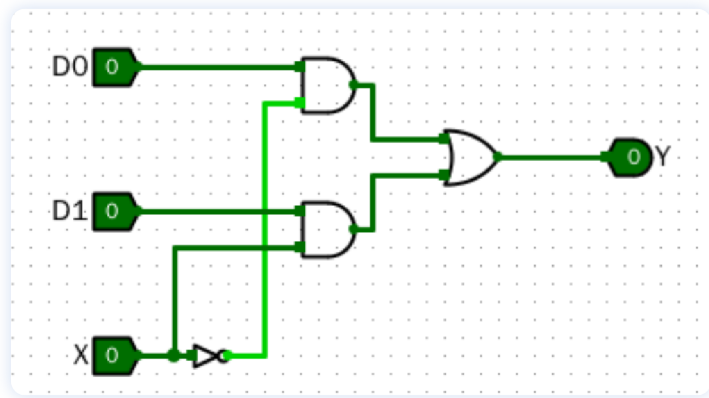
$$Y = D_0 \cdot \overline{S} + D_1 \cdot S$$

根据上述表达式，可以构造出实现的电路图，真值表如下

$D_0$	$D_1$	$S$	$Y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

实验原理图和电路图

根据上述逻辑表达式即可设计出电路：



## 实验结果

根据Logisim生成的真值表，可以看出该电路可以实现题目要求：

组合逻辑电路分析

文件 编辑 工程 电路仿真 窗口 帮助

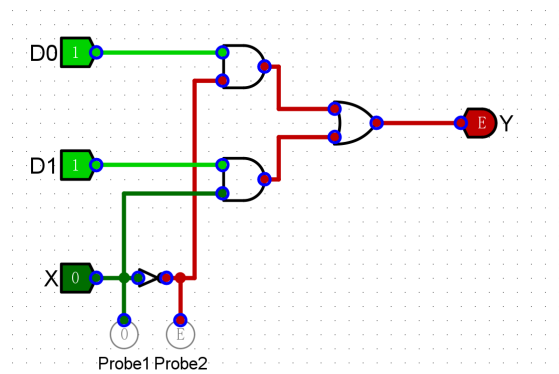
输入 输出 真值表 表达式 最小项

D0	D1	X	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

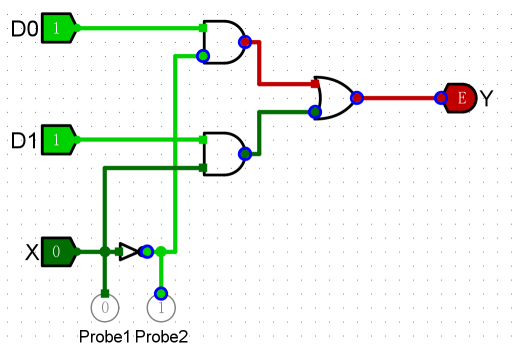
生成电路

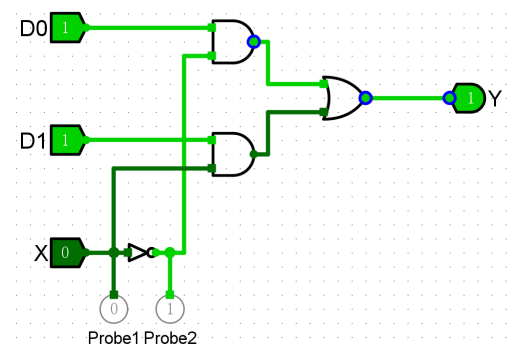
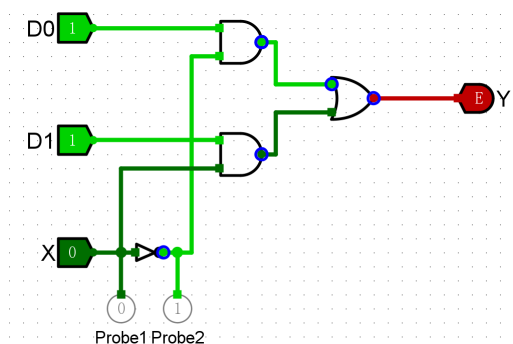
进行数据仿真测试，这里让  $D_0 = 1, D_1 = 1, S = 0$ ，也就是选择  $D_0$  作为输出，每一步测试如下：

• 第一步：



• 第二步：





实验运行结果如图

1/1 全部通过

测试集1

消耗内存910.62MB 代码执行时长: 1.24秒

预期输出

实际输出

展示原始输出

Cnt	SD0D1	F
0	0	0
1	1	0
2	2	1
3	3	1
4	4	0
5	5	1
6	6	0
7	7	1

Cnt	SD0D1	F
0	0	0
1	1	0
2	2	1
3	3	1
4	4	0
5	5	1
6	6	0
7	7	1

## 错误现象及分析

在最开始使用探针时，会出现探针显示“-1”，在检查后发现，将探针的进制从十进制改成二进制即可

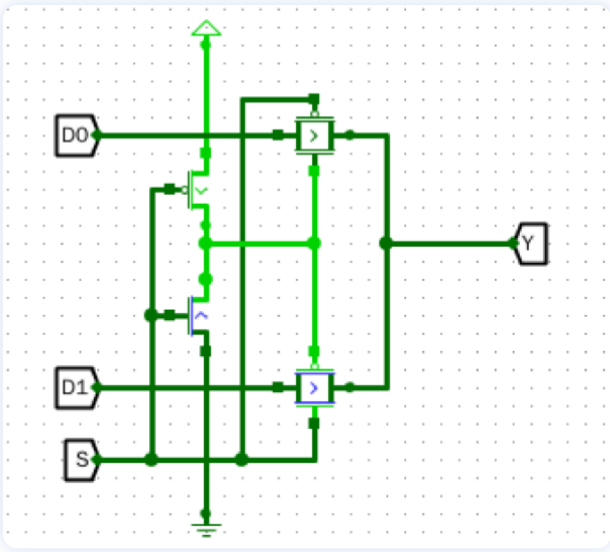
## 第四关：2 选 1 多路选择器（2）

## 实验整体方案设计

本题较为简单，将第三关设计的电路用利用**晶体管和传输门**形式表达即可



## 实验原理图和电路图



## 实验结果

根据Logisim生成的真值表，可以看出该电路可以实现题目要求：

组合逻辑电路分析

文件 编辑 工程 电路仿真 窗口 帮助

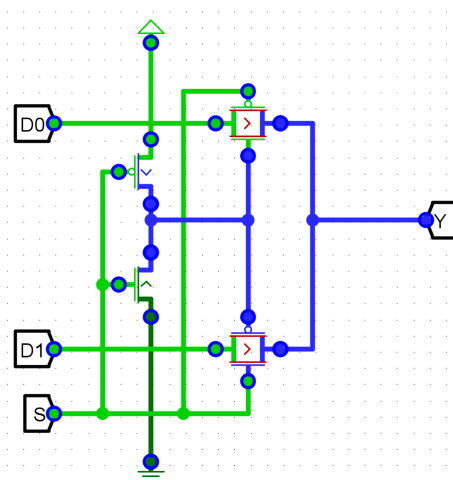
输入 输出 真值表 表达式 最小项

D0	D1	X	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

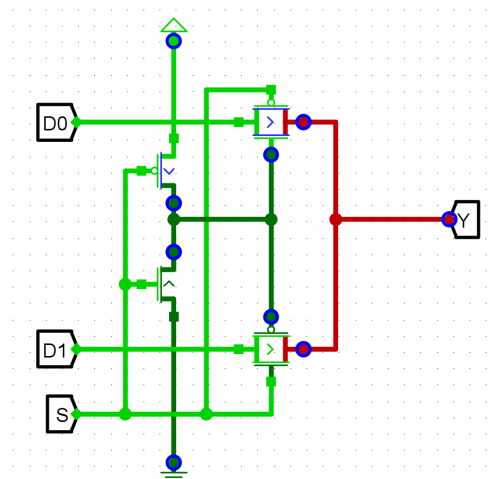
生成电路

进行数据仿真测试，这里让 $D_0 = 1, D_1 = 1, S = 1$ ，也就是选择 $D_1$ 作为输出，每一步测试如下：

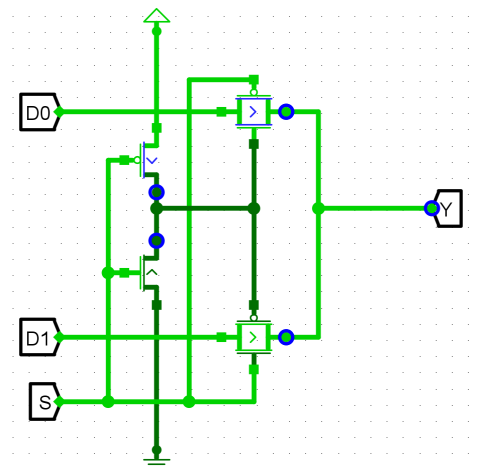
- 第一步：S是高电平，因此P断N通



- 第二步：因为P断N通，因此中间部分是接地（低电平）



- 第三步：下面的传输门，PMOS, NMOS均通，故选择D1



网站测试结果：

1/1 全部通过

测试集1

消耗内存910.62MB 代码执行时长: 1.22秒

预期输出

Cnt	SD0D1	F
0	0	0
1	1	0
2	2	1
3	3	1
4	4	0
5	5	1
6	6	0
7	7	1

实际输出

Cnt	SD0D1	F
0	0	0
1	1	0
2	2	1
3	3	1
4	4	0
5	5	1
6	6	0
7	7	1

展示原始输出

## 错误现象及分析

本题暂未遇到问题

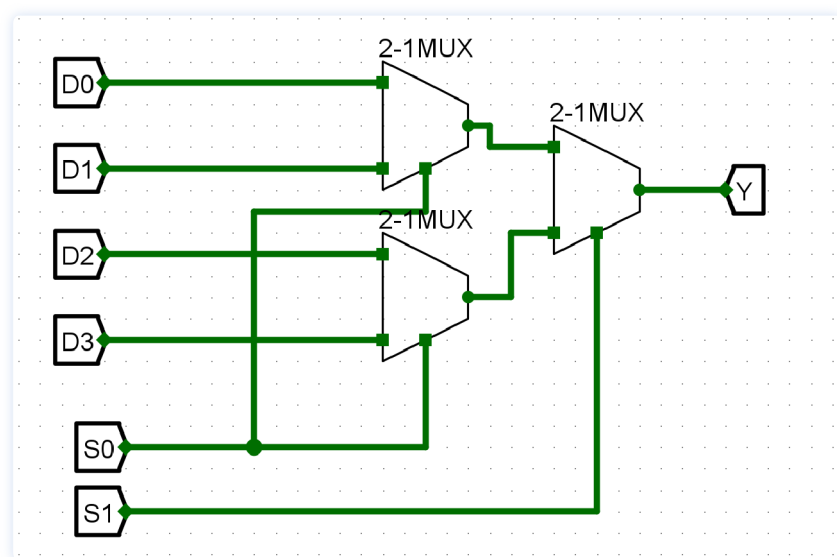
### 第五关：4 选 1 多路选择器

## 实验整体方案设计

本题可以利用第三关构造好的2选1多路选择器级联，构建4选1多路选择器。

- 先构建子电路，将2选1多路选择器设置为本题的子电路
- 修改子电路形状
- 基于2选1多路选择器构建4选1多路选择器

## 实验原理图和电路图

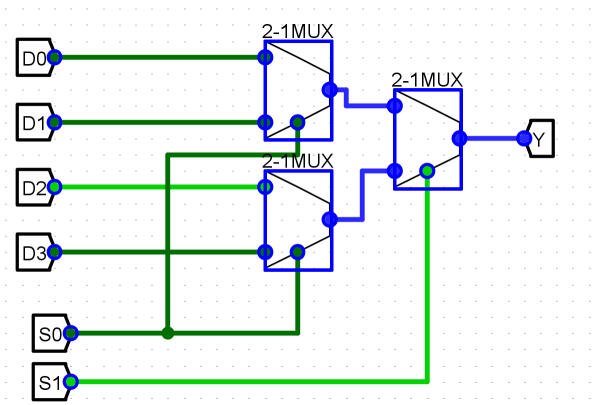


其中每一个梯形均为一个2选1多路选择器

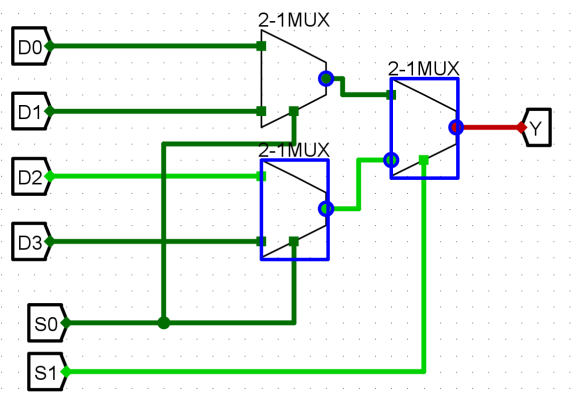
## 实验数据仿真测试图

进行单步仿真实验：本次不妨设 $S_0=0, S_1=1$ ，也就是选择D2，为了直观体现选择过程，取 $D_2=1$ ，其余位0

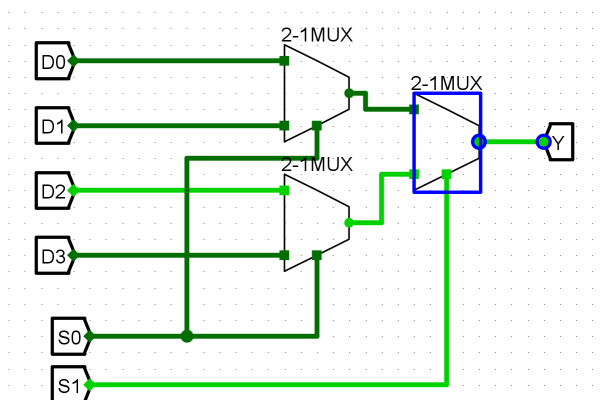
• 第一步:



• 第二步 (因为每一个2-1MUX都是一个电路, 所以要走几个单步才能到这一步):



• 第三步:



可以发现, 输出为高电平, 因此本选择器可以成功选择出想要选择的输入

✓ 1/1 全部通过

测试集1

消耗内存910.62MB 代码执行时长: 1.53秒 ✓

预期输出

Cnt	SD	F
0	01	1
1	12	1
2	24	1
3	38	1

实际输出

展示原始输出

Cnt	SD	F
0	01	1
1	12	1
2	24	1
3	38	1

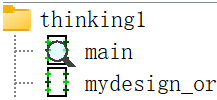
# 错误现象及分析

本题暂未遇到问题

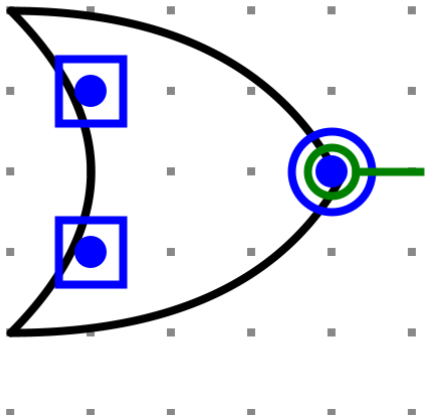
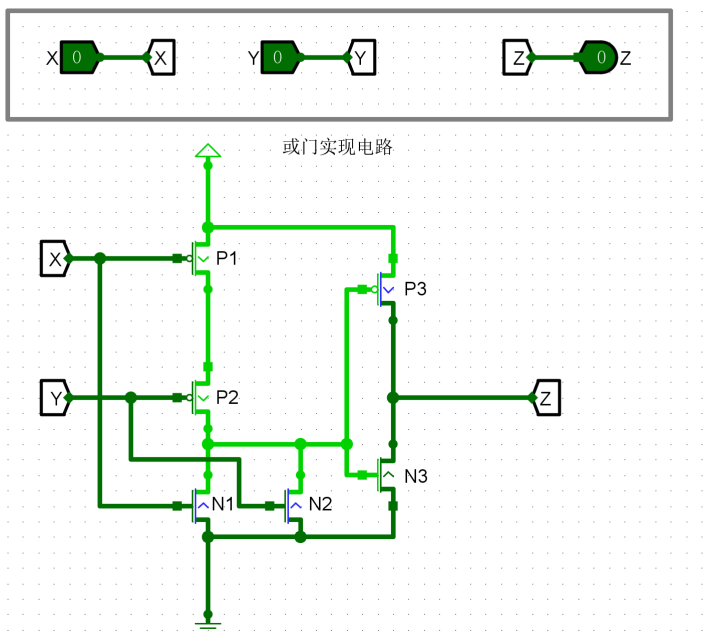
## 思考题（验收）

将实验中设计的或门作为子电路应用到 2-1MUX 电路中。

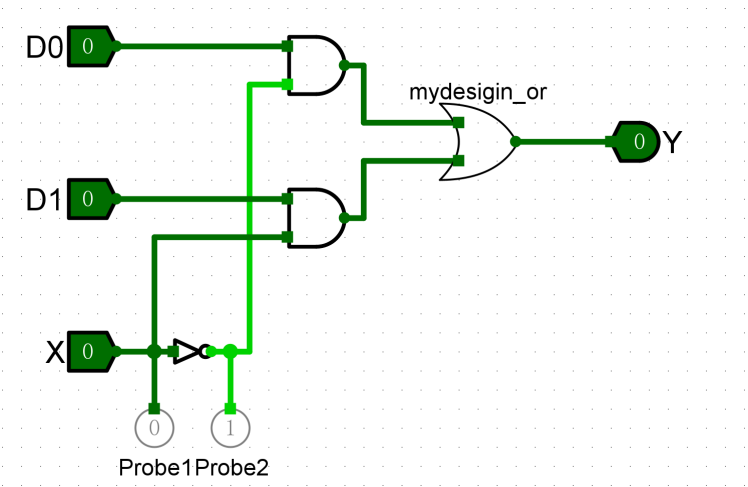
实验思路较为简单，在2-1MUX电路中使用了或门，只需要把我们设计的或门封装好然后代替即可，电路目录如下：



其中mydesign\_or设计及外观如下：



main电路也就是替换一下或门：



真值表如下，可以看出，电路设计正确

组合逻辑电路分析

文件 编辑 工程 电路仿真 窗口 帮助

输入 输出 真值表 表达式 最小项

D0	D1	X	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

生成电路

## 修改现有电路设计实现 4 位 4 选 1 多路选择器。

4位4选1多路选择器即为：四个输入，每个输入是4位。

由于不能直接选4个，我们这里采用如下操作，即对输入 $data_i$ ：

$$a_1a_2a_3a_4, b_1b_2b_3b_4, c_1c_2c_3c_4, d_1d_2d_3d_4,$$

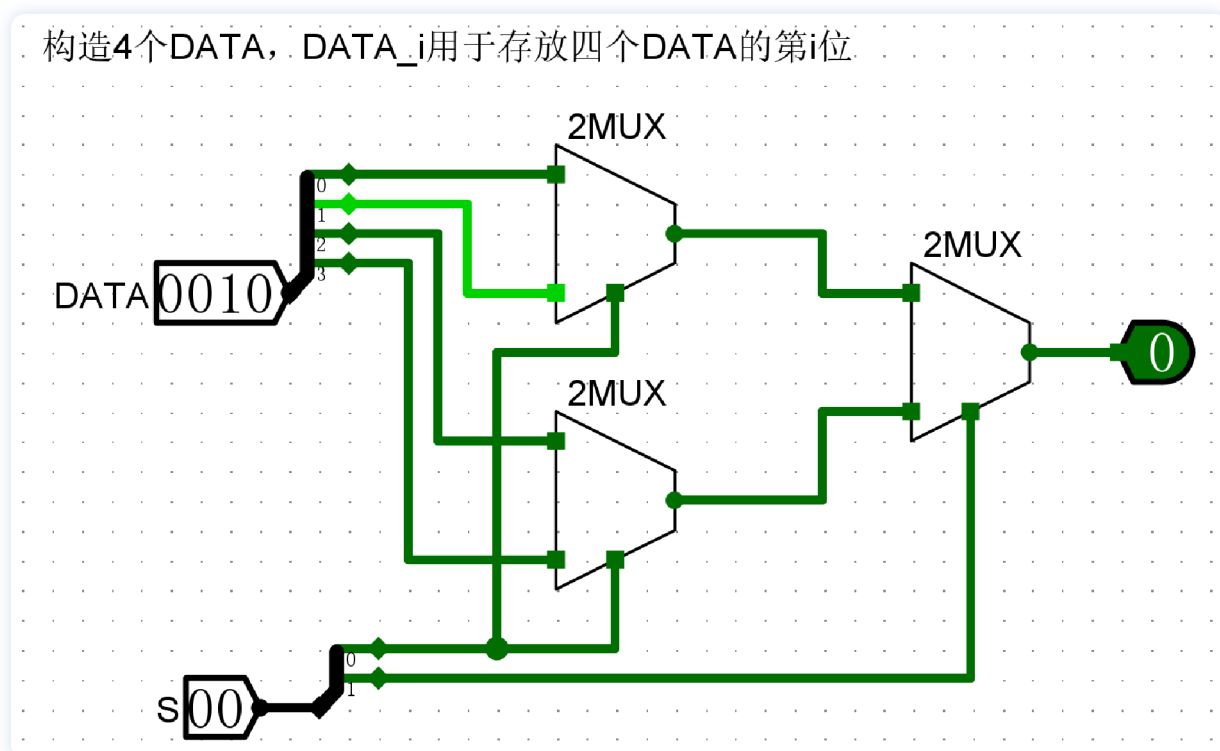
转化成变量 $temp_i$

$$a_1b_1c_1d_1, a_2b_2c_2d_2, a_3b_3c_3d_3, a_4b_4c_4d_4$$

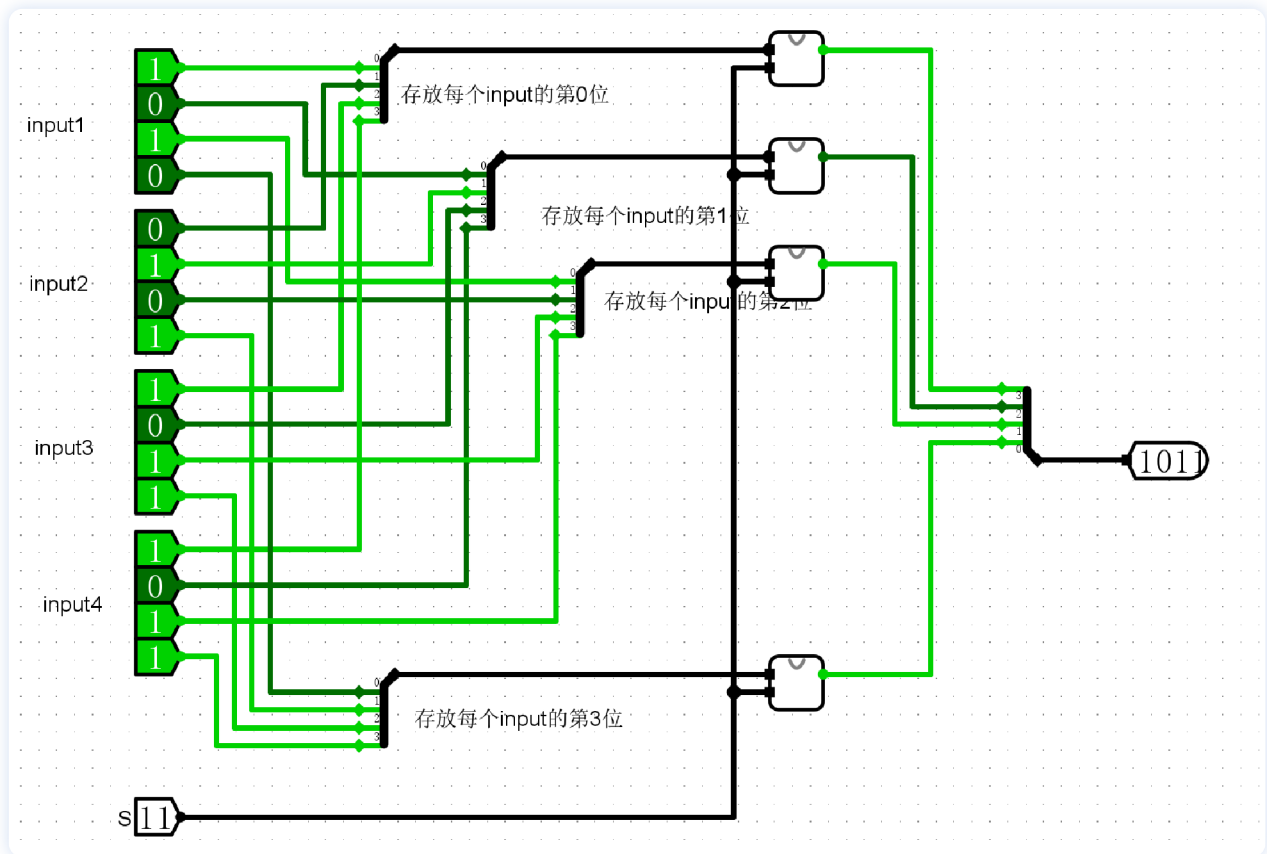
这样的话，如果要选第 $i$ 个数据，这样就把每一个 $temp_i$ 的第 $i$ 位取出来，然后合并即可

具体实现如下：

### 1. 从 $temp_i$ 中选取第 $i$ 位：



### 2. 总电路



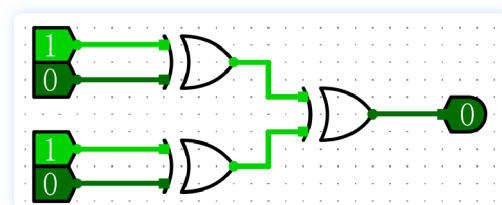
## 设计并实现 4 位二进制数的奇偶校验位生成电路。

提示——奇偶校验码是一种通过增加冗余位使得码字中"1"的个数恒为奇数或偶数的编码方法。

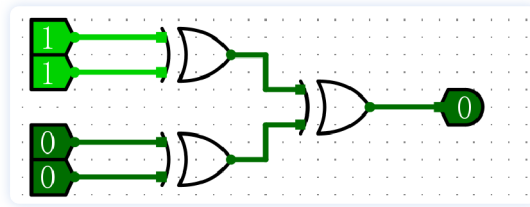
电路实现（偶校验，奇数校验在输出取个反就行）

解释：本题思路就是找原码中1的个数，由于是4位校验码，因此0的个数为奇数必然有1的个数为奇数，反之亦然，那么显然可以用异或门实现，第一级异或门用于判断两个是否相同，会有如下三种情况：

1. 两组均不相同，也就是AB, AB，原码中1个数为偶数，第一级均输出1，第二级输出为0，即偶校验校验位为0



2. 两组均相同，且为AA BB，或AA AA，第一级输出均为0，第二级输出均为0，同样偶校验校验位为0



3. 一组相同一组不同，也就是唯一一种0, 1个数为奇的情况，此时第一级输出为1, 0, 第二级输出为1，符合条件

