

# 频率计实验报告

17 May 2014

## 目录

实验八：频率计.....	2
实验目的： .....	2
实验原理： .....	2
关键代码： .....	2
文件清单.....	5
仿真结果.....	6
综合情况.....	6
硬件调试情况.....	6

## 实验八：频率计

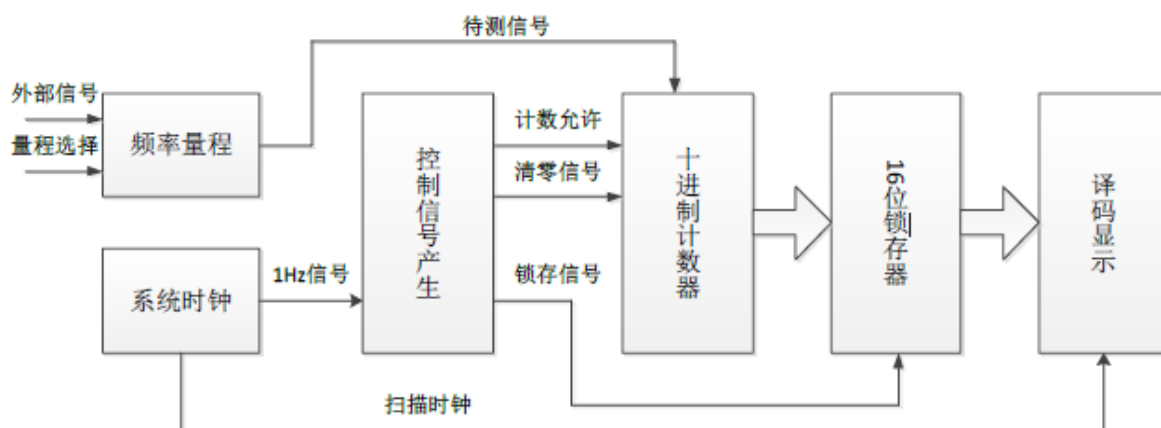
### 实验目的：

掌握频率计的原理和设计方法。

### 实验原理：

频率计用于对一个未知频率的周期信号进行频率测量，在 1s 内对信号周期进行计数，即为此周期信号的频率。

频率计内部实现框图如下所示，其内部包括频率量程处理模块（10 分频）、时钟频率产生模块、控制信号产生模块、十进制计数器模块、锁存器模块、译码显示模块等。



### 关键代码：

```
module frequency(sign,sysclk,modecontrol,H0,H1,H2,H3);
```

```
    input wire sign,sysclk,modecontrol;
```

```
    output wire[6:0] H0;
```

```
    output wire[6:0] H1;
```

```
    output wire[6:0] H2;
```

```
    output wire[6:0] H3;
```

```
reg rst;

reg [25:0]count;

reg [15:0]R;

wire [15:0]D;

DecimalCounter(sigin,rst,modecontrol,D);

translator(R[3:0],H0);

translator(R[7:4],H1);

translator(R[11:8],H2);

translator(R[15:12],H3);

initial count<=26'd0;

always@(posedge sysclk)

begin

    if(rst==0) rst<=1;

    else

    begin

        count=count+1;

        if(count==26'd50000000)

        begin

            rst<=0;

            count<=26'd0;

        end

    end

end
```

```
        end

    end

    always@(negedge rst)      R<=D;

endmodule

module DecimalCounter(clk,rst,mod,r);

    input wire clk,rst,mod;

    output reg [15:0]r;

    reg [19:0]D;

    initial

    begin

        D<=20'b0000_0000_0000_0000_0000;

    end

    always@(posedge clk or negedge rst)

    begin

        if(rst==0) begin D<=20'b0000_0000_0000_0000_0000; end

        else

        begin

            D[3:0]=D[3:0]+1;

            if(D[3:0]==4'b1010) begin D[3:0]=4'b0000; D[7:4]=D[7:4]+1; end

        end

    end

end
```

```
        if(D[7:4]==4'b1010) begin D[7:4]=4'b0000; D[11:8]=D[11:8]+1; end

        if(D[11:8]==4'b1010) begin D[11:8]=4'b0000; D[15:12]=D[15:12]+1; end

        if(D[15:12]==4'b1010) begin D[15:12]=4'b0000; D[19:16]=D[19:16]+1;

end

        if(D[19:16]==4'b1010) begin D[19:16]=4'b0000; end

    end

end

always@(posedge clk)

begin

    if(mod==1) r<=D[19:4];

    else      r<=D[15:0];

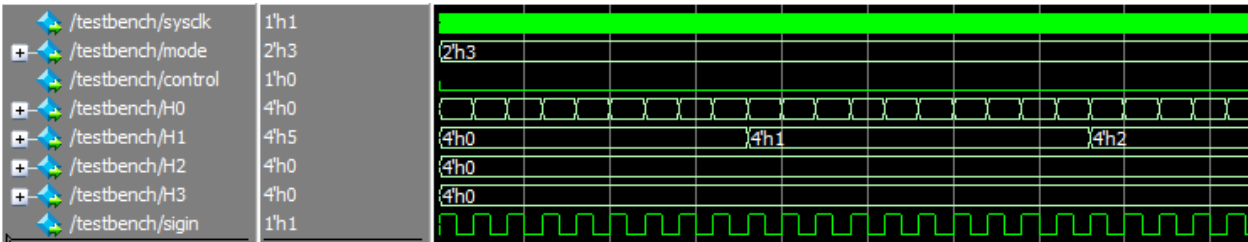
end

endmodule
```

## 文件清单

DecimalCounter.v	十进制计数器
frequency.v	频率计
testbench.v	testbench

仿真结果



频率计可以正常工作。

综合情况

频率计：      Total logic elements   126

                 Worst-case                14.186 ns

硬件调试情况

调试顺利，未遇到困难。