

帧同步器实验报告

5 Jun 2014

目录

实验九：帧同步器设计.....	2
实验目的：	2
实验原理：	2
关键代码：	3
文件清单.....	6
仿真结果.....	7
综合情况.....	7
硬件调试情况.....	7

实验九：帧同步器设计

实验目的：

掌握帧同步器的工作原理和设计方法；掌握状态机的设计与实现方法。

实验原理：

帧是数据传输时需要时分复用所采用的某种排列方式，一般由负荷与帧标志信号构成。帧同步过程就是接收端与发送端同步的过程，从而可以正确地从数据流中识别各路序号。在串行码流中周期性的加入固定码型，该固定码型称为帧同步码。现假定：每 256 个时钟周期，发出“10011011”帧同步码。Payload 部分为信息序列，即 8-255 位，可以使用伪随机码替代。

帧同步是一个较为复杂的控制过程，可以用有限状态机（FSM）来进行处理。总的来说，帧同步状态机包括以下四个状态：失步态、预同步态、同步态和保持态。帧同步状态机的保持态，是为了克服误码对同步的破坏；帧同步状态机的预同步态，是为了防止伪同步。详细状态机设计如图 1 所示。

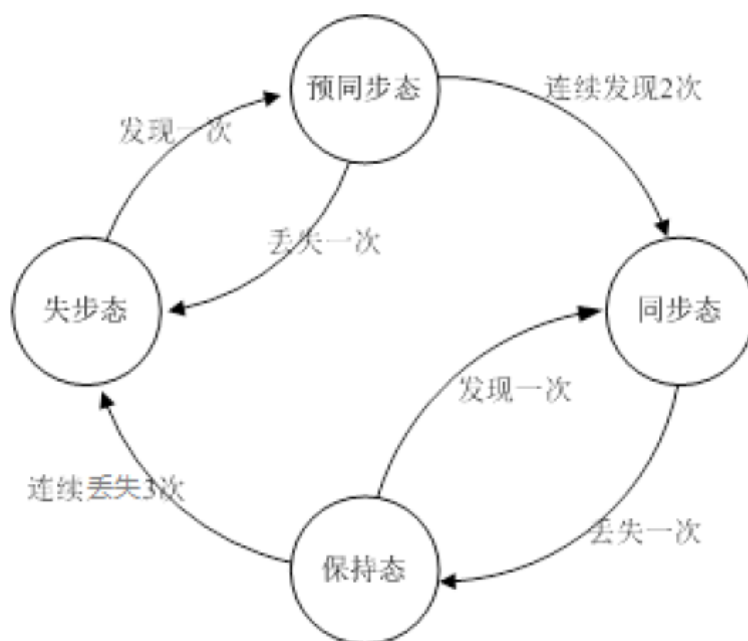


图 1 帧同步状态机设计

关键代码：

```
module Probe(D,S,clk);
    input wire D,clk;
    output reg S;
    reg [7:0]temp;
    initial
    begin
        S<=0;
        temp<=8'd0;
    end
    always@(posedge clk)
    begin
        temp[6]<=temp[5];
        temp[5]<=temp[4];
        temp[4]<=temp[3];
        temp[3]<=temp[2];
        temp[2]<=temp[1];
        temp[1]<=temp[0];
        temp[0]<=D;
        if(temp==7'b1001101&&D==1) S<=1;
        else S<=0;
    end
endmodule

module FramesyncFSM(clk,rst,DataIn,DataOut,DataOutEn,State,inter,S);
    input wire clk,rst,DataIn;
    output reg DataOut,DataOutEn;
    output reg [1:0]State;
    output wire S;
```

```
output reg inter;
reg [1:0]MissCount;
reg [1:0]RecCount;
reg [7:0]count;
reg CountEn;
Probe u0(DataIn,S,clk);
//Count256 u1(clk,CountEn,inter);
initial
begin
State<=2'd0;
MissCount<=2'd0; count<=8'd0; RecCount<=2'd0;
end
always@(posedge clk)
begin

    if(count==8'b1111_1111) begin inter<=1;count<=0;end
    else
    begin
        inter<=0;
        if(CountEn==1) count<=count+1;
        else count<=8'b0000_0000;
    end
    if(rst==0)count<=8'd0;

end
always@(negedge clk)
begin
```

```
    if(rst==0) begin State<=2'd0; MissCount<=2'd0; RecCount<=2'd0; end
    case(State)
    2'b00:
    begin
        if(S==1) begin State<=2'b01;CountEn<=1; end
        DataOutEn<=0;
    end
    2'b01:
    begin
        if(inter==1&&S==1)
        begin
            if(RecCount==2'd1) begin State<=2'b10; RecCount<=2'd0;
end
                else RecCount<=RecCount+1;
            end
        else if(inter==1&&S==0)begin
State<=2'b00;DataOutEn<=1;RecCount<=0; CountEn<=0;end
            DataOutEn<=0;
        end
    2'b10:
    begin
        if(inter==1&&S==0) State<=2'b11;
        if(count<8'd247)
        begin
            DataOutEn<=1;
            DataOut<=DataIn;
        end
        else DataOutEn<=0;
```

```
        end
        2'b11:
        begin
            if(inter==1&&S==1) State<=2'b10;
            else if(inter==1&&S==0)
            begin
                if(MissCount==2'd2) begin State<=2'b00;
MissCount<=2'd0;CountEn<=0;end
                else MissCount<=MissCount+1;
            end
            DataOutEn<=0;
        end
    endcase

end

endmodule
```

文件清单

FrameDataCheck.v

FramesyncFSM.v FSM 状态机控制

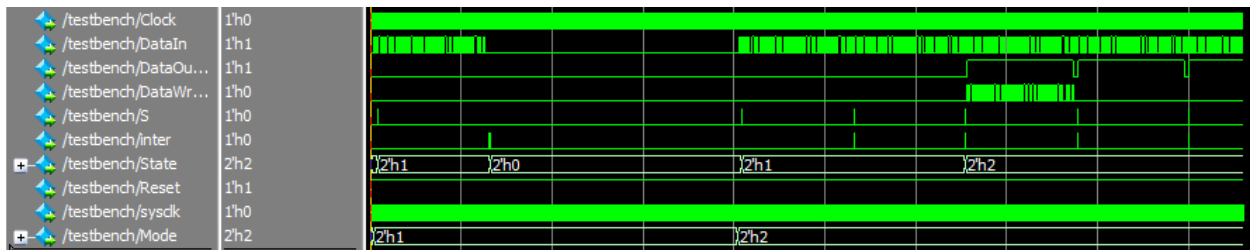
FrameTrans.v

Probe.v 帧头检测

scrambler.v

testbench.v testbench

仿真结果



帧同步器可以正常工作。

综合情况

频率计：	Total logic elements	41
	Total registers	25
	Worst-case	6.583 ns

硬件调试情况

调试顺利，未遇到困难。