

# 一种测试 SRAM 失效的新型 March 算法

须自明<sup>1</sup>, 王国章<sup>1,2</sup>, 刘 战<sup>1</sup>, 于宗光<sup>1,2</sup>

(1 江南大学 信息工程学院, 江苏 无锡 214000; 2: 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035)

**摘 要:** 随着工艺偏差的日益增加, 新的失效机制也在亚 100 nm 工艺的 CMOS 电路里出现了, 特别是 SRAM 单元。SRAM 单元的故障由晶体管阈值电压  $V_t$  差异引起, 而  $V_t$  差异又是由工艺偏差造成的。对于这类 SRAM 失效机制, 需要把它映射成逻辑故障模型, 并为检测出这类故障研究出新的 March 测试序列。针对这些逻辑故障模型, 提出了一种新型的 March 算法序列; 并通过验证, 得到了很高的测试覆盖率。

**关键词:** 失效机制; March 测试序列; 工艺偏差; SRAM

中图分类号: TN302

文献标识码: A

文章编号: 1004-3365(2007)03-0330-04

## Novel March Sequence for Testing Process Variation Induced Failures

XU Zi-ming<sup>1</sup>, WANG Guo-zhang<sup>1,2</sup>, LIU Zhan<sup>1</sup>, YU Zong-guang<sup>1,2</sup>

(1. School of Information Engineering, Southern Yangtze University, Wuxi, Jiangsu 214000, P. R. China;

2. No. 58 Research Institute, China Electronics Technology Group Corp., Wuxi, Jiangsu 214035, P. R. China)

**Abstract:** With increasing process variations in process technologies, new failure mechanisms are emerging in CMOS circuits, especially SRAM cells. The source of the failure mechanisms in SRAM is the threshold variation of transistors ( $V_t$ ), which results from process variations. For detecting those SRAM failures, it's necessary to map them to logic fault models and develop a new March test sequence to address the emerging failure mechanisms with minimal overhead on test time. A new March test sequence is proposed for these logic fault models and high test coverage is obtained.

**Key words:** Failure mechanism; March test sequence; Process variation; SRAM

**EEACC:** 2570A

## 1 引 言

半导体工艺的进步以摩尔定律的速度推动着集成电路产业的发展。随着芯片的工艺尺寸越来越小, 集成度越来越高, 半导体工艺加工中可能引入越来越多的各种失效。器件工艺偏差在生产中的影响也日益明显。工艺偏差可能使电路响应明显偏离额定值或预期特性<sup>[1]</sup>。现实中, 一个晶体管的参数对于不同的晶圆会有所不同; 甚至在同一芯片上的晶体管之间也会由于位置的不同而有差别。出现这些差别的两个主要原因有: 1) 淀积或杂质扩散期间的

不均匀引起工艺参数(如杂质浓度密度, 氧化层厚度以及扩散深度)的不同, 这导致了薄层电阻以及像阈值电压这样的晶体管参数值的差异; 2) 器件尺寸上的变化, 主要来自光刻过程有限的分辨率, 这造成了 MOS 管宽长比和互连线宽度的偏差。

阈值电压  $V_t$  有多种发生偏差的原因, 如氧化层厚度、衬底、多晶和注入杂质的浓度、随机杂质变动, 以及表面电荷的变化等。在深亚微米工艺技术中, 随机杂质变动是导致  $V_t$  偏差的关键因素。它广泛出现在使用小尺寸晶体管的面积受约束的电路中, 如 SRAM 单元等。

存储器子系统占芯片面积的绝大部分。工艺偏

收稿日期: 2006-09-14; 定稿日期: 2006-11-21

基金项目: 电子元器件可靠性物理及其应用技术国防科技重点实验室基金资助项目(51433020105DZ6802)

© 1994-2010 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>

差对存储器子系统的不同构件的影响各不相同。存储器地址解码器的延时会明显偏离预期值。由随机杂质变动产生的偏差不仅会影响 SRAM 单元的稳定性, 也会影响灵敏放大器的正常功能。

March 测试广泛运用在存储器的生产测试中。我们分析了单个晶体管  $V_t$  偏差对存储器子系统中各主要构件的影响, 也分析了 SRAM 的物理失效机制对逻辑故障模型的映射。通过对 March 算法的分析和创新, 提出了一种新的 March 算法, 并检测出上述故障模型。

## 2 失效机制和故障模型

存储器的物理检查是不实际的, 目前可行的测试机理是比较故障存储器与好的存储器的逻辑行为。这就要求将物理失效机制映射成逻辑故障模型。下面首先介绍目前常见的逻辑故障模型, 然后对存储器子系统中三种由  $V_t$  偏差导致的物理失效 (SRAM 单元, 灵敏放大器和地址解码器失效机制) 进行详细分析, 最后, 将这些物理失效映射成逻辑故障模型。

### 2.1 逻辑故障模型

文献[2]总结了 SRAM 的相关逻辑故障模型。这些故障模型可分为单个单元故障模型和耦合故障模型, 即: 固定故障, 固定开路故障, 转换故障, 数据保持故障, 读破坏故障, 写入干扰故障, 伪读破坏故障, 错误读故障, 随机读取故障, 状态耦合故障, 干扰耦合故障, 读破坏耦合故障, 转换破坏耦合故障, 伪读破坏耦合故障和错误读耦合故障等。本文特别关注伪读破坏故障和数据保持故障。

其中, 伪读破坏故障是指: 在读操作时, SRAM 单元的内容发生翻转, 但读出的值却是初始值。数据保持故障是指: 当单元未被访问时, SRAM 单元的数据丢失。由于阈值电压  $V_t$  的偏差, 这两种故障发生的概率很高, 而且无法使用传统的 SRAM 测试技术检测。

### 2.2 工艺偏差导致的 SRAM 失效机制

由晶体管的阈值电压  $V_t$  偏差和/或宽长比变化产生的晶圆内部差异会导致存储器内新的失效。其中, 由随机杂质效应引起的  $V_t$  偏差是主要的差异源。假设将晶体管的阈值电压  $V_t$  视为独立的随机变量, 每个晶体管的  $V_t$  偏移视为 0, 就意味着它满足高斯分布:

$$\sigma_{V_t} = \sigma_{V_{t0}} \sqrt{\left( \frac{L_{\min}}{L} \right) \left( \frac{W_{\min}}{W} \right)} \quad (1)$$

式中,  $\sigma_{V_{t0}}$  是最小尺寸晶体管  $V_t$  偏移的标准差, 它是由特定技术下扩散密度和氧化层厚度决定的。而  $L_{\min}$  和  $W_{\min}$  是在给定技术下晶体管的最小长度和宽度。

#### 2.2.1 SRAM 单元失效机制

由于面积受约束, SRAM 很容易受到工艺偏差的影响。SRAM 单元中 6 个晶体管的  $V_t$  偏差会导致: 1) 访问失效 (access failure): 在读操作时, 弱电流访问晶体管操作或弱电流下拉晶体管操作会导致位线放电; 2) 翻转读失效 (flipping read failure): 在读操作时, 较强电流访问晶体管操作或者弱电流下拉晶体管操作会导致 SRAM 单元的内容产生干扰; 3) 写失效 (write failure): 在写操作时, 较强电流上拉晶体管操作或弱电流下拉晶体管操作会把交叉耦合反转器的跳变点调成高压, 导致写操作失败; 4) 保持失效 (hold failure): 即使在 SRAM 单元未被访问的时候, 它保持的内容出现异常。

图 1 是以上失效在不同  $\sigma_{V_{t0}}$  值时发生的概率。其中, X 轴是设定的  $\sigma_{V_{t0}}$  值。SRAM 单元中, 每个晶体管的  $V_t$  分布通过 (1) 式进行计算。结果显示, 失效发生概率与  $V_t$  偏差成正比。

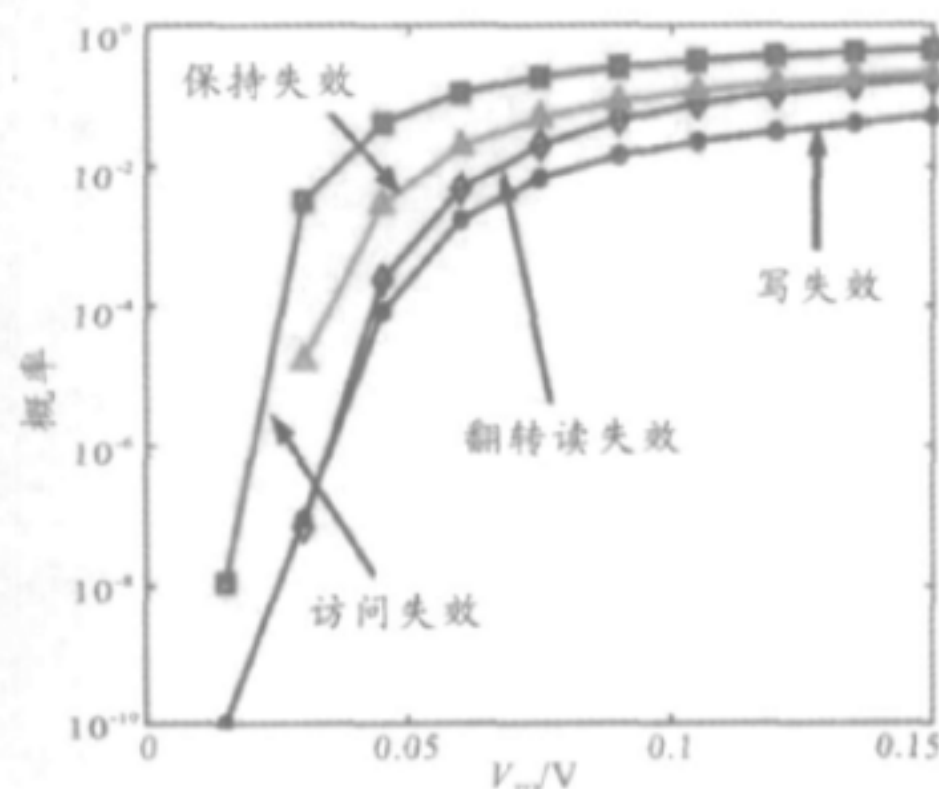


图 1 各种失效在不同  $\sigma_{V_{t0}}$  时发生的概率

Fig. 1 Failure probability vs.  $\sigma_{V_{t0}}$

#### 2.2.2 灵敏放大器失效机制

假设 SRAM 每列都有一个灵敏放大器, 那么, 特定列输出错误的概率与灵敏放大器的补偿电压大于该列任何 SRAM 单元产生的最小差分电压的概率是相关的。因此, 灵敏放大器输出为错误的概率可估计为:

$$P_{\text{Incorrect/Column}} = \int_{-\infty}^{+\infty} f_{SA}(x) \left\{ 1 - [1 - F_{\text{SRAMcell}}(x)]^n \right\} dx \quad (2)$$

式中,  $f_{SA}(x)$  是灵敏放大器补偿电压分布的概率



率密度函数,  $F_{SRAMcell}(x)$  是位线差分电压分布的累积密度函数,  $n$  是每列的 SRAM 单元个数。

2.2.3 地址的解码器失效机制

地址解码器的延时也会受单个晶体管阈值电压  $V_t$  偏差的影响。地址解码器的延时偏差会导致访问 SRAM 单元的时间缩短。这将直接引起对 SRAM 单元的访问失效或读失效。地址解码器失效的概率可以通过解码器的统计延时分布得出。

2.3 失效机制与故障模型的映射关系

图 2 总结了工艺偏差下 SRAM 的失效机制, 并显示了失效与逻辑故障模型的映射关系。



图 2 失效机制与逻辑故障模型

Fig.2 Failure mechanisms and logic fault models

在失效机制中, 1) SRAM 访问失效和灵敏放大器功能失效可能被映射为错误读故障或随机读取故障, 这取决于噪音级别和灵敏放大器的补偿电压值; 2) SRAM 翻转读失效会映射到读破坏故障或伪读破坏故障, 这将由单元翻转的时间和位线对翻转的反应速度决定; 3) 如果失效发生在极小供电状态, SRAM 保持失效映射为数据保持故障。然而, 大部分保持失效都发生在待机模式。对数据保持故障进行扩展, 可以得到一种新的故障——低供电数据保持故障: 待机模式由于低电压供电而发生的翻转故障。

通过将工艺偏差相关的失效机制映射为逻辑故障模型, 就可以在纳米级 SRAM 中针对目标失效设计存储器的测试。如图 1 所示, 翻转读失效发生概率很高, 但大多数翻转读失效都映射为伪读破坏故障。偏偏在传统存储器测试中, 伪读破坏故障被忽视了。低电压数据保持故障的发生概率也很高, 但也没有得到传统 March 测试的重视。测试这两种故障的重要性在于: 在待机模式下使用低电压供

电可大量减少漏泄功耗。由晶圆内部偏移所产生的晶体管  $V_t$  偏差会让处于低电压供电条件下的 SRAM 单元出现保持失效。因此, 为检测出低电压数据保持故障, 必须对 March 序列进行优化。

3 March 测试的优化

Suk 和 Reddy 描述了 March 测试, 它由有限的操作序列组成<sup>[3]</sup>。进行下个单元之前, 施加 March 测试矢量到存储器的每个单元。这意味着, 如果施加特殊矢量到一个单元, 则必须将它施加到所有单元。这是通过增加存储器地址顺序(↑, 或从 0 到  $n-1$ )或降低地址顺序(↓)进行的。地址顺序可能是不相关的(↔)表 1 列出 March C-、March SR、March B 算法的测试序列。

表 1 传统 March 测试算法序列  
Table 1 Conventional March test sequence

March C-	↔(W0) ↑ (ROW1) ↑ (R1W0) ↓ (ROW1) ↓ (R1W0) ↔(R0)
March SR	↓ (W0) ↑ (ROW1R1W0) ↓ (R0R0) ↑ (W1) ↓ (R1W0ROW1) ↑ (R1R1)
March B	↔(W0) ↑ (ROW1R1W0ROW1) ↑ (R1W0W1) ↓ (R1W0W1W0) ↓ (ROW1W0)

为了覆盖传统的单个单元和耦合故障模型, 一般使用 March C- 作为基础序列。因为它能完成对大多数简化故障的有效检测。但 March C- 算法的问题在于它无法检测出伪读破坏故障。文献[4]中提及的 March SR 算法可以检测出伪读破坏故障, 但 March SR 算法的测试时间为  $14N$ , 与 March C- 算法的测试时间  $10N$  相比, 耗时过多; 而且传统的 March 算法都忽视了数据保持故障和低电压数据保持故障。

本文提出一种基于 March 序列的优化方案, 它可在尽量不影响测试时间的前提下检测出伪读破坏故障和数据保持故障等。

为了保持 March C- 算法优良的测试时间 ( $10N$ ), 并检测出伪读破坏故障和低电压数据保持故障, 我们推出了一种新的测试序列——March X:

$$\begin{aligned} &\downarrow (W0) (HOLD) \uparrow (ROW0W1R1) \\ &(HOLD) \uparrow (R1W1W0R0) \downarrow (R0) \end{aligned}$$

序列中, 有两个连续读操作——R0R0 和 R1R1。它们的作用是为了检测出伪读破坏故障。它的原理是用第二次读操作检测第一次读操作是否

造成 SRAM 单元中内容出错。为了检测出低电压数据保持故障,我们在序列里添加了新的操作元素——HOLD。它的含义是将电源电压拉低并保持一段时间,然后将它拉回正常电压。地址解码器故障的检测需要在存储器上施加一系列测试操作,形成特定的测试序列。比如,首先在地址升序时,该测试序列可以验证每个 SRAM 单元的内容,并随即反转该单元的内容。紧接着在地址降序时,用读操作读取每个 SRAM 单元中已反转过的值并进行验证。因此,如果多于一个存储器地址连接到同一个 SRAM 单元,则这个故障既可以在地址升序读操作中检测出来,也可以在地址降序读操作中检测出来。同理,为了完整检测地址解码器故障,需要以先地址降序再地址升序的次序重复一次测试操作。

4 测试结果

表 2 比较了 March G、March SR、March B 和 March X 算法的测试时间。

表 2 多种 March 测试算法序列的比较

Table 2 A comparison between different March test sequences

逻辑故障模型	March G	March B	March SR	March X
地址解码器故障	yes	yes	no	no
数据保持故障	no	no	yes	yes
低电压数据保持故障	no	no	no	yes
固定故障	yes	yes	yes	yes
转换故障	yes	yes	yes	yes
写入干扰故障	no	no	no	no
随机读取故障	no	no	no	no
读破坏故障	yes	yes	yes	yes
伪读破坏故障	no	no	yes	yes
错误读故障	yes	yes	yes	yes
状态耦合故障	yes	no	yes	yes
写干扰耦合故障	no	no	no	no
干扰耦合故障	yes	no	yes	yes
错误读耦合故障	yes	no	yes	yes
读破坏耦合故障	yes	no	yes	yes
转换耦合故障	yes	no	yes	no
测试时间	10N	17N	14N	10N

表 2 中的“yes”和“no”分别表示该 March 测试序列能否检测出某种逻辑故障模型。从表 2 中可以看出,March X 不仅能检测出伪读破坏故障,还将测试时间保持为 10N。然而,它也有不足之处:March X 算法无法检测转换耦合故障;而且,因为 March X 中所有 SRAM 读写操作都在相同的地址升降顺序中,所以,它对地址解码器故障也无能为力。与 March SR 相比,它们的故障覆盖率相似,但 March X 的测试时间更短。因此,在转换耦合故障不是待测 SRAM 的考察重点的前提下,建议使用 March X 算法序列。

5 结 论

通过上述算法的提出和检测,我们可以看出,为检测出工艺偏差引发的故障,必须对 March 算法进行优化。虽然优化后的 March 算法不可避免地在测试时间或其他故障的检测上存在问题,但对于面积受约束且易受阈值电压  $V_t$  偏差影响的 SRAM 单元而言,March X 算法都能检测出工艺偏差导致的故障。

参 考 文 献:

[1] Borkar S, Karnik T, Narendra S, et al. Parameter variations and impact on circuits and microarchitecture [A]. Proc Des Auto Conf [C]. Anaheim, CA, USA. 2003. 338-342.

[2] Hamdioui S, Al Ars Z, Van De Goor A J. Experimental analysis of spot defects in SRAMs: realistic fault models and tests [A]. Proc 9th Asian Test Symp[C]. Taipei, Taiwan, China. 2004. 131-138.

[3] Breuer M, Friedman A, David A. Diagnosis and reliable design of digital systems[M]. Woodland Hills: CA, USA: Computer Science Press. 1976.

[4] Ciletti M D. Verilog HDL 高级数字设计 [M]. 北京: 电子工业出版社, 2005.

作者简介: 须自明(1980-), 男, 博士研究生, 从事 VLSI 设计, SoC 设计与验证。