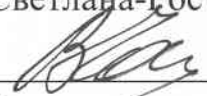


УТВЕРЖДАЮ

Генеральный директор

АО «Светлана-Рост»

 В.П. Чалый

«28» 03 2022 г.

Стандартный технологический процесс GA025D

Правила топологического проектирования

СВБШ.431418.020 Д41

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

2022

Перв. примен.	Содержание																																									
	1 Общие правила и ограничения..... 5																																									
Справ. №	1.1 Формат данных 5																																									
	1.2 Привязка к сетке 5																																									
	1.3 Слои 5																																									
	1.4 Ориентация топологии..... 7																																									
	1.5 Маркировка, нумерация и вспомогательные элементы 7																																									
	1.6 Типовые электрические характеристики 8																																									
	1.7 Дополнительная информация 8																																									
	2 Частные правила и ограничения..... 9																																									
	2.1 Омические контакты (Ohmic #20) 10																																									
	2.2 Межприборная изоляция (Mesa #40)..... 11																																									
	2.3 Затворы (Pad #50, D-gate #51) 12																																									
	2.4 Нулевой уровень металлизации (Met0 #90)..... 13																																									
	2.5 Окна в первом диэлектрике (Via1 #70) 14																																									
Подп. и дата	2.6 Тонкопленочные резисторы (TFR1 #80, TFR2 #81, TFR3 #82)..... 16																																									
	2.7 Первый слой металлизации (Met1 #91)..... 17																																									
	2.8 Окна во втором диэлектрике (Via2 #71) 20																																									
	2.9 Окна в планаризации, опоры мостов (Via3 #72) 21																																									
	2.10 Второй слой металлизации (Met2 #92)..... 23																																									
	2.11 Окна в защите (Via4 #73)..... 25																																									
	2.12 Сквозные металлизированные отверстия (BackVia #120) 26																																									
	2.13 Дорожки реза обратной стороны пластины (Back #130)..... 28																																									
	3 Краткая иллюстрация технологического процесса 29																																									
	Инв. № дубл.																																									
Взам. инв. №																																										
Подп. и дата																																										
Инв. № подл.																																										
<table><tr><td colspan="5">СВБШ.431418.020 Д41</td></tr><tr><td>Изм</td><td>Лист</td><td>№ докум.</td><td>Подп.</td><td>Дата</td><td rowspan="5">Стандартный технологический процесс GA025D Правила топологического проектирования</td></tr><tr><td>Разраб.</td><td></td><td>Пушница</td><td></td><td>28.03.22</td></tr><tr><td>Пров.</td><td></td><td></td><td></td><td></td></tr><tr><td>Соглас.</td><td></td><td>Фазылханов</td><td></td><td>28.03.22</td></tr><tr><td>Н. контр.</td><td></td><td>Кушнаренко</td><td></td><td>28.03.22</td></tr><tr><td>Т. контр.</td><td></td><td>Фуйфанова</td><td></td><td>28.03.22</td><td></td></tr></table>						СВБШ.431418.020 Д41					Изм	Лист	№ докум.	Подп.	Дата	Стандартный технологический процесс GA025D Правила топологического проектирования	Разраб.		Пушница		28.03.22	Пров.					Соглас.		Фазылханов		28.03.22	Н. контр.		Кушнаренко		28.03.22	Т. контр.		Фуйфанова		28.03.22	
СВБШ.431418.020 Д41																																										
Изм	Лист	№ докум.	Подп.	Дата	Стандартный технологический процесс GA025D Правила топологического проектирования																																					
Разраб.		Пушница		28.03.22																																						
Пров.																																										
Соглас.		Фазылханов		28.03.22																																						
Н. контр.		Кушнаренко		28.03.22																																						
Т. контр.		Фуйфанова		28.03.22																																						
<table><tr><td>Лит.</td><td>Лист</td><td>Листов</td></tr><tr><td></td><td>2</td><td>33</td></tr></table>						Лит.	Лист	Листов		2	33																															
Лит.	Лист	Листов																																								
	2	33																																								

Условные обозначения и сокращения, принятые в тексте

МДМ – металл-диэлектрик-металл;

МДМДМ – металл-диэлектрик-металл-диэлектрик-металл;

pHEMT – pseudomorphic High-Electron-Mobility Transistor, псевдоморфный транзистор с высокой подвижностью электронов;

GDSII – Graphic Database System, формат данных;

TFR – Thin Film Resistor, тонкопленочный резистор.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
										3
Изм	Лист	№ докум.	Подп.	Дата						

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Формат А4

1 Общие правила и ограничения

1.1 Формат данных

В качестве топологии необходимо использовать файлы только формата GDSII.

Элементы топологии должны являться замкнутыми многоугольниками и представлять собой плоские поверхности.

Все слои должны быть в формате «светлые элементы на темном поле».

1.2 Привязка к сетке

При проектировании топологии элементы топологии необходимо привязать к сетке. Шаг сетки должен быть равен 0,5 мкм. Шаг привязки элементов топологии должен быть кратным 0,05 мкм.

1.3 Слои

Перечень используемых слоев представлен в таблице 1.1.

Таблица 1.1 – Перечень слоев

Слой	Номер слоя	Этап процесса	Описание слоя
Ohmic	20	1	Омические контакты
Mesa	40	2	Межприборная изоляция
Pad	50	3	Ярлыки и якоря затворов
D-gate	51	4	Затворы
Met0	90	5	Нулевой уровень металлизации
Via1	70	6	Окна в первом диэлектрике
TFR1	80	7	Тонкопленочные резисторы (50 Ом/□)
TFR2	81	8	Тонкопленочные резисторы (600 Ом/□)
TFR3	82	9	Тонкопленочные резисторы (1700 Ом/□)
Met1	91	10	Первый уровень металлизации
Via2	71	11	Окна во втором диэлектрике

Подп. и дата	Инов. № дубл.	Взам. инв. №	Подп. и дата	Инов. № подл.	СВБШ.431418.020 Д41					Лист
										5
Изм	Лист	№ докум.	Подп.	Дата						

Продолжение таблицы 1.1

Слой	Номер слоя	Этап процесса	Описание слоя
Via3	72	12	Окна в планаризации, опоры мостов
Met2	92	13	Второй уровень металлизации
Via4	73	14	Окна в защите
BackVia	120	15	Сквозные металлизированные отверстия
Back	130	16	Дорожки реза обратной стороны пластины

Минимальные размеры элементов и расстояния между элементами одного слоя представлены в таблице 1.2.

Таблица 1.2 – Минимальные размеры

Слой	Номер слоя	Длина, мкм	Ширина, мкм	Расстояние, мкм
Ohmic	20	5	5	2,5
Mesa	40	5	5	5
Pad	50	1	1	2
D-gate	51	0,2	10	2
Met0	90	5	5	4
Via1	70	4	4	4
TFR1	80	5	5	5
TFR2	81	5	5	5
TFR3	82	5	5	5
Met1	91	5	5	4
Via2	71	4	4	4
Via3	72	10	10	10
Met2	92	6	6	8
Via4	73	10	10	15
BackVia	120	60	30	60
Back	130	100	100	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						6

1.6 Типовые электрические характеристики

Слоевые сопротивления и максимальные значения плотности тока на ширину слоя указаны в таблице 1.3.

Таблица 1.3 – Слоевые сопротивления

Слой	Сопротивление, Ом/□	Плотность тока, мА/мм
Ohmic	0,5	2
Mesa	150	1
Met0	0,026	4
TFR1	50	1
TFR2	600	1
TFR3	1700	1
Met1	0,026	4
Met2	0,013	8

Удельные емкости конденсаторов составляют 315 и 630 пФ/мм².

1.7 Дополнительная информация

Ширина затвора транзистора определяется шириной омических контактов.

Площадь конденсатора определяется окном в планаризации.

Длина меза-резистора определяется расстоянием между омическими контактами.

Длина тонкопленочного резистора определяется расстоянием между металлизациями первого уровня.

Минимальный размер кристалла должен быть 500×500 мкм.

Максимальное соотношение сторон кристалла не должно превышать 3:1.

Не допускается использование полностью замкнутых контуров в следующих слоях: Ohmic, Pad, D-gate, Met0, Met1, Met2, TFR1, TFR2, TFR3.

В качестве линий передачи должны быть использованы только слои Met1 или Met2.

Подп. и дата	Инв. № дубл.	Взам. инв. №	Подп. и дата	Инв. № подл.	СВБШ.431418.020 Д41					Лист
										8
Изм	Лист	№ докум.	Подп.	Дата						

Использование слоя Met0 разрешается только в МДМДМ-конденсаторах и в катушках индуктивности.

2 Частные правила и ограничения

В данном разделе описаны частные правила и ограничения. На рисунках элементы могут быть приведены не в масштабе и показаны в виде основных контуров.

Требования к цветам слоев не выдвигаются. Цвета используются в данных правилах для лучшей наглядности.

Используются следующие типы правил:

- ширина элемента слоя (Рисунок 2.1);
- расстояние между элементами слоя (либо слоев) (Рисунок 2.2);
- перекрытие элементов одного слоя элементами другого слоя (Рисунок 2.3);
- расширение элементов одного слоя вокруг элементов другого слоя (Рисунок 2.4).

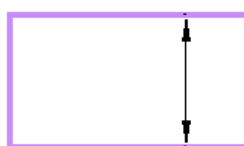


Рисунок 2.1 – Пример правила: ширина элемента слоя

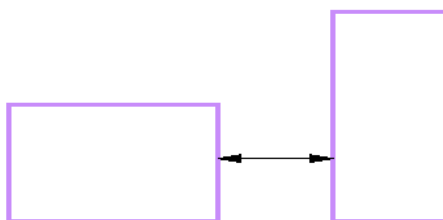


Рисунок 2.2 – Пример правила: расстояние между элементами слоя

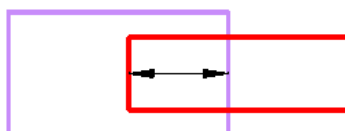


Рисунок 2.3 – Пример правила: перекрытие элементов одного слоя элементами другого слоя

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
										9
Изм	Лист	№ докум.	Подп.	Дата						

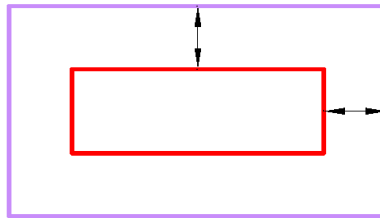


Рисунок 2.4 – Пример правила: окружение элементов одного слоя элементами другого слоя

2.1 Омические контакты (Ohmic #20)

Топологическое отображение элементов слоя 20 в области формирования транзистора показано на рисунке 2.5, меза-резистора – на рисунке 2.6. Ограничения на размеры элементов слоя 20 указаны в таблице 2.1.

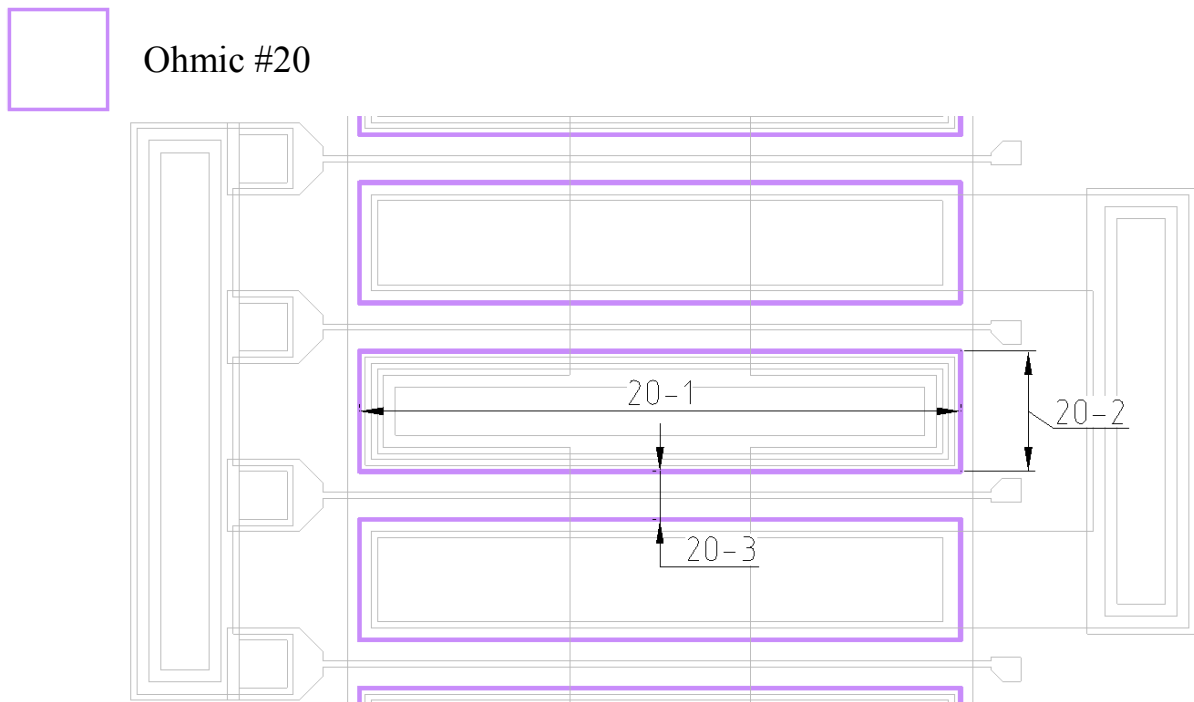


Рисунок 2.5 – Элементы слоя 20 в области формирования транзистора

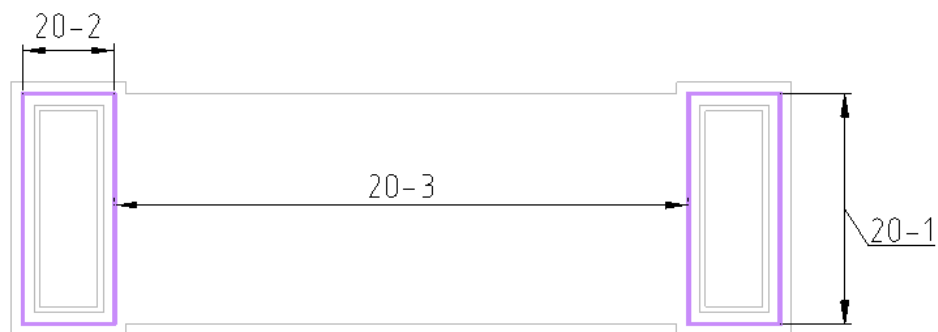


Рисунок 2.6 – Элементы слоя 20 в области формирования меза-резистора

Инв. № подл.	Подп. и дата				Лист
	Инв. № дубл.				
	Взам. инв. №				
	Подп. и дата				
Изм	Лист	№ докум.	Подп.	Дата	10
СВБШ.431418.020 Д41					

				
Рисунок 2.5 – Элементы слоя 20 в области формирования транзистора				
				
Рисунок 2.6 – Элементы слоя 20 в области формирования меза-резистора				

Таблица 2.1 – Ограничения на размеры элементов слоя 20

Правило	Описание	Значение, мкм	
		мин	макс
20-1	Длина элемента слоя 20	5	—
20-2	Ширина элемента слоя 20	5	—
20-3	Расстояние между элементами слоя 20	2,5	—

2.2 Межприборная изоляция (Mesa #40)

Топологическое отображение элементов слоя 40 в области формирования транзистора показано на рисунке 2.7, меза-резистора – на рисунке 2.8. Ограничения на размеры элементов слоя 40 указаны в таблице 2.2.



Mesa #40

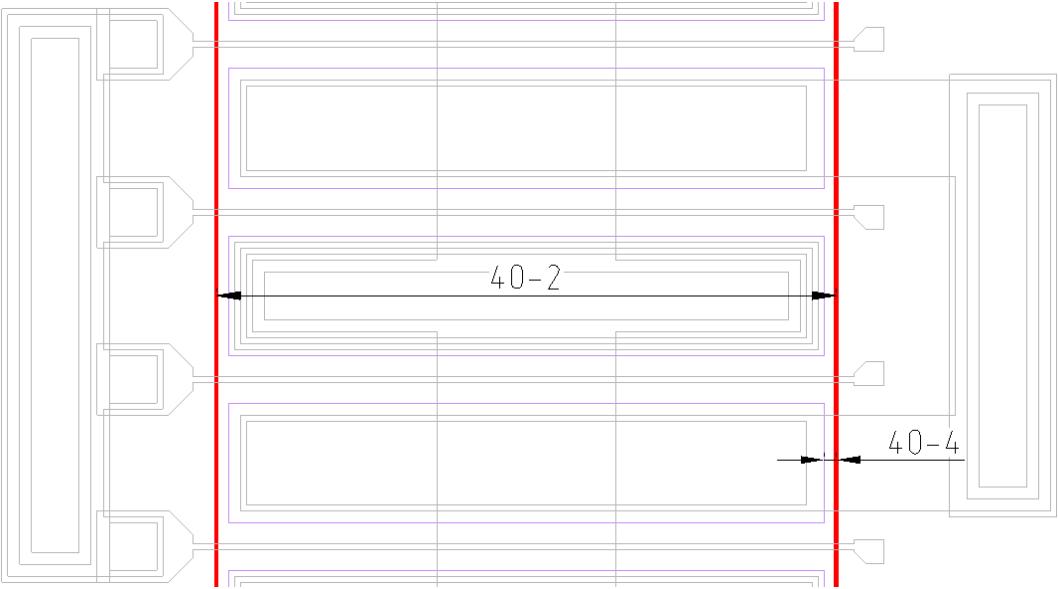


Рисунок 2.7 – Элементы слоя 40 в области формирования транзистора

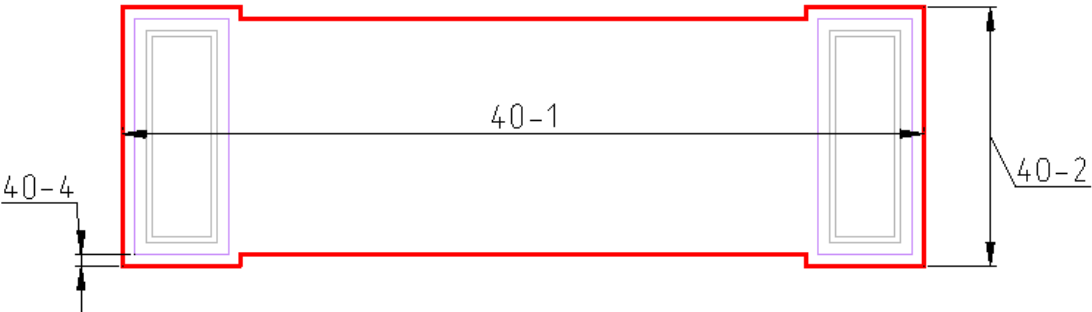


Рисунок 2.8 – Элементы слоя 40 в области формирования меза-резистора

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						11

Таблица 2.2 – Ограничения на размеры элементов слоя 40

Правило	Описание	Значение, мкм	
		мин	макс
40-1	Длина элемента слоя 40	5	—
40-2	Ширина элемента слоя 40	5	—
40-3	Расстояние между элементами слоя 40	5	—
40-4	Полное окружение элементов слоя 20 элементами слоя 40	1	—

2.3 Затворы (Pad #50, D-gate #51)

Топологическое отображение элементов слоя 50 (51) в области формирования транзистора показано на рисунке 2.9. Ограничения на размеры элементов слоя 50 (51) указаны в таблице 2.3. Ярлыком называется элемент затвора, к которому в дальнейшем подсоединяется металлизация первого уровня. Якорем называется элемент затвора с противоположной стороны от ярлыка.

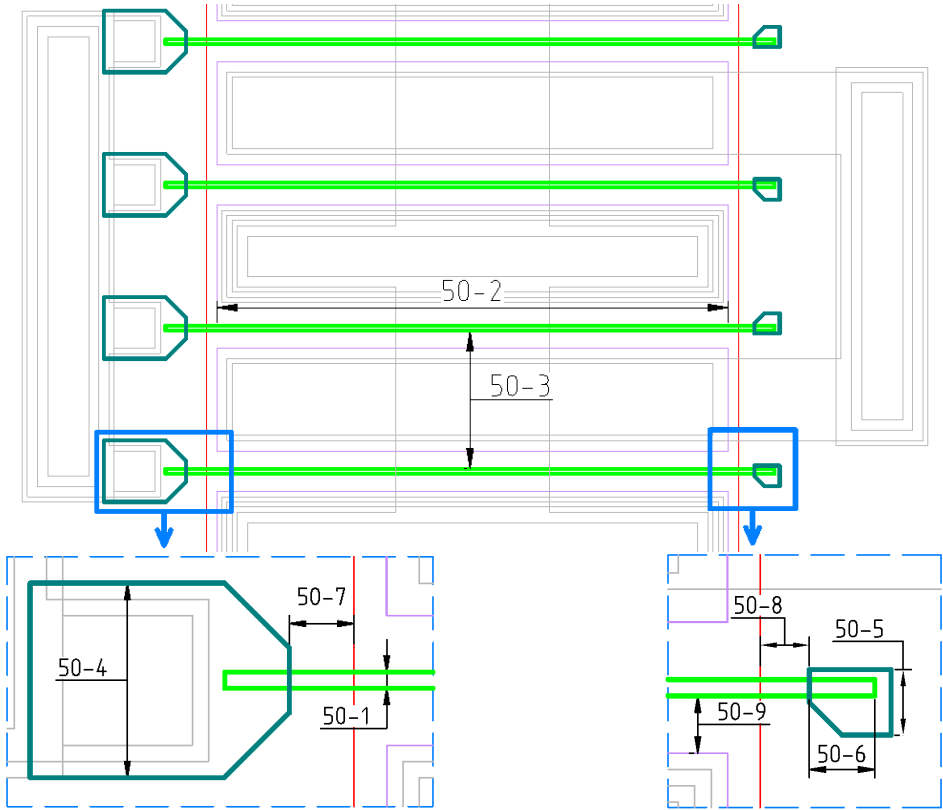
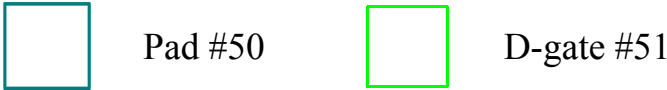


Рисунок 2.9 – Элементы слоя 50 (51) в области формирования транзистора

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Таблица 2.3 – Ограничения на размеры элементов слоя 50 (51)

Правило	Описание	Значение, мкм	
		мин	макс
50-1	Длина затвора транзистора в слое 51	0,2	0,2
50-2	Ширина затвора транзистора в слое 51	10	170
50-3	Расстояние между элементами слоя 50 (51)	2	—
50-4	Ширина ярлыка в слое 50	6	6
50-5	Ширина якоря в слое 50	2	2
50-6	Перекрытие элементов слоя 51 элементами слоя 50	2	2
50-7	Расстояние между ярлыком в слое 50 и элементом слоя 20	2	2
50-8	Расстояние между якорем в слое 50 и элементом слоя 20	1,5	1,5
50-9	Расстояние между элементом слоя 50 (51) и элементом слоя 30	1	—

2.4 Нулевой уровень металлизации (Met0 #90)

Топологическое отображение элементов слоя 90 в области формирования транзистора показано на Рисунок 2.10. Ограничения на размеры элементов слоя 90 указаны в Таблица 2.4.

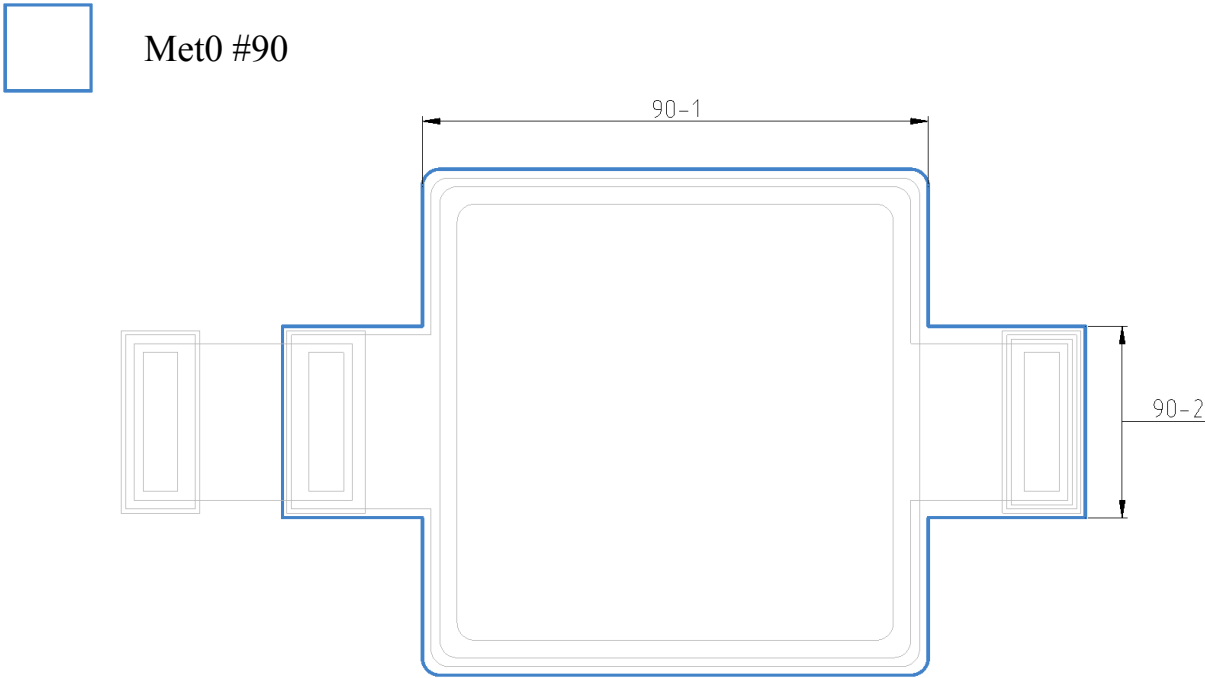


Рисунок 2.10 – Элементы слоя 90 в области формирования МДМДМ-конденсатора

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						13

Таблица 2.4 – Ограничения на размеры элементов слоя 90

Правило	Описание	Значение, мкм	
		мин	макс
90-1	Длина элемента слоя 90	5	—
90-2	Ширина элемента слоя 90	5	—
90-3	Расстояние между элементами слоя 90	4	—
90-4	Расстояние между элементом слоя 90 и элементом слоя 20	5	—
90-5	Расстояние между элементом слоя 90 и элементом слоя 40	5	—
90-6	Расстояние между элементом слоя 90 и элементом слоя 50 (51)	5	—
90-7	Не допускается перекрытия элементов слоев 90 и 20	—	—
90-8	Не допускается перекрытия элементов слоев 90 и 40	—	—
90-9	Не допускается перекрытия элементов слоев 90 и 50 (51)	—	—

2.5 Окна в первом диэлектрике (Via1 #70)

Топологическое отображение элементов слоя 70 в области формирования транзистора показано на рисунке 2.11, меза-резистора – на рисунке 2.12, МДМДМ-конденсатора – на рисунке 2.13. Ограничения на размеры элементов слоя 70 указаны в таблице 2.5.

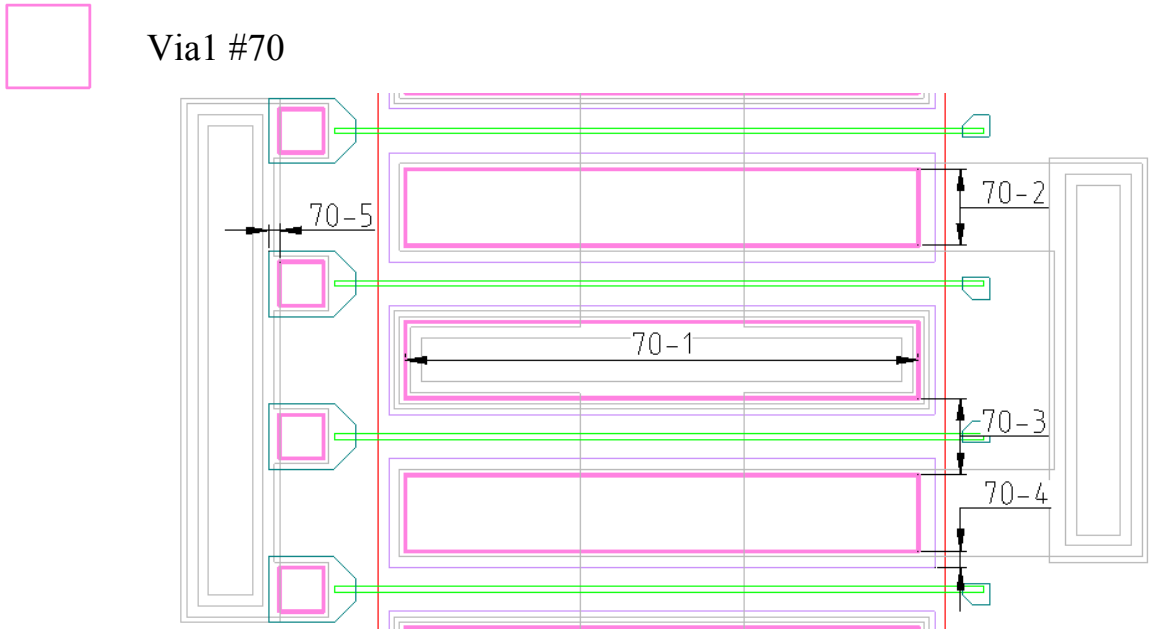


Рисунок 2.11 – Элементы слоя 70 в области формирования транзистора

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

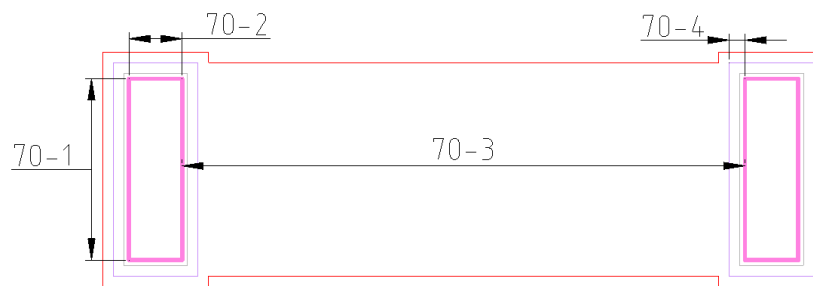


Рисунок 2.12 – Элементы слоя 70 в области формирования меза-резистора

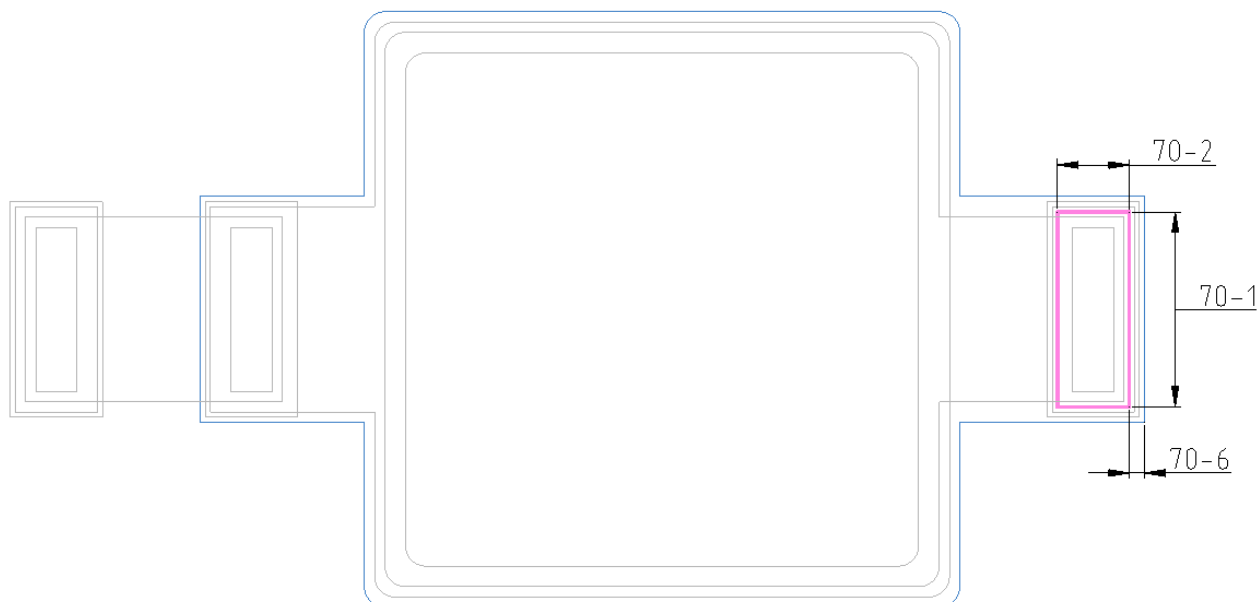


Рисунок 2.13 – Элементы слоя 70 в области формирования МДМДМ-конденсатора

Таблица 2.5 – Ограничения на размеры элементов слоя 70

Правило	Описание	Значение, мкм	
		мин	макс
70-1	Длина элемента слоя 70	4	—
70-2	Ширина элемента слоя 70	4	—
70-3	Расстояние между элементами слоя 70	4	—
70-4	Полное окружение элементов слоя 70 элементами слоя 20	1,5	—
70-5	Полное окружение элементов слоя 70 элементами слоя 50 (51)	1	—
70-6	Полное окружение элементов слоя 70 элементами слоя 90	1,5	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
										15
Изм	Лист	№ докум.	Подп.	Дата	Копировал					Формат А4

2.6 Тонкопленочные резисторы (TFR1 #80, TFR2 #81, TFR3 #82)

Топологическое отображение элементов слоя 80 (81, 82) в области формирования тонкопленочного резистора показано на рисунке 2.14. Ограничения на размеры элементов слоя 80 (81, 82) указаны в таблице 2.6.

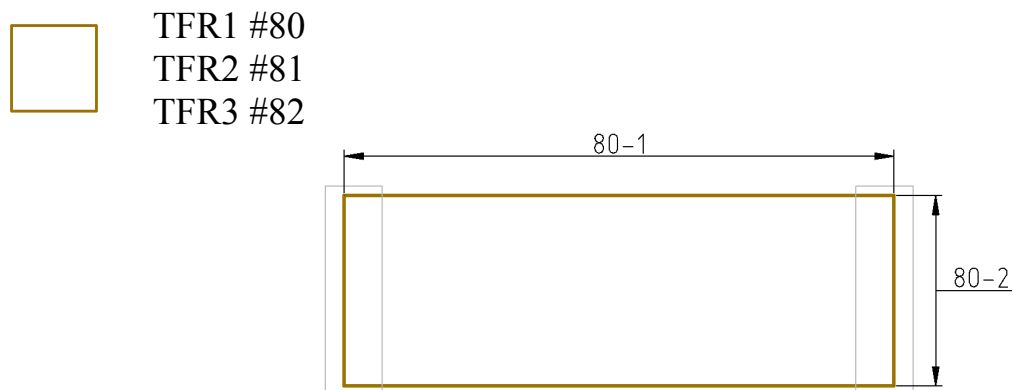


Рисунок 2.14 – Элементы слоя 80 (81, 82) в области формирования тонкопленочного резистора

Таблица 2.6 – Ограничения на размеры элементов слоя 80 (81, 82)

Правило	Описание	Значение, мкм	
		мин	макс
80-1	Длина элемента слоя 80 (81, 82)	5	—
80-2	Ширина элемента слоя 80 (81, 82)	5	—
80-3	Расстояние между элементами слоя 80 (81, 82)	5	—
80-4	Расстояние между элементом слоя 80 (81, 82) и элементом слоя 20	5	—
80-5	Расстояние между элементом слоя 80 (81, 82) и элементом слоя 40	5	—
80-5	Расстояние между элементом слоя 80 (81, 82) и элементом слоя 50 (51)	5	—
80-6	Расстояние между элементом слоя 80 (81, 82) и элементом слоя 90	5	—
80-7	Не допускается перекрытия элементов слоев 80 (81, 82) и 20	—	—
80-8	Не допускается перекрытия элементов слоев 80 (81, 82) и 40	—	—
80-9	Не допускается перекрытия элементов слоев 80 (81, 82) и 50 (51)	—	—
80-10	Не допускается перекрытия элементов слоев 80 (81, 82) и 90	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист	
Изм	Лист	№ докум.	Подп.	Дата						16	

2.7 Первый слой металлизации (Met1 #91)

Топологическое отображение элементов слоя 91 в области формирования транзистора показано на рисунке 2.15, меза-резистора – на рисунке 2.16, тонкопленочного резистора – на рисунке 2.17, МДМДМ-конденсатора – на рисунке 2.18, МДМ-конденсатора – на Рисунок 2.19. Ограничения на размеры элементов слоя 91 указаны в таблице 2.7.

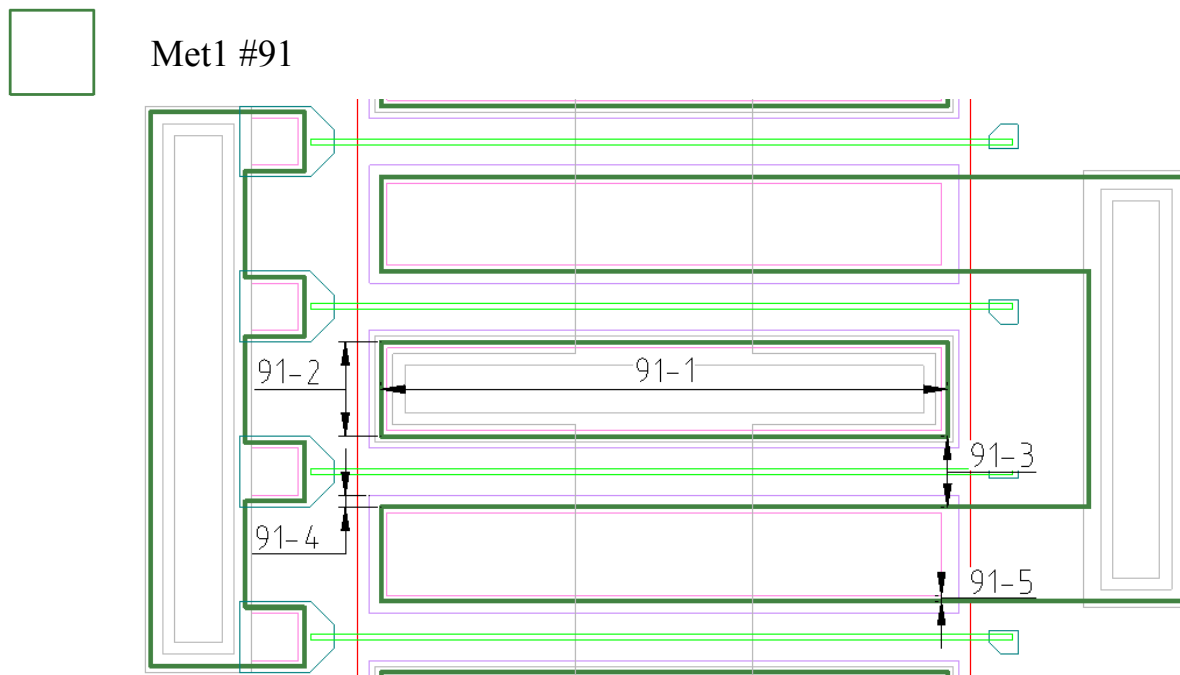


Рисунок 2.15 – Элементы слоя 91 в области формирования транзистора

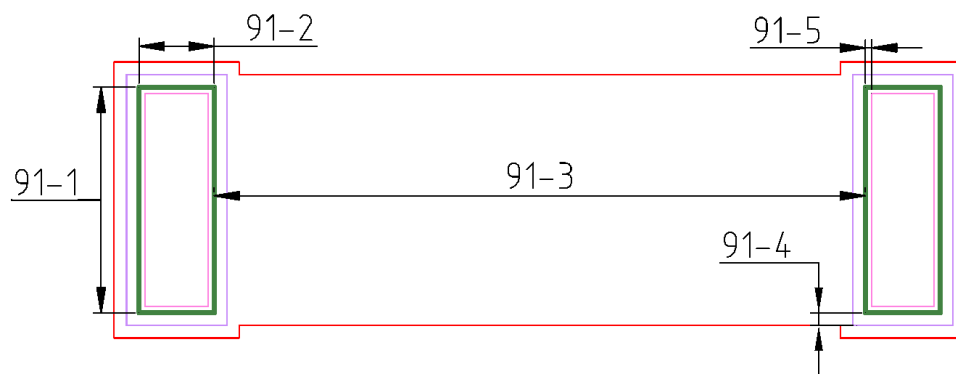


Рисунок 2.16 – Элементы слоя 91 в области формирования меза-резистора

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист	
Изм	Лист	№ докум.	Подп.	Дата						17	

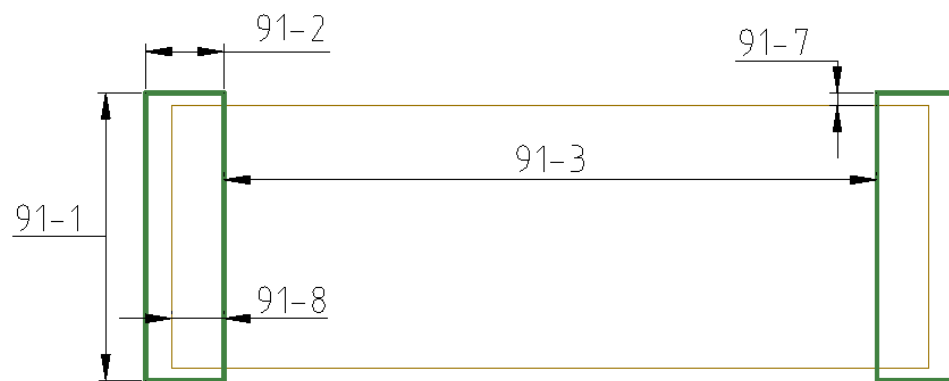


Рисунок 2.17 – Элементы слоя 91 в области формирования тонкопленочного резистора

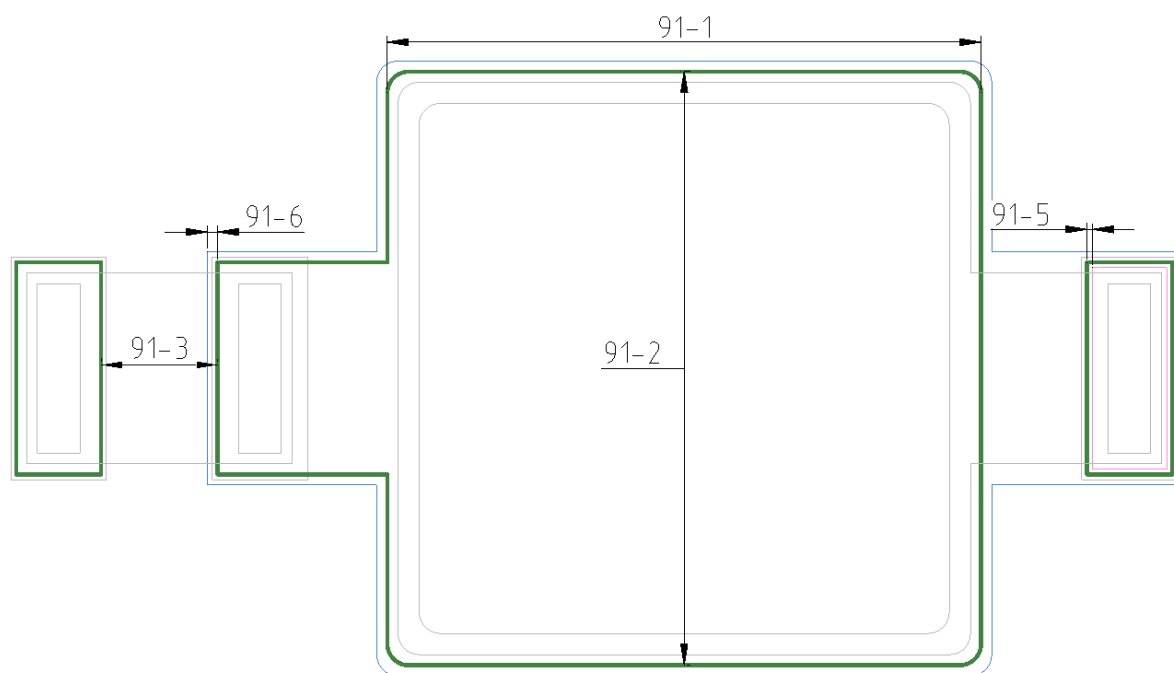


Рисунок 2.18 – Элементы слоя 91 в области формирования МДМДМ-конденсатора

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата




Рисунок 2.18 – Элементы слоя 91 в области формирования МДМДМ-конденсатора

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						18

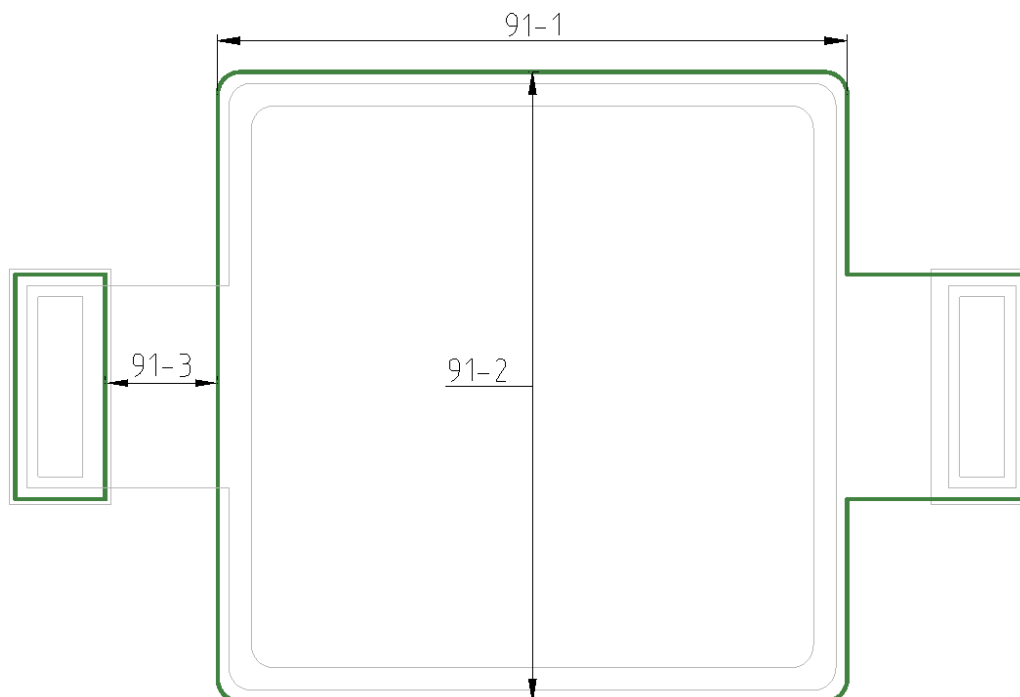


Рисунок 2.19 – Элементы слоя 91 в области формирования МДМ-конденсатора
Таблица 2.7 – Ограничения на размеры элементов слоя 91

Правило	Описание	Значение, мкм	
		мин	макс
91-1	Длина элемента слоя 91	5	—
91-2	Ширина элемента слоя 91	5	—
91-3	Расстояние между элементами слоя 91	4	—
91-4	Окружение элементов слоя 91 элементами слоя 20	1	—
91-5	Полное окружение элементов слоя 70 элементами слоя 91	0,5	—
91-6	Полное окружение элементов слоя 91 элементами слоя 90	1	—
91-7	Окружение элементов слоя 80 (81, 82) элементами слоя 91	1	—
91-8	Перекрытие слоев 80 (81, 82) и 91	4	—
91-9	Расстояние между элементом слоя 91 и элементом слоя 20	4	—
91-10	Расстояние между элементом слоя 91 и элементом слоя 40	4	—
91-11	Расстояние между элементом слоя 91 и элементом слоя 50 (51)	2	—
91-12	Расстояние между элементом слоя 91 и элементом слоя 80 (81, 82)	4	—

Имп. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						19

2.8 Окна во втором диэлектрике (Via2 #71)

Топологическое отображение элементов слоя 71 в области формирования транзистора показано на рисунке 2.20, МДМДМ-конденсатора – на рисунке 2.21, МДМ-конденсатора – на рисунке 2.22. Ограничения на размеры элементов слоя 71 указаны в таблице 2.8.

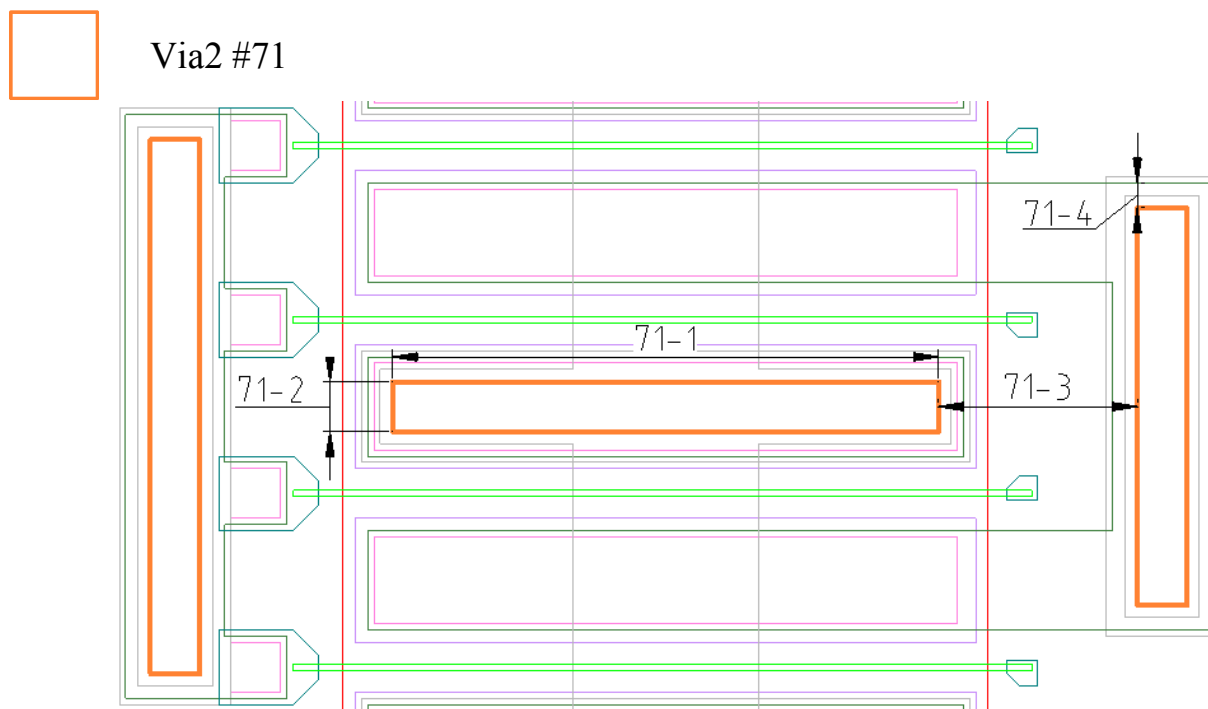


Рисунок 2.20 – Элементы слоя 71 в области формирования транзистора

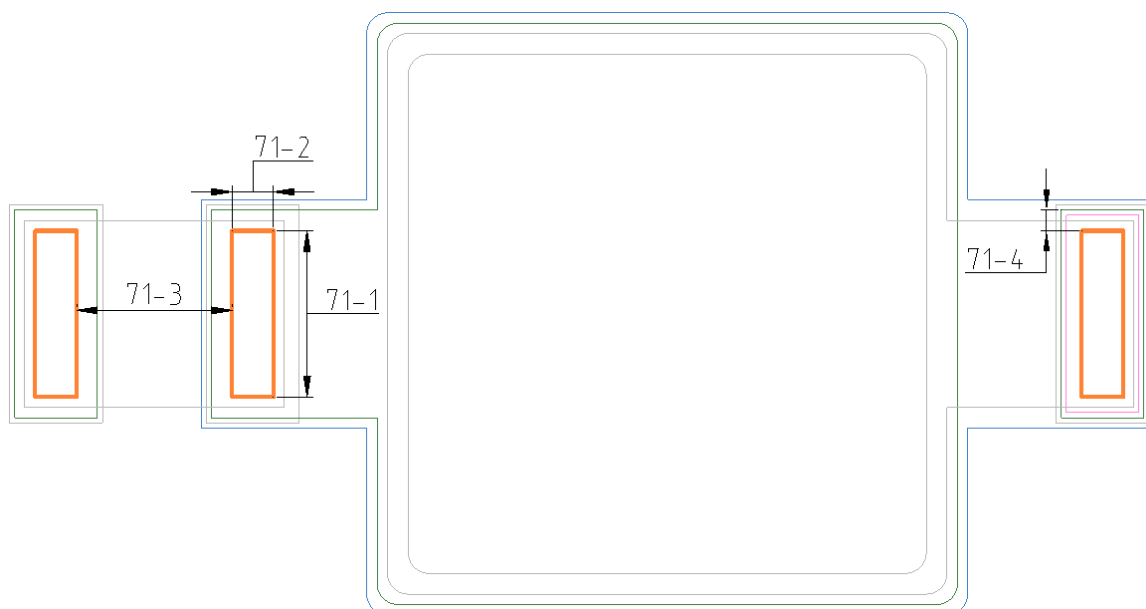
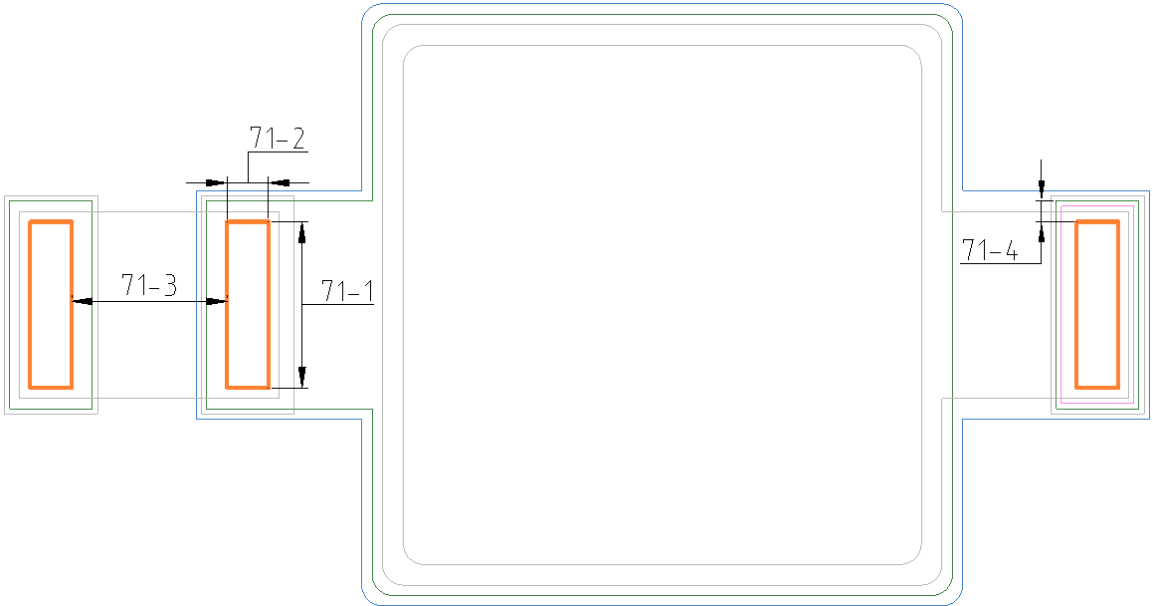
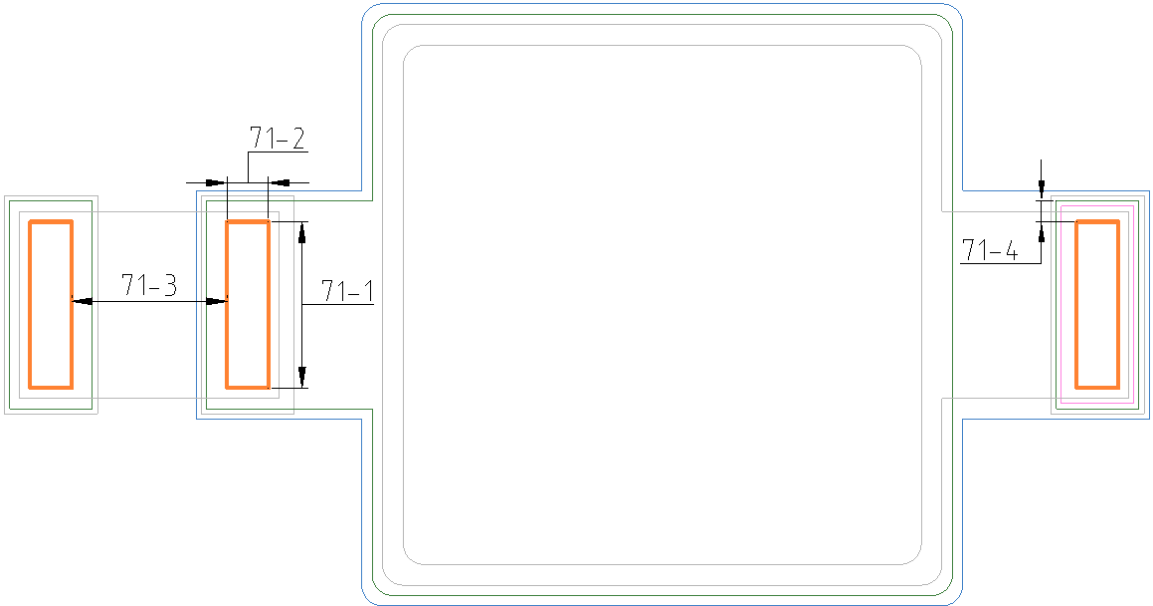


Рисунок 2.21 – Элементы слоя 71 в области формирования МДМДМ-конденсатора

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Рисунок 2.20 – Элементы слоя 71 в области формирования транзистора				
									

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	Рисунок 2.21 – Элементы слоя 71 в области формирования МДМДМ-конденсатора				
									

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
Изм.	Лист	№ докум.	Подп.	Дата						20

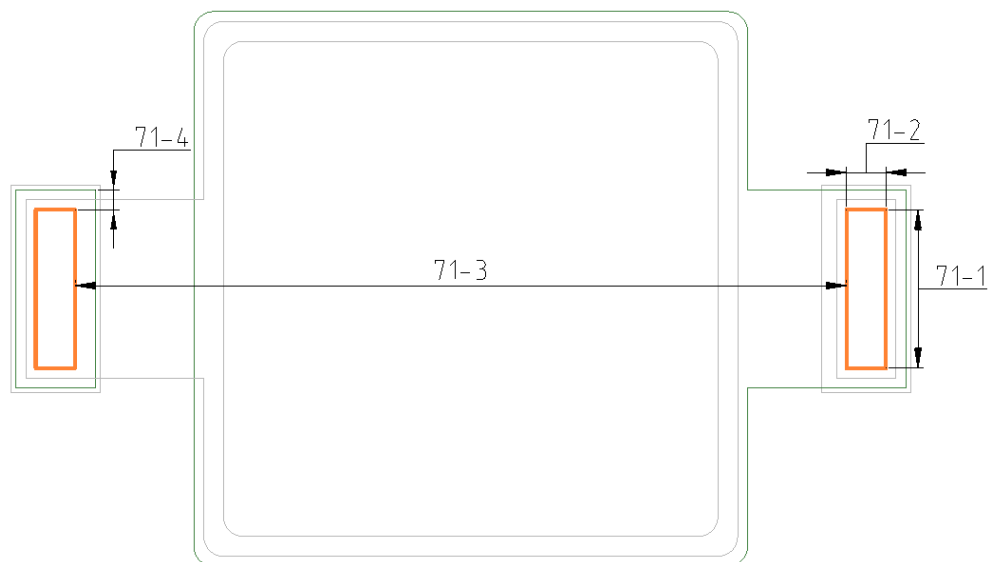


Рисунок 2.22 – Элементы слоя 71 в области формирования МДМ-конденсатора

Таблица 2.8 – Ограничения на размеры элементов слоя 71

Правило	Описание	Значение, мкм	
		мин	макс
71-1	Длина элемента слоя 71	4	—
71-2	Ширина элемента слоя 71	4	—
71-3	Расстояние между элементами слоя 71	4	—
71-4	Полное окружение элементов слоя 71 элементами слоя 91	2	—

2.9 Окна в планаризации, опоры мостов (Via3 #72)

Топологическое отображение элементов слоя 72 в области формирования транзистора показано на рисунке 2.23, МДМДМ-конденсатора – на рисунке 2.24, МДМ-конденсатора – на Рисунок 2.25. Ограничения на размеры элементов слоя 72 указаны в таблице 2.9.

Ив. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	
Ив. № подл.	

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						21



Via3 #72

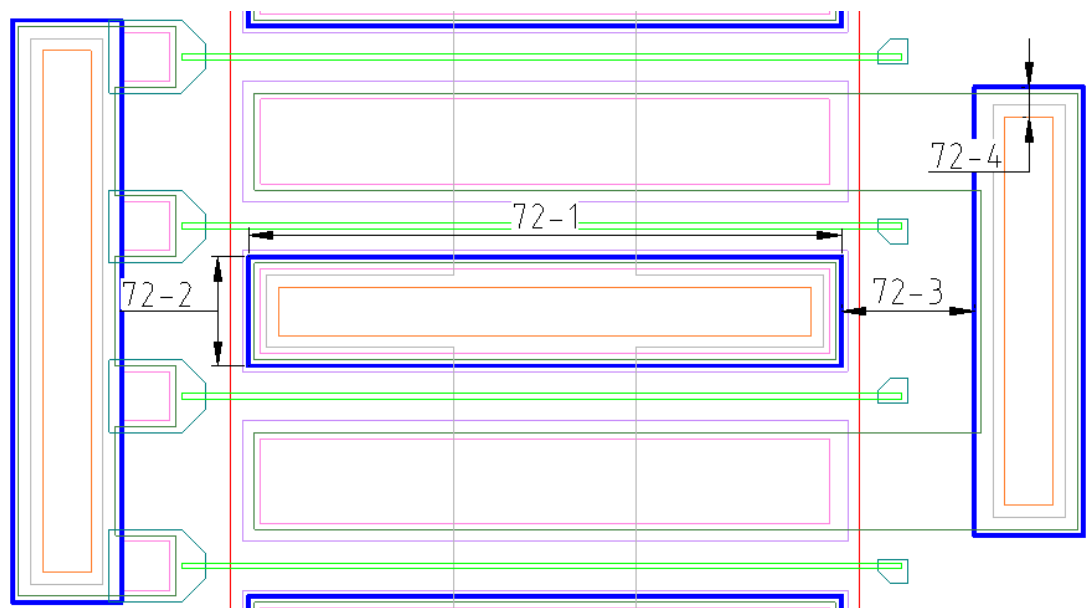


Рисунок 2.23 – Элементы слоя 72 в области формирования транзистора

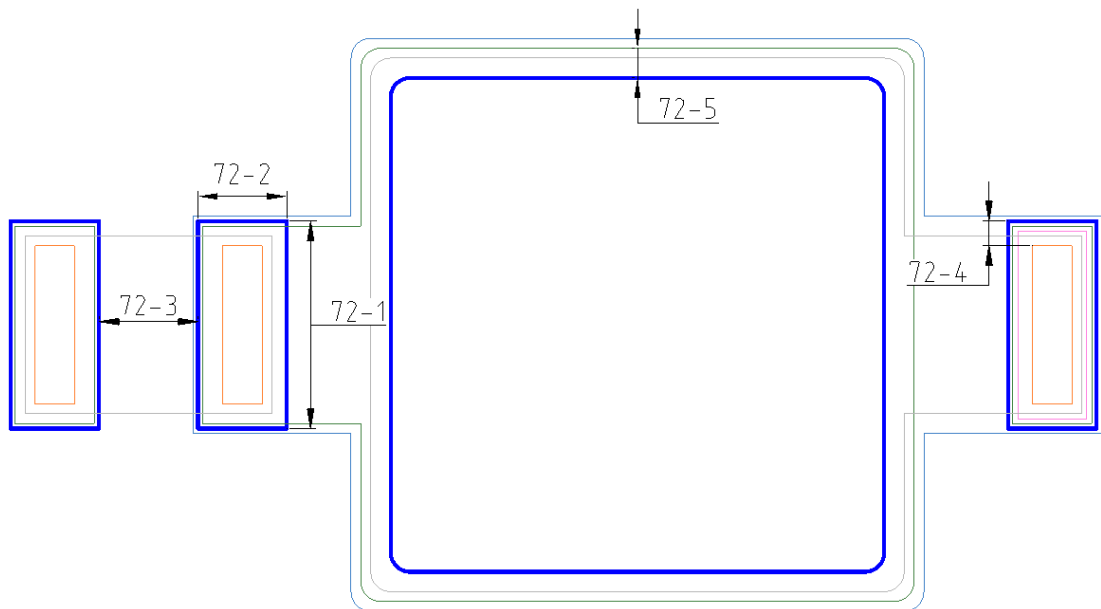


Рисунок 2.24 – Элементы слоя 72 в области формирования МДМДМ-конденсатора

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата
Изм	Лист	№ докум.	Подп.	Дата

СВБШ.431418.020 Д41

Лист

22

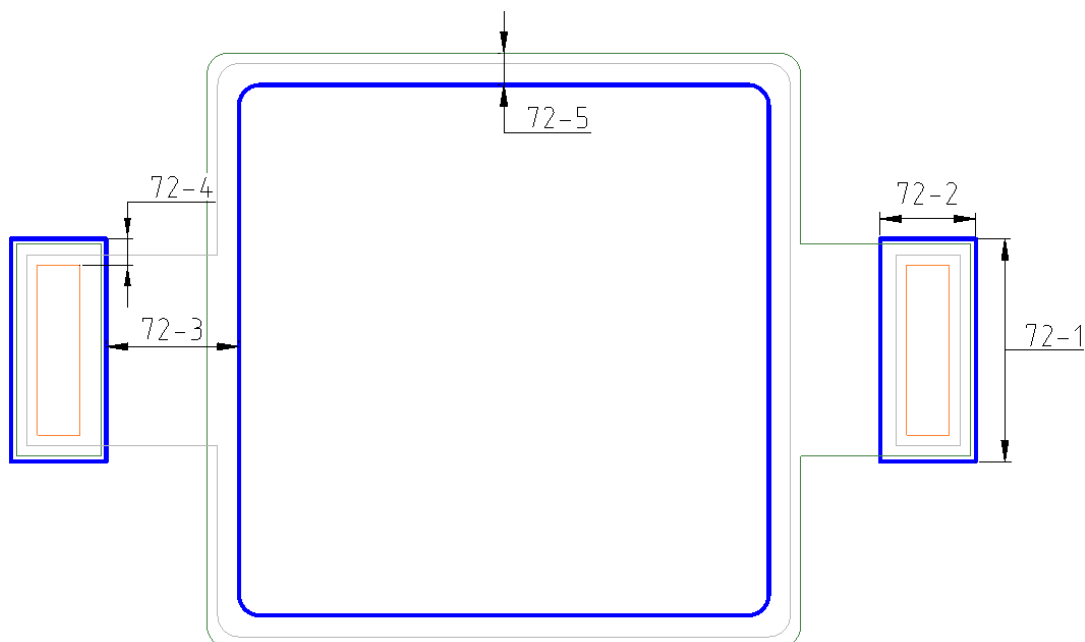


Рисунок 2.25 – Элементы слоя 72 в области формирования МДМ-конденсатора

Таблица 2.9 – Ограничения на размеры элементов слоя 72

Правило	Описание	Значение, мкм	
		мин	макс
72-1	Длина элемента слоя 72	10	—
72-2	Ширина элемента слоя 72	10	—
72-3	Расстояние между элементами слоя 72	10	—
72-4	Полное окружение элементов слоя 71 элементами слоя 72	2,5	—
72-5	Полное окружение элементов слоя 72 элементами слоя 91 в области формирования конденсаторов	3	—

2.10 Второй слой металлизации (Met2 #92)

Топологическое отображение элементов слоя 92 в области формирования транзистора показано на рисунке 2.26, МДМДМ-конденсатора – на рисунке 2.27, МДМ-конденсатора – на рисунке 2.28. Ограничения на размеры элементов слоя 92 указаны в таблице 2.10.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
										23
Изм	Лист	№ докум.	Подп.	Дата						

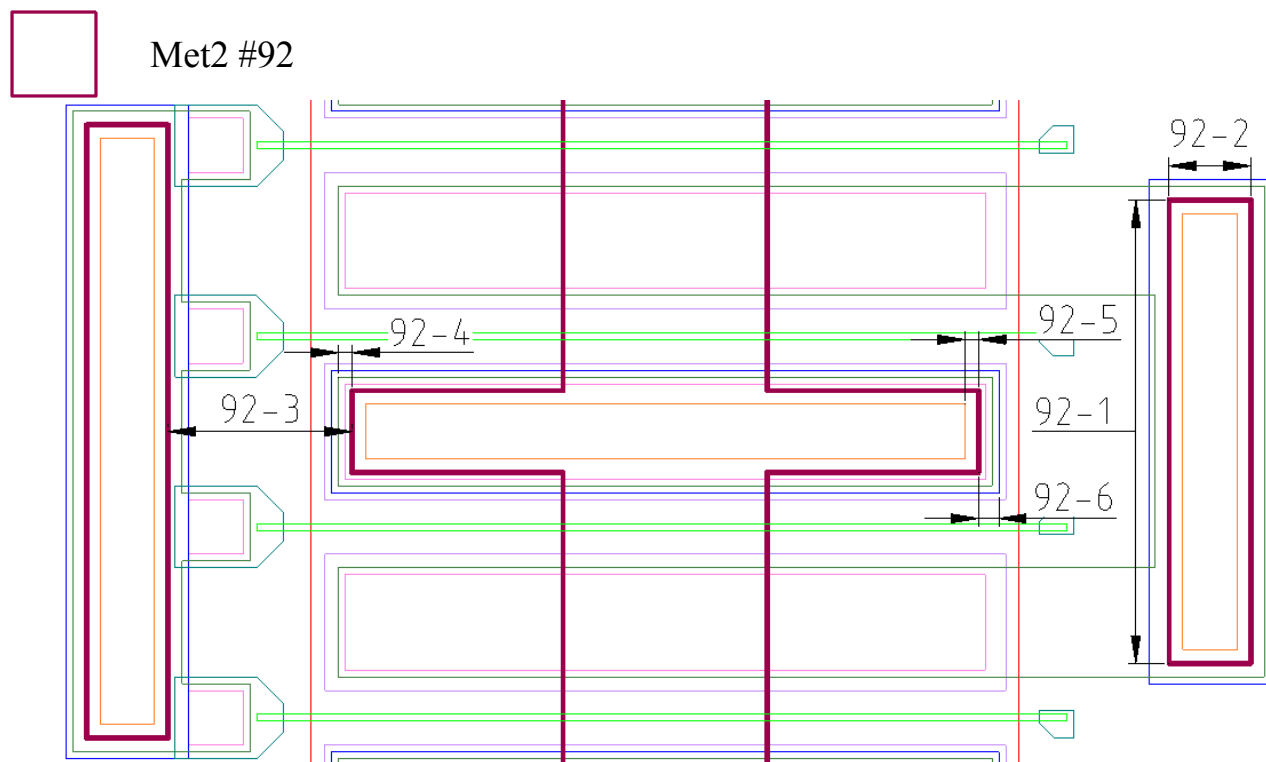


Рисунок 2.26 – Элементы слоя 92 в области формирования транзистора

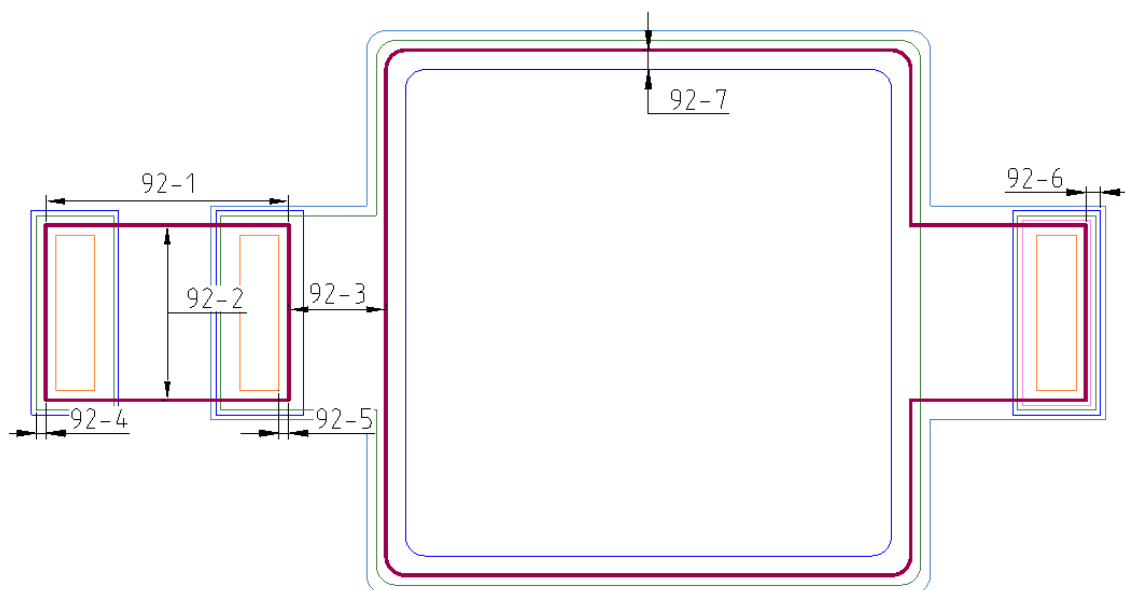


Рисунок 2.27 – Элементы слоя 92 в области формирования МДМДМ-конденсатора

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата						
Рисунок 2.27 – Элементы слоя 92 в области формирования МДМДМ-конденсатора										
Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41					Лист
										24

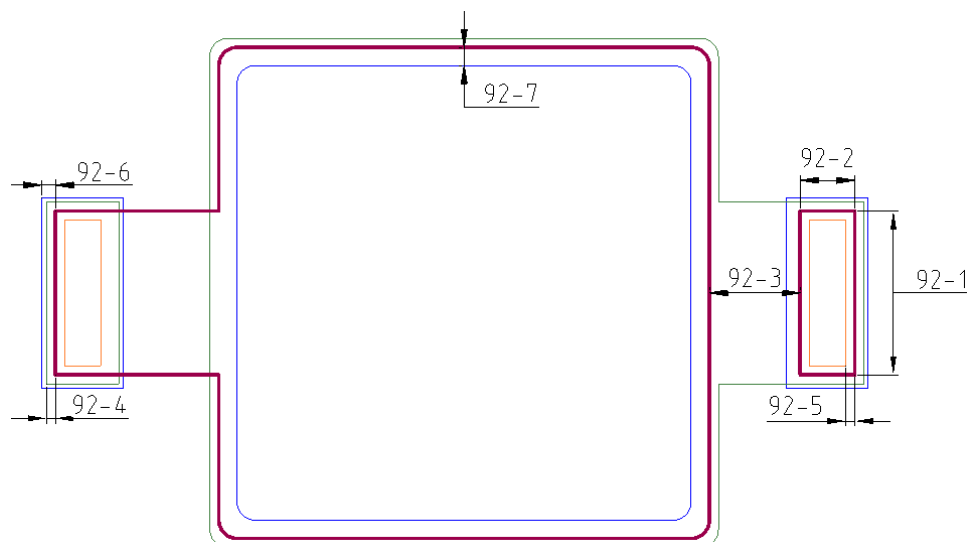


Рисунок 2.28 – Элементы слоя 92 в области формирования МДМ-конденсатора

Таблица 2.10 – Ограничения на размеры элементов слоя 92

Правило	Описание	Значение, мкм	
		мин	макс
92-1	Длина элемента слоя 92	6	—
92-2	Ширина элемента слоя 92	6	—
92-3	Расстояние между элементами слоя 92	8	—
92-4	Окружение элементов слоя 92 элементами слоя 91	1	—
92-5	Полное окружение элементов слоя 71 элементами слоя 92	1	—
92-6	Окружение элементов слоя 92 элементами слоя 72	1,5	—
92-7	Полное окружение элементов слоя 72 элементами слоя 92 в области формирования конденсаторов	2	—
92-8	Расстояние между элементом слоя 80 (81, 82) и элементом слоя 92	5	—
92-9	Не допускается перекрытия элементов слоев 80 (81, 82) и 92	—	—

2.11 Окна в защите (Via4 #73)

Топологическое отображение элементов слоя 73 в области формирования контактной площадки показано на рисунке 2.29. Ограничения на размеры элементов слоя 73 указаны в таблице 2.11.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41					Лист
										25
Изм	Лист	№ докум.	Подп.	Дата	Копировал					Формат А4



Via4 #73

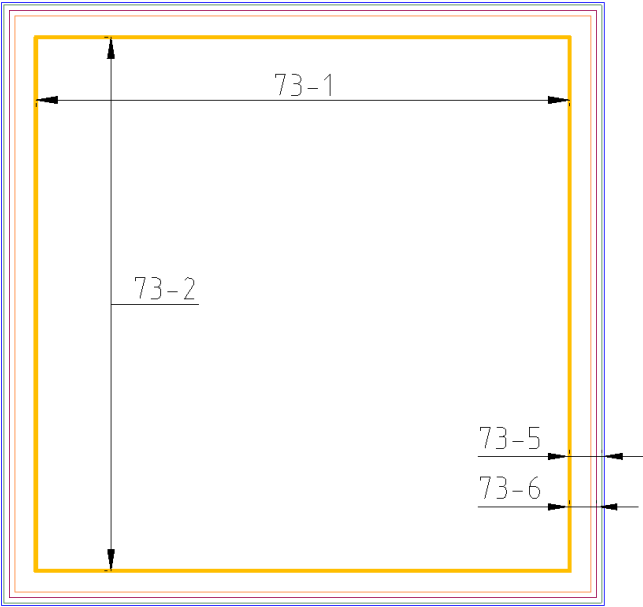


Рисунок 2.29 – Элементы слоя 73 в области формирования контактной площадки

Таблица 2.11 – Ограничения на размеры элементов слоя 73

Правило	Описание	Значение, мкм	
		мин	макс
73-1	Длина элемента слоя 73	10	—
73-2	Ширина элемента слоя 73	10	—
73-3	Расстояние между элементами слоя 73	15	—
73-4	Полное окружение элементов слоя 73 элементами слоя 92	5	—
73-5	Полное окружение элементов слоя 73 элементами слоя 91	6	—

2.12 Сквозные металлизированные отверстия (BackVia #120)

Топологическое отображение элементов слоя 120 в области формирования сквозных металлизированных отверстий показано на рисунке 2.30. Ограничения на размеры элементов слоя 120 указаны в таблице 2.12.

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл.	

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						26



BackVia #120

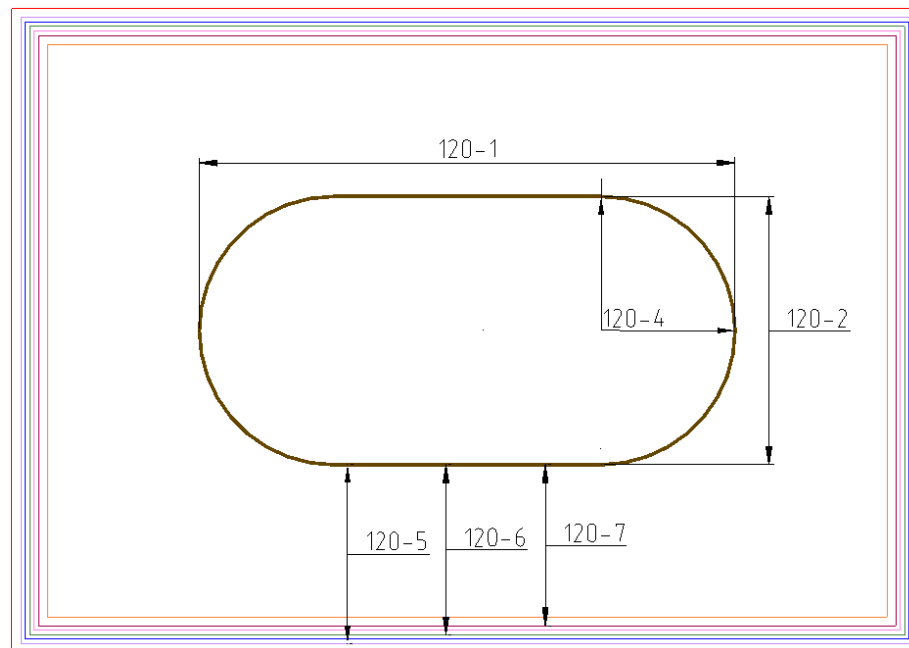


Рисунок 2.30 – Элементы слоя 120 в области формирования сквозных металлизированных отверстий

Таблица 2.12 – Ограничения на размеры элементов слоя 120

Правило	Описание	Значение, мкм	
		мин	макс
120-1	Длина элемента слоя 120	60	60
120-2	Ширина элемента слоя 120	30	30
120-3	Расстояние между элементами слоя 120	60	–
120-4	Радиус скругления элемента слоя 120	15	15
120-5	Полное окружение элементов слоя 120 элементами слоя 20	20	–
120-6	Полное окружение элементов слоя 120 элементами слоя 91	19	–
120-7	Полное окружение элементов слоя 120 элементами слоя 92	18	–
120-8	Не допускается перекрытия элементов слоев 73 и 120	–	–

Подп. и дата	Инв. № дубл.	Взам. инв. №	Подп. и дата	Инв. № подл.

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						27

2.13 Дорожки реза обратной стороны пластины (Back #130)

Топологическое отображение элементов слоя 130 в области формирования дорожки реза показано на рисунке 2.31. Ограничения на размеры элементов слоя 130 указаны в таблице 2.13.

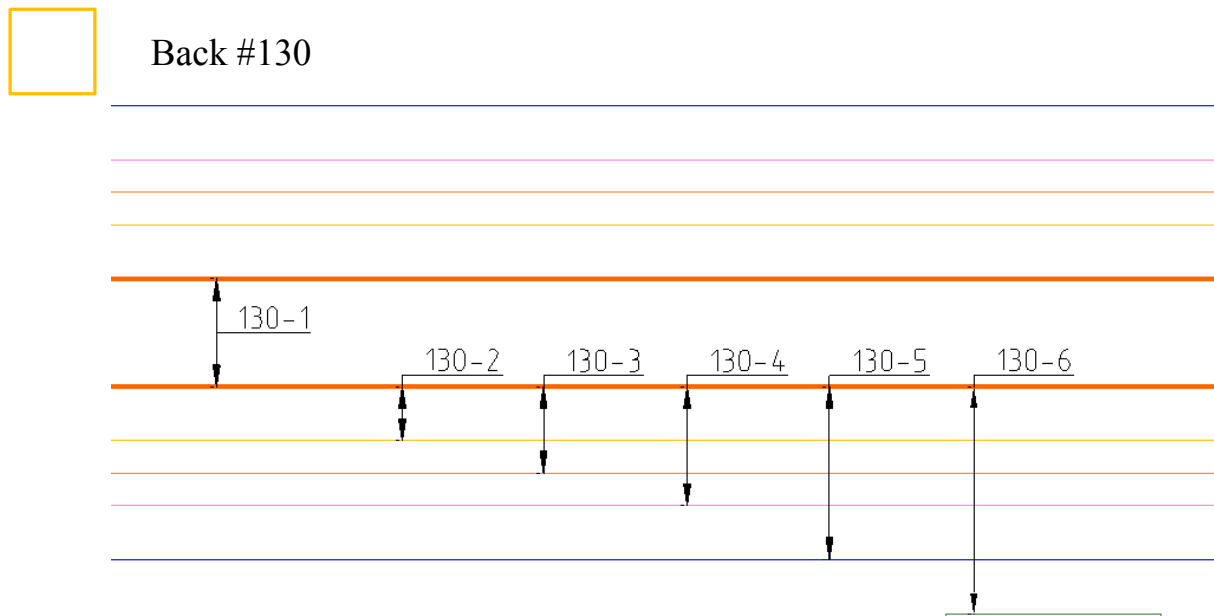


Рисунок 2.31 – Элементы слоя 130 в области формирования дорожки реза

Таблица 2.13 – Ограничения на размеры элементов слоя 130

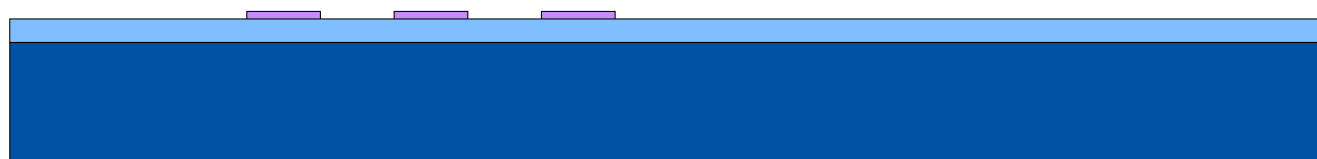
Правило	Описание	Значение, мкм	
		мин	макс
130-1	Ширина элемента слоя 130	100	100
130-2	Полное окружение элементов слоя 130 элементами слоя 73	5	5
130-3	Полное окружение элементов слоя 130 элементами слоя 71	8	8
130-4	Полное окружение элементов слоя 130 элементами слоя 70	11	11
130-5	Полное окружение элементов слоя 130 элементами слоя 72	16	16
130-6	Расстояние между элементом слоя 130 и элементом слоев 20, 40, 50, 51, 80, 81, 82, 90, 91, 92, 120	60	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	СВБШ.431418.020 Д41	Лист
Изм	Лист	№ докум.	Подп.	Дата		28

3 Краткая иллюстрация технологического процесса

Этап 1. Ohmic #20

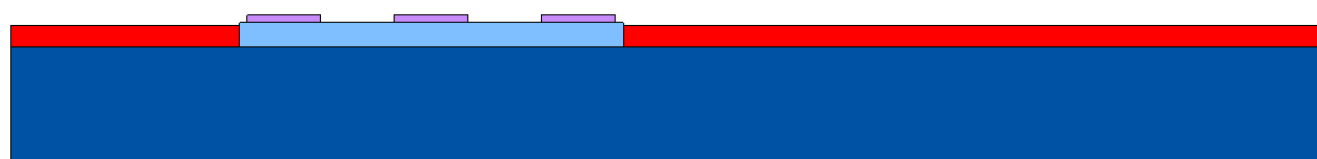
Эпитаксиальные слои GaAs-подложка



Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор

Ohmic

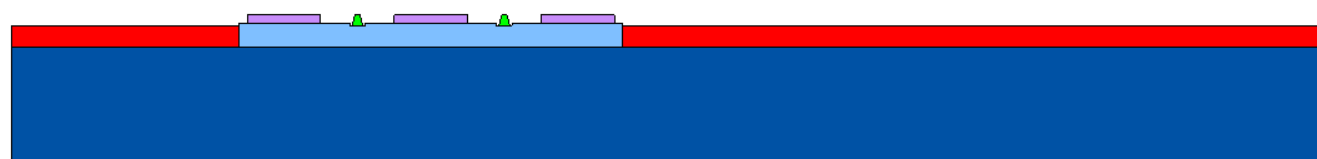
Этап 2. Mesa #40



Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор

Ohmic Mesa

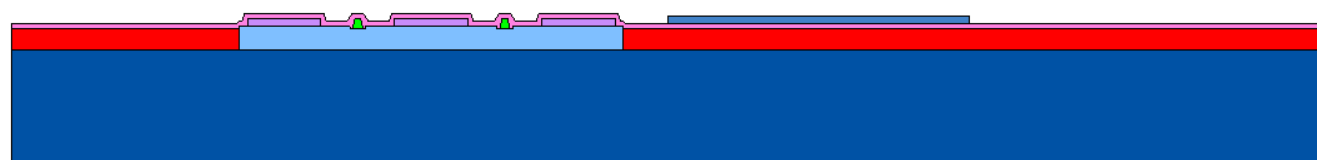
Этап 3, 4. Pad #50, D-gate #51



Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор

Ohmic Mesa D-gate

Этап 5. Met0 #90



Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор

Ohmic Mesa D-gate Met0

Инов. № подл.	Подп. и дата	 <p>Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор</p> <p>Ohmic Mesa D-gate</p> <p>Этап 5. Met0 #90</p>  <p>Тонкопленочный резистор Транзистор МДМДМ-конденсатор МДМ-конденсатор</p> <p>Ohmic Mesa D-gate Met0</p>					
Взам. инв. №	Инв. № дубл.						
Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41		Лист
							29

[illegible]

 Ohmic
 Mesa
 D-gate
 Met0
 Via1



A cross-sectional diagram of a semiconductor device. It features a thick blue substrate at the bottom. Above the substrate is a thin red layer. On top of the red layer is a light blue layer with a central rectangular opening. The top surface of the light blue layer is covered by a patterned top layer consisting of alternating red and light blue rectangular blocks. Small green triangles are visible at the interfaces between the light blue layer and the top layer.



Ohmic Mesa D-gate MetO Via1 TFR

Ohmic Mesa D-gate Met0 Via1 TFR Met1












 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1
 Via2

Формат А4

 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1

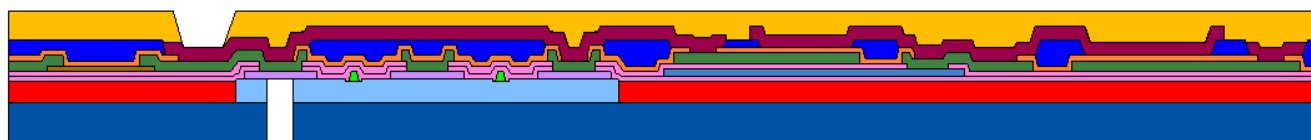
 Via2
  Span

 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1
 Via2
  Span
  Met2








 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1
 Via2
  Span
  Met2
  Protect





Формат А4

Этап 15. BackVia #120

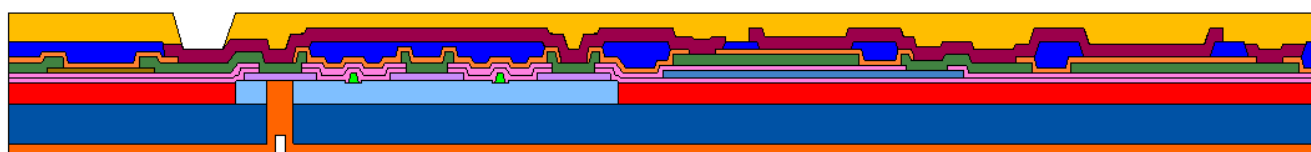


Тонкопленочный резистор	Транзистор	МДМДМ-конденсатор	МДМ-конденсатор
-------------------------	------------	-------------------	-----------------








 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1






 Via2
  Span
  Met2
  Protect

Этап 16. Back #130



Тонкопленочный резистор	Транзистор	МДМДМ-конденсатор	МДМ-конденсатор
-------------------------	------------	-------------------	-----------------

 Ohmic
  Mesa
  D-gate
  Met0
  Via1
  TFR
  Met1

 Via2
  Span
  Met2
  Protect
  Back

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	СВБШ.431418.020 Д41	Лист
						32

Лист регистрации изменений

[illegible]

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата