

# Laboratorio 01: Compuertas lógicas

Por:  
Ian Gabriel Cañas Fernández, 1092228

## **Título: Experimento definitivo:**

Probando varios ejemplos de compuertas lógicas

## **Objetivos:**

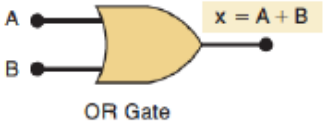
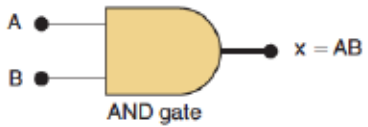
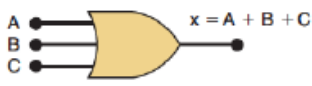

Conocer y comprobar el funcionamiento de las compuertas lógicas implementando circuitos digitales básicos utilizando circuitos integrados y el kit de desarrollo de la FPGA.

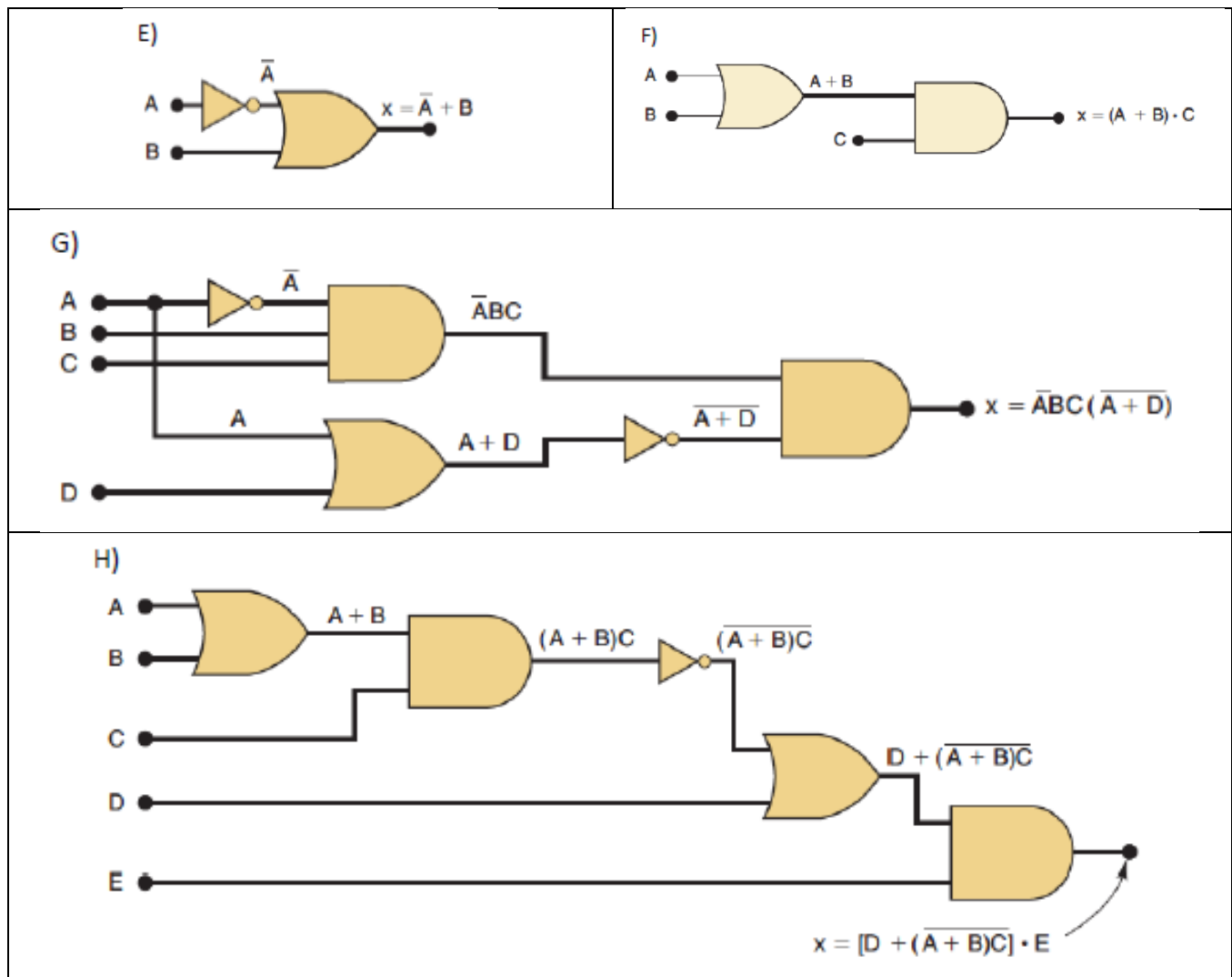
## **Equipos:**

- Digilent Nexys 4 DDR / CoolRunner II Board
- Compuertas Lógicas: 7400, 7408, 7420, ...
- Transistor BJT NPN 2N3904 o similar.
- Resistencias de 1K, 3K, 470, 560 ohm.
- Fuente DC.
- Diodo LED.
- Multímetro Digital.
- Project Board.
- Cables (jumpers)

## **Procedimiento:**

Este laboratorio consiste en el uso de los puertos de entrada y de salida que posee la FPGA Nexys 4 DDR que será puesta a prueba mediante la implementación de las siguientes ocho compuertas lógicas:

<p>A)</p> <p>OR</p> <table border="1"><thead><tr><th>A</th><th>B</th><th><math>x = A + B</math></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></tbody></table>  <p>OR Gate</p>	A	B	$x = A + B$	0	0	0	0	1	1	1	0	1	1	1	1	<p>B)</p> <p>AND</p> <table border="1"><thead><tr><th>A</th><th>B</th><th><math>x = A \cdot B</math></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></tbody></table>  <p>AND gate</p>	A	B	$x = A \cdot B$	0	0	0	0	1	0	1	0	0	1	1	1																																										
A	B	$x = A + B$																																																																							
0	0	0																																																																							
0	1	1																																																																							
1	0	1																																																																							
1	1	1																																																																							
A	B	$x = A \cdot B$																																																																							
0	0	0																																																																							
0	1	0																																																																							
1	0	0																																																																							
1	1	1																																																																							
<p>C)</p>  <table border="1"><thead><tr><th>A</th><th>B</th><th>C</th><th><math>x = A + B + C</math></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></tbody></table>	A	B	C	$x = A + B + C$	0	0	0	0	0	0	1	1	0	1	0	1	0	1	1	1	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	1	<p>D)</p> <table border="1"><thead><tr><th>A</th><th>B</th><th>C</th><th><math>x = ABC</math></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></tbody></table> 	A	B	C	$x = ABC$	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0	0	1	1	1	1
A	B	C	$x = A + B + C$																																																																						
0	0	0	0																																																																						
0	0	1	1																																																																						
0	1	0	1																																																																						
0	1	1	1																																																																						
1	0	0	1																																																																						
1	0	1	1																																																																						
1	1	0	1																																																																						
1	1	1	1																																																																						
A	B	C	$x = ABC$																																																																						
0	0	0	0																																																																						
0	0	1	0																																																																						
0	1	0	0																																																																						
0	1	1	0																																																																						
1	0	0	0																																																																						
1	0	1	0																																																																						
1	1	0	0																																																																						
1	1	1	1																																																																						



Figuras 1 a 8. Incisos de circuitos lógicos a implementar.

Debido a las condiciones presentadas, todo el circuito será empleado sin Projectboard, puesto que los elementos no se poseen en el laboratorio, sin embargo, la composición interna de la FPGA es suficiente para cumplir estos requisitos.

A parte, para una complejidad combinada, se ha decidido fusionar los comportamientos de todos los incisos. De la siguiente manera:

1. Se asignará un LED para cada inciso en la que encenderá en respuesta a la combinación de entradas correspondientes.
2. Como las entradas son nombradas de igual manera, A, B C, D y E serán los nombres de 5 switches correspondientes a las entradas de todas las funciones. Del comportamiento de estas 5 entradas responderán los LEDs.
3. Puede haber un switch que no afecte al comportamiento en ciertas compuertas lógicas. Como, por ejemplo, el switch E no hará algún efecto sobre el LED LA, pues esta solo de pende de la combinación dada entre A y B.
4. Se generará un esquemático combinado en su manera más simplificada, que representará la configuración interna de la FPGA.

Los datos de las compuertas lógicas presentadas son adaptados al lenguaje VHDL de la siguiente manera. Tomando en consideración que es ni más ni menos que la transcripción literal de lo que representa cada expresión.

```
-----  
  
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
  
| entity Laboratorio01 is  
|   Port ( A : in std_logic;  
|         B : in std_logic;  
|         C : in std_logic;  
|         D : in std_logic;  
|         E : in std_logic;  
  
|         LA : out std_logic;  
|         LB : out std_logic;  
|         LC : out std_logic;  
|         LD : out std_logic;  
  
|         LE : out std_logic;  
|         LF : out std_logic;  
|         LG : out std_logic;  
|         LH : out std_logic;  
|   );  
| end Laboratorio01;  
  
| architecture Behavioral of Laboratorio01 is  
  
| begin  
  
|   LA <= A OR B;  
|   LB <= A AND B;  
|   LC <= A OR B OR C;  
|   LD <= A AND B AND C;  
  
|   LE <= (NOT A) OR B;  
|   LF <= (A OR B) AND C;  
|   LG <= (NOT A) AND B AND C AND (NOT (A OR D));  
|   LH <= (D OR (NOT ((A OR B) AND C))) AND E;  
  
| end Behavioral;
```

Figura 9. Código implementado en la FPGA.

Si bien es cierta la posibilidad de haber usado señales, no se han aplicado porque, en estas condiciones la complejidad agregada al sistema no se justifica frente a la simplificación que estas señales crearían. Procedente de este archivo se obtiene finalmente una combinación de sus esquemáticos, que aprovecha cuanto se pueda cada una de las combinaciones obtenidas:

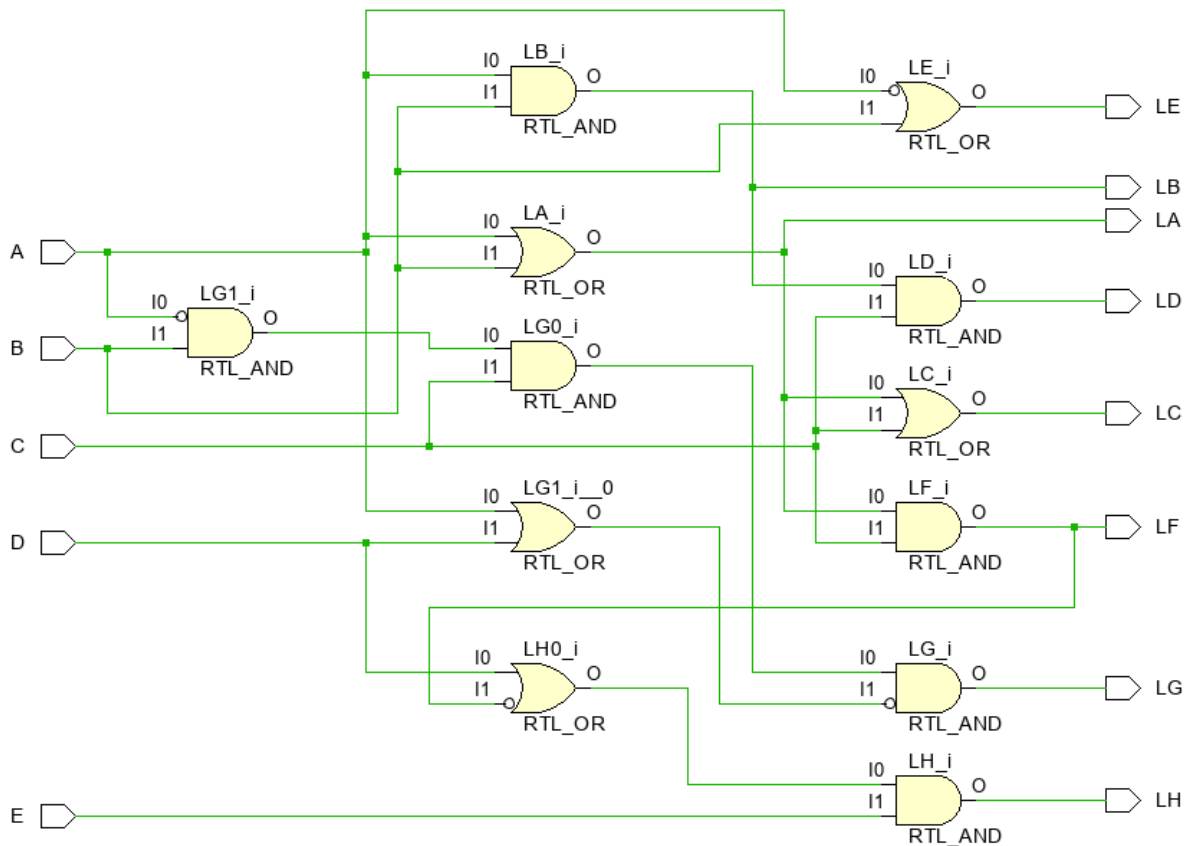


Figura 10. Circuito lógico combinado.

Observando la imagen 11, se asignaron los 5 switches de la izquierda del conjunto de 16 de la FPGA (señalado con un 8), mientras que los 8 primeros LEDs de la tarjeta son vistos igualmente de izquierda a derecha (señalado con un 7), cada uno respondiendo a la función del inciso que le corresponde.

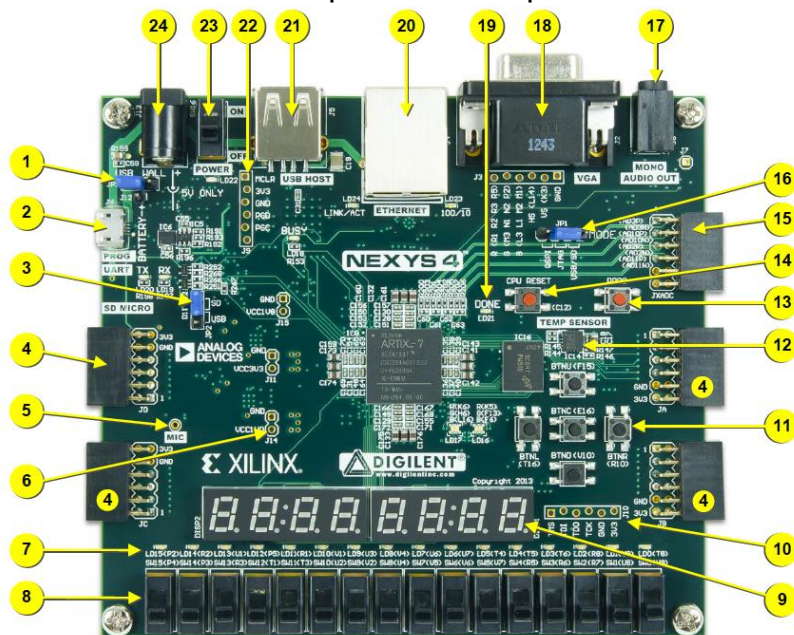


Figura 11. Composición de la FPGA.

## Resultados:

Los valores de las expresiones fueron introducidos en Excel. A continuación, se presenta la tabla de verdad del sistema, tomando en cuenta que los valores en verde son 1 (dígase verdadero) y los valores en rojo son 0 (dígase falso).

A	B	C	D	E	LA = A OR B	LB = A AND B	LC = A OR B OR C	LD = A AND B AND C	LE = NOT A OR B	LF = (A OR B) AND C	LG = NOT A AND B AND C AND (NOT (A OR B))	LH = (D OR NOT ((A OR B) AND C)) AND E
FAUX	FAUX	FAUX	FAUX	FAUX	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	FAUX	FAUX	VRAI	VRAI	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	FAUX	VRAI	VRAI	FAUX	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	FAUX	VRAI	VRAI	VRAI	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	VRAI	FAUX	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	VRAI	FAUX	FAUX	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
FAUX	VRAI	FAUX	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
FAUX	VRAI	VRAI	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	VRAI	FAUX
FAUX	VRAI	VRAI	FAUX	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	VRAI	FAUX
FAUX	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	FAUX	VRAI
FAUX	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	FAUX	VRAI
VRAI	FAUX	FAUX	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	FAUX
VRAI	FAUX	FAUX	FAUX	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	VRAI
VRAI	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	FAUX
VRAI	FAUX	FAUX	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX	FAUX	VRAI
VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	FAUX
VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	FAUX
VRAI	FAUX	VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	FAUX
VRAI	FAUX	VRAI	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI	FAUX	VRAI
VRAI	VRAI	FAUX	FAUX	FAUX	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
VRAI	VRAI	FAUX	FAUX	VRAI	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
VRAI	VRAI	FAUX	VRAI	FAUX	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	FAUX
VRAI	VRAI	FAUX	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	VRAI	FAUX	FAUX	VRAI
VRAI	VRAI	VRAI	FAUX	FAUX	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	FAUX
VRAI	VRAI	VRAI	FAUX	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	FAUX
VRAI	VRAI	VRAI	VRAI	FAUX	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	FAUX
VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	VRAI	FAUX	VRAI
Total					24	8	28	4	24	12	2	13

Figura 12. Tabla de verdad de circuito lógico.

Habiendo asignado los puertos de entrada y salida a la FPGA, se obtienen ciertas respuestas dependiendo del estado de los switches (ir a sección de conclusiones).

## Resumen y análisis:

En el presente laboratorio se ha digitado, adaptado combinado e implementado el comportamiento de 8 circuitos lógicos, cada uno con sus características únicas. Además, para comprobar los cálculos, cada una de las compuertas lógicas presentadas ha sido detalladamente calculada mediante Excel gracias a su flexibilidad con las fórmulas lógicas.

He aprendido que la FPGA posee cierta flexibilidad con combinaciones más o menos complejas de inputs y outputs y que es altamente eficiente para poder llevar a cabo

varias acciones lógicas al mismo tiempo siempre y cuando la configuración física interna que esto involucre sea físicamente posible, tomando en cuenta que los resultados se presentan gracias a conexiones internas programables.

Si bien el diseño final pudo poseer el uso de señales para su simplificación, considero que es más eficiente y útil la simplificación de la función G de la siguiente forma:

Original	Simplificación
$\bar{A}BC(\bar{A} + \bar{D})$	$\bar{A}BC\bar{D}$