



LABORATORIO 3: DECODIFICADORES, MULTIPLEXORES Y DEMULTIPLEXORES

OBJETIVO

Conocer, analizar y comprobar el funcionamiento de multiplexores y demultiplexores e implementarlos en el kit de desarrollo de la FPGA.

EQUIPOS

Digilent Nexys 4 DDR / CoolRunner II Board
Multiplexor 74ALS157, Demultiplexor 74ALS138
Decodificador 7 segmentos 4511, 7447.
Display de 7 segmentos.
9 resistencias de $1K\Omega$ y 7 de 470Ω .
9 interruptores.
Fuente DC.
8 Diodos LED.
Multímetro Digital.
Project Board.
Cables (jumpers)

PRELIMINAR

Utilizar fuente de 5 voltios para las compuertas lógicas TTL/CMOS y recuerde que la tarjeta de desarrollo sólo maneja niveles de voltaje de 3.3 voltios.
Las tierras o referencias de todos los circuitos deben estar unidas debidamente.

DISCUSIÓN

Codificadores

El codificador digital más comúnmente llamado codificador binario toma TODAS sus entradas de datos una a la vez y luego las convierte en una única salida codificada. Entonces, podemos decir que un codificador binario es un circuito lógico combinacional de múltiples entradas que convierte los datos del nivel en sus entradas en un código binario equivalente en su salida.

Generalmente, los codificadores digitales producen salidas de códigos de 2 bits, 3 bits o 4 bits dependiendo del número de líneas de entrada de datos. Un codificador binario de "n bits" tiene 2^n líneas de entrada y n-líneas de salida de n-bits, algunos tipos comunes incluyen configuraciones de 4 a 2, 8 a 3 y 16 a 4 líneas. La figura 1 muestra un codificador de M-entradas a N-salidas.

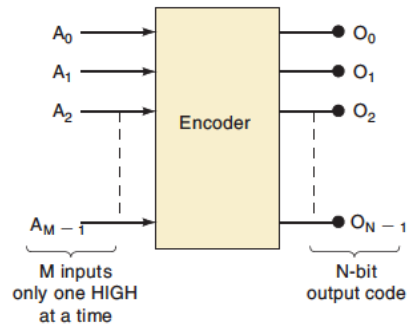


Figura 1 - Codificador de M-entradas y N-salidas

Decodificadores

Un decodificador es un circuito lógico que acepta un conjunto de entradas que representa un número binario y activa solo la salida que corresponde a ese número de entrada. En otras palabras, un circuito decodificador mira sus entradas, determina qué número binario está presente allí y activa la única salida que corresponde a ese número; todas las demás salidas permanecen inactivas. El diagrama de un decodificador general se muestra en la Figura 2 con N entradas y M salidas.

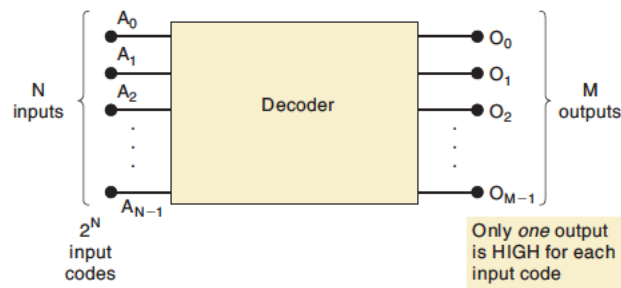


Figura 2 - Decodificador de N-entradas y M-salidas

Debido a que cada una de las N entradas puede ser 0 o 1, hay 2^N posibles combinaciones o códigos de entrada. Para cada una de estas combinaciones de entrada, solo una de las M salidas estará activa (ALTA); todas las demás salidas son BAJAS. Muchos decodificadores están diseñados para producir salidas activas BAJAS, donde solo la salida seleccionada es BAJA mientras que todas las demás son ALTAS. Esta situación está indicada por la presencia de pequeños círculos (burbujas) en las líneas de salida en el diagrama del decodificador.

Multiplexores y Demultiplexores

Un multiplexor (MUX) digital o selector de datos es un circuito lógico que acepta varias entradas de datos digitales y selecciona una de ellas en un momento dado para pasarla a la salida. El enrutamiento de la entrada de datos deseada hacia la salida se controla mediante entradas de SELECCIÓN (también conocidos como entradas de DIRECCIÓN). La figura 3 muestra el diagrama funcional de un multiplexor digital en general. Las entradas y las salidas se dibujan como flechas gruesas en vez de líneas; esto indica que pueden tener más de una línea de señal.

El multiplexor actúa como un interruptor de múltiples posiciones controlado en forma digital, en el que el código digital que se aplica a las entradas de SELECCIÓN controla qué entradas de datos se conmutarán hacia la salida. Por ejemplo, la salida Z será igual a la entrada de datos I_0 para cierto código de entrada de SELECCIÓN específico, Z será igual a I_0 para otro código de entrada de SELECCIÓN específico, y así sucesivamente. Dicho de otra forma, un multiplexor selecciona 1 de N fuentes de datos de entrada y transmite los datos seleccionados a un solo canal de salida. A esto se le conoce como multiplexaje.

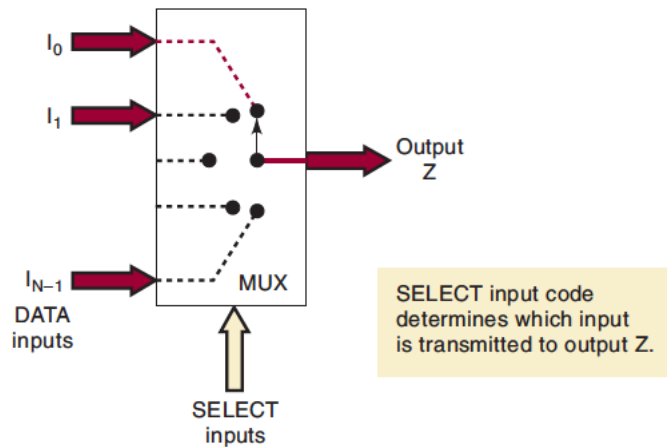


Figura 3 – Diagrama funcional de un multiplexor (MUX).

Así como un multiplexor recibe varias entradas y transmite una de ellas a la salida, un demultiplexor (DEMUX) realiza la operación inversa: recibe una sola entrada y la distribuye a través de varias salidas. La figura 4 muestra el diagrama funcional para un demultiplexor digital. Las flechas gruesas para las entradas y las salidas pueden representar una o más líneas. El código de entrada de selección determina cuál de las salidas transmitirá la entrada de DATOS. En otras palabras, el demultiplexor recibe una fuente de datos de entrada y la distribuye en forma selectiva a 1 de N canales de salida, justo igual que un interruptor de múltiples posiciones.

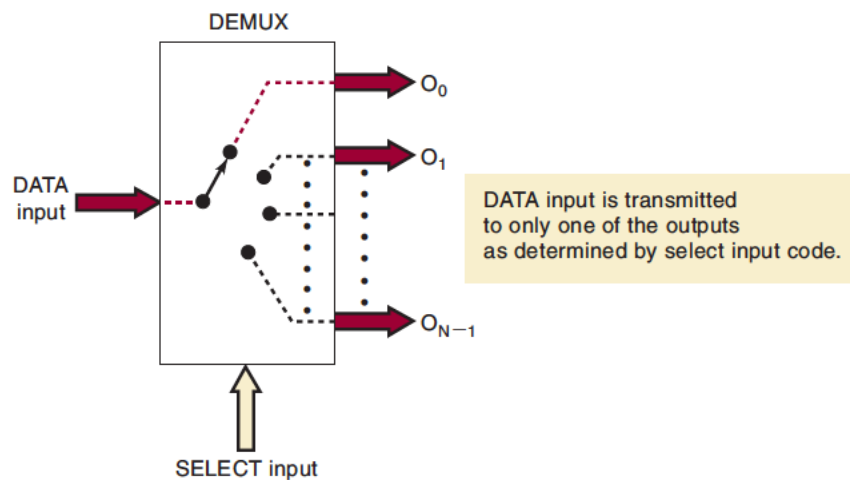


Figura 4 – Diagrama funcional de un demultiplexor (DEMUX).

INDICACIONES

Implemente los siguientes circuitos en project board. Los circuitos de las figuras 5 y 6 son un codificador de 8 a 3 bits y un decodificador de BCD-a-Decimal. El circuito de la figura 7 es un multiplexor cuádruple de dos entradas, mientras que el circuito de la figura 8 es un demultiplexor de 1 a 8 líneas.

Codificador Binario de Prioridad de 8 a 3 bits

Un codificador de prioridad incluye la lógica necesaria para asegurar que cuando se activan dos o más entradas, el código de salida corresponderá a la entrada con el número más alto. Por ejemplo, en el codificador mostrado en la figura 5 observe que una vez se activa en alto una entrada de mayor peso, inmediatamente las entradas de menor peso son ignoradas.

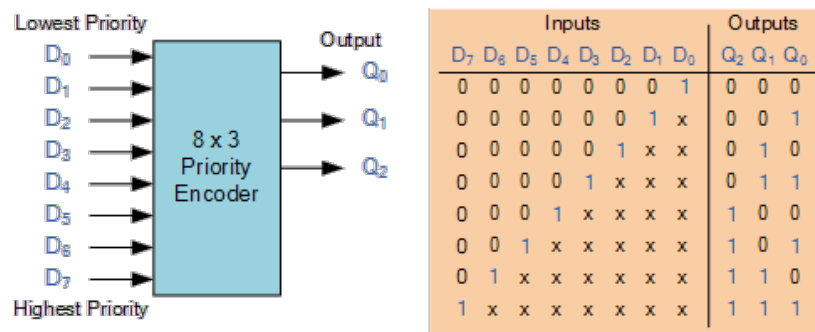


Figura 5 - Codificador Binario de Prioridad de 8 a 3 bits

Decodificador BCD-a-Decimal

En un decodificador BCE-a-Decimal cada salida pasa a BAJO solo cuando se aplica su entrada BCD correspondiente. Por ejemplo, en la figura 6 observe que O₅ irá a BAJO solo cuando las entradas DCBA = 0101; O₈ irá a BAJO solo cuando DCBA = 1000 y así sucesivamente. Para combinaciones de entrada que no son válidas para BCD, no se activará ninguna de las salidas. Este decodificador también puede denominarse decodificador 4 a 10 o decodificador 1 de 10.

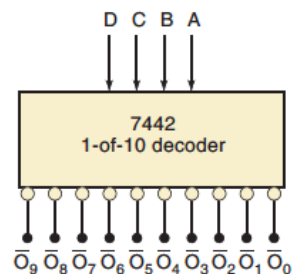


Figura 6 - Decodificador BCD-a-Decimal

MUX cuádruple de dos entradas (74ALS157/HC157)

El chip 74ALS157 es un multiplexor muy útil, el cual contiene cuatro multiplexores de dos entradas, como el que se muestra en la figura 7. Observe la forma en que se etiquetan las entradas y salidas de datos. El 74ALS157 consta de cuatro multiplexores y selectores de datos de 2 a 1 de línea. Es un circuito cuádruple 2 a 1 línea para selector de datos o multiplexor con inversores y controladores para el suministro de la selección de todos los datos en el chip de las cuatro puertas de salida. Se proporciona una entrada de impulsos separados. El funcionamiento del chip permite seleccionar una palabra de 4 bits de una de las dos entradas y dirigirla a los cuatro bits en la salida.

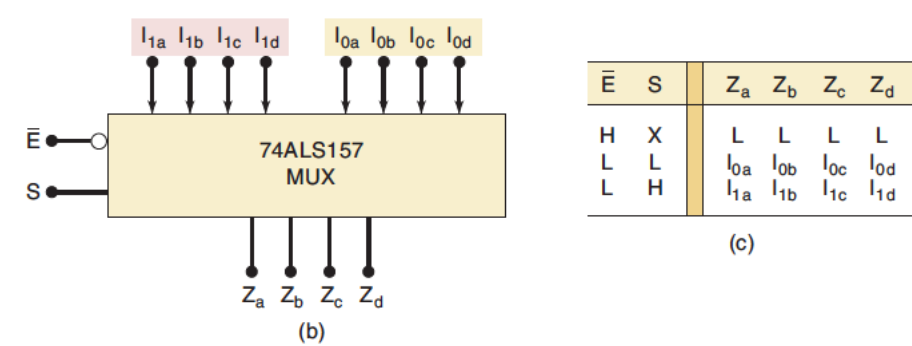


Figura 7 - MUX cuádruple de dos entradas (74ALS157/HC157)

Demultiplexor de 1 a 8 líneas

La figura 8 muestra el diagrama lógico para un demultiplexor que distribuye una línea de entrada a ocho líneas de salida. La única línea de entrada de datos I se conecta sólo a una de las ocho salidas a la vez mediante las líneas de entrada de SELECCIÓN. Por ejemplo, cuando $S_2S_1S_0 = 000$, sólo se habilitará la salida O_0 . Otros códigos de SELECCIÓN hacen que la entrada I llegue a las demás salidas.

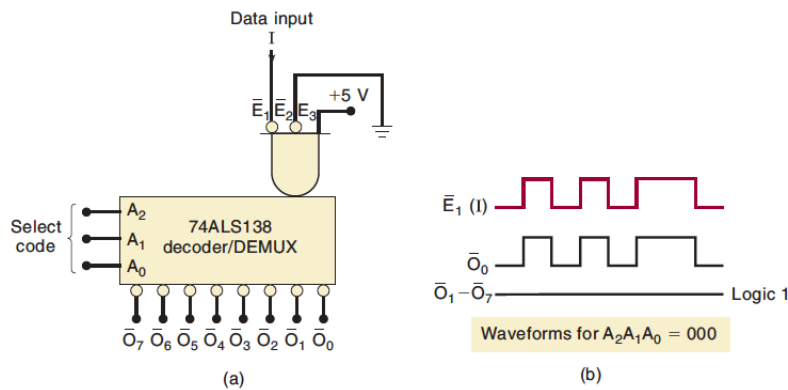


Figura 8 - Demultiplexor de 1 a 8 líneas

PROCEDIMIENTO

- Implemente y pruebe los circuitos de las figuras 5, 6, 7 y 8 en un project board.
- Implemente y pruebe los circuitos del codificador, el decodificador, el MUX y el DEMUX de las figuras 5, 6, 7 y 8 en los kits de desarrollo, Digilent Nexys 4 DDR disponibles en el laboratorio, utilice las entradas y salidas que considere pertinentes.
- Prepare su cuaderno de laboratorio: escriba el título y una breve descripción del laboratorio.
- Dibuje un esquemático que incluya los componentes que son parte de este laboratorio.
- Finalmente debe de realizar un vídeo en donde se muestre el circuito funcionando correctamente.

Nota: Para la implementación de cada uno de los ejercicios se deberán utilizar procesos (**process**) que monitoreen las entradas y tanto las entradas como las salidas serán implementadas con buses (STD_LOGIC_VECTOR) de los tamaños que consideren necesarios.

CONCLUSIÓN

Escriba un pequeño resumen de lo que hizo en el laboratorio, lo que aprendió y que sugeriría que pudiera mejorarse del diseño utilizado.