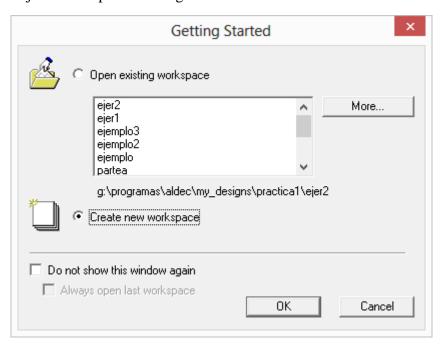
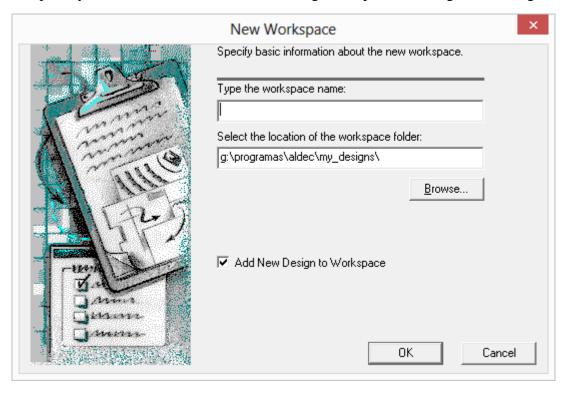
## Tutorial: utilización de herramienta Active-HDL

El programa Active-HDL crea una carpeta contenedora de los diferentes workspaces al instalarse. Todos los archivos que se creen al trabajar con la herramienta se almacenan dentro de este directorio.

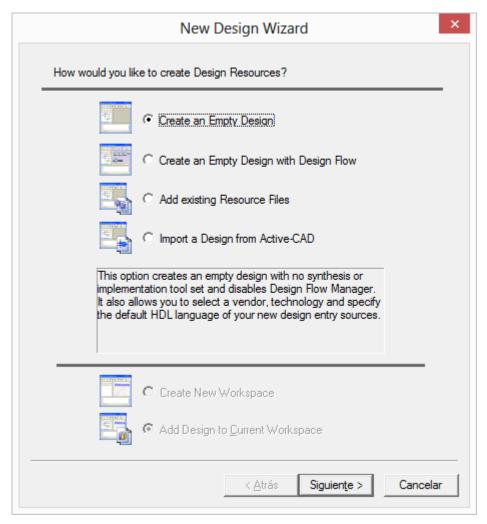
Al abrir el programa, se presenta una ventana de dialogo para el elegir el worskpace que se desea trabajar. Da la opción de elegir uno existente o crear uno nuevo.



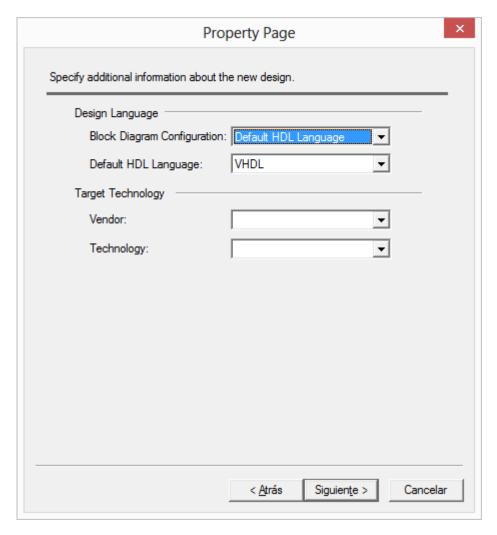
Si uno debe abrir un workspace existente, presiona sobre el elegido en la lista que se muestra y luego presiona 'OK'. Caso contrario, se selecciona la opción 'Create new workspace' y 'OK', a continuación se deberán seguir los pasos de la siguientes imagenes.



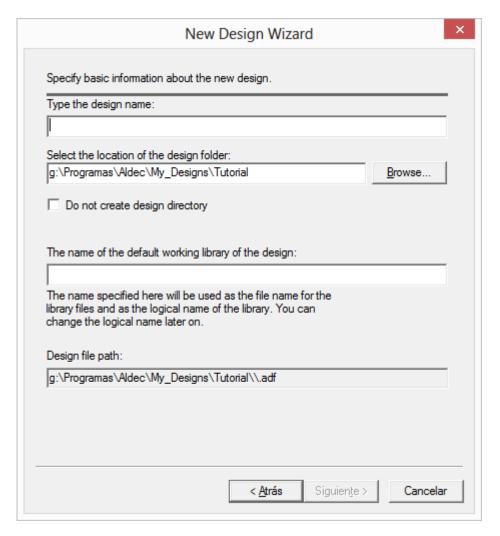
El primer punto a especificar, es el nombre del workspace a crear, en este caso, para mostrar lo llamare 'Tutorial'. La segunda opción especifica la carpeta contenedora de los diferentes workspaces, que por defecto es la que se especificó en la instalación. Se deja tildada la opción 'Add New Design to Workspace'. Continuamos presionando 'OK'.



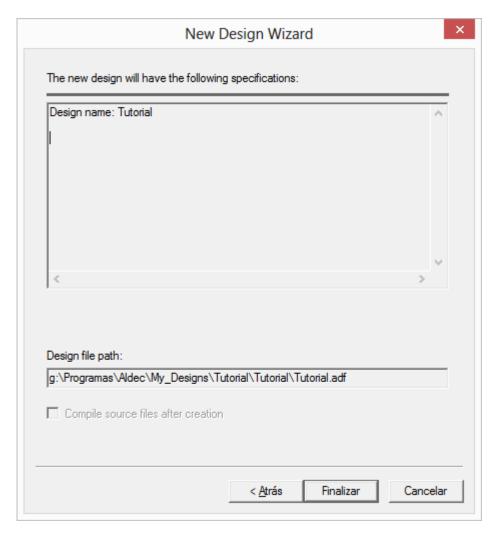
Se presentan diferentes diseños a elegir, en este caso elegiremos 'Create an Empty Design'. Presionamos 'Siguiente'.



En este apartado, se muestran dos pestañas: 'Design Language' y 'Target Technology'. Dentro de 'Design Language' elegiremos 'Default HDL Language' para la primer opción y 'VHDL' en la segunda. 'Target Technology' se debe dejar vacio o 'Not Defined' en ambos, ya que no se trabajara sobre una placa. Continuamos, 'Siguiente'.



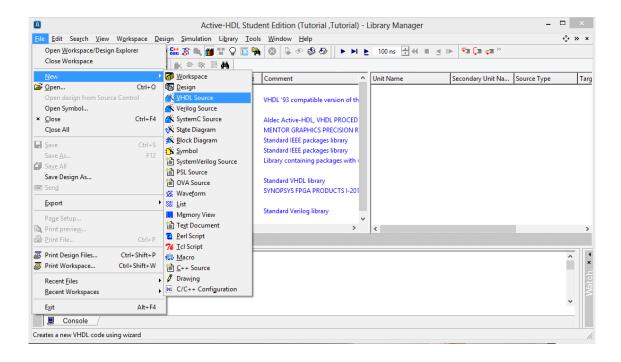
En este punto, se debe completar solo el nombre del diseño ('Type the design name'), que es conveniente que sea del mismo nombre del workspace. Las demás entradas se completan por defecto y no se deben modificar. Continuamos con 'Siguiente', se mostrara un resumen, hacer click en 'Finalizar'.

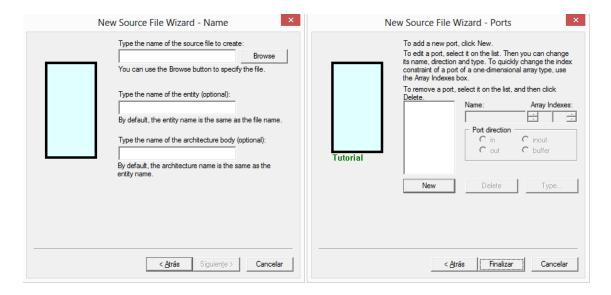


A partir de este punto, se tiene el workspace creado.

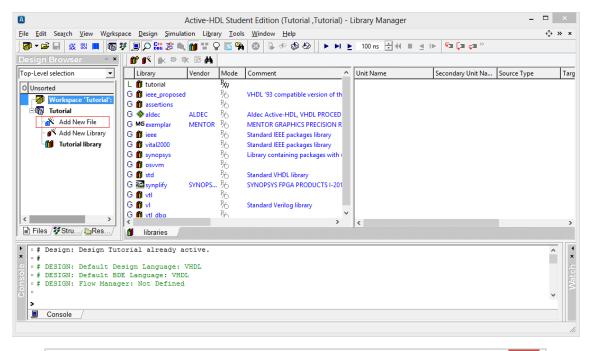
Para crear los archivos VHDL, se pueden distintos pasos, a continuación veremos algunos.

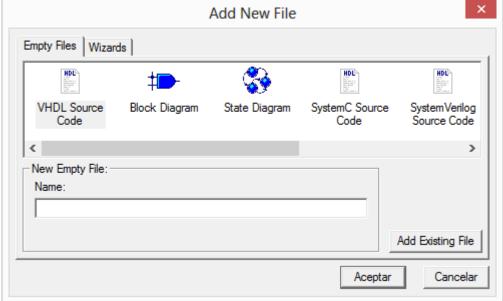
El primero de ellos, entrar al menú 'File' -> 'New' -> 'VHDL Source File'. Se abrirá una ventana, en donde se debe colocar el nombre del archivo a crear, y opcionalmente, el nombre de la entidad y el de la arquitectura. Si se especificó una entidad, continuara con la opción de ingresar entradas y salidas al PORT de la misma de forma gráfica. Finalmente, el archivo creado por este método coloca comentarios y líneas de código por defecto. Cabe destacar, que al momento que se escribe este tutorial, no se vio aun algunos aspectos que pueda incluir este párrafo, por ende es conveniente realizar el método 2. A continuación, en imágenes se ve un resumen de lo comentado.





El segundo método consiste en lo siguiente, dentro de la herramienta, a la derecha se presenta el árbol del workspace, 'Design Browser'. Alli debemos hacer doble click sobre 'Add new File', esto desembocara en la apertura de una ventana donde en la pestaña 'Empty Files', elegiremos el tipo 'VHDL Source Code' y le pondremos nombre para luego 'Aceptar'. Esto creara un archivo \*.vhd vacio, donde luego escribiremos el código. Ver imágenes a continuación.



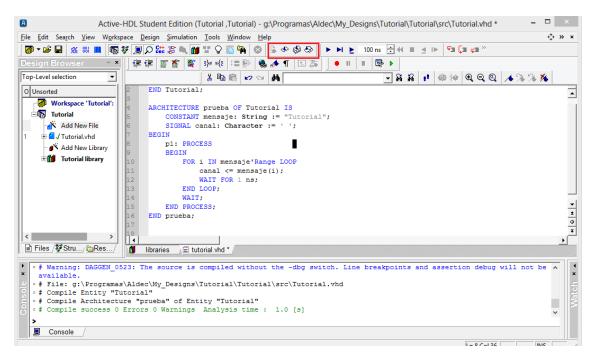


Con el archivo creado, se realizara la escritura del código en este, para luego compilar y pasar a simular. Se mostrara la compilación y simulación con un código simple.

Cada archivo en la lista, tiene un símbolo que demuestra su estado. '?' es previo a cualquier compilación, un tick en caso de archivo compilado sin errores o cruz caso contrario.

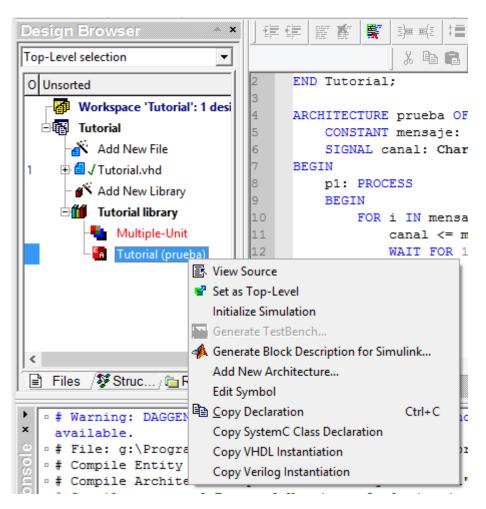


Para la compilación, podemos optar por elegir compilar un archivo en especifico, en cuyo caso seleccionamos el archivo desde el árbol raíz, y presionamos en 'Compile' en la barra. Para compilar todos los archivos del workspace presionamos en 'Compile All'

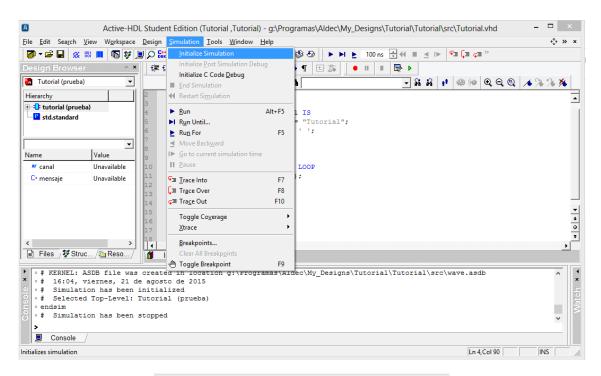


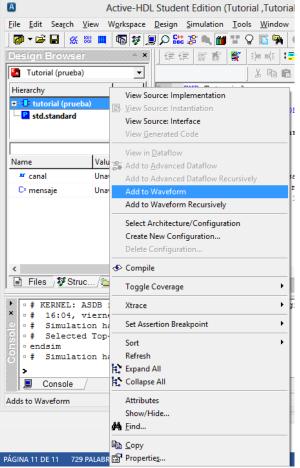
Los pasos se repiten si se encuentra error alguno luego de ser solucionados, terminando la compilación sin errores.

Como paso previo a simular, se debe seleccionar el 'Top Level' del diseño, es decir lo que se va a simular. Para esto en la sección 'Design Browser' expandimos la librería, en este caso 'Tutorial Library'. Seleccionamos la arquitectura a simular, click derech 'Set as Top-Level'.

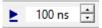


Con compilación exitosa, pasamos entonces a la simulación. En primera instancia se debe inicializar la simulación, Menu 'Simulation' —> 'Initialize Simulation'. Hecho esto, la sección 'Design Browser' de la derecha, cambia a la pestaña 'Structure', donde debemos seleccionar en 'Hierarchy' el diseño seteado como Top-Level y hacer click derecho sobre este y luego 'Add to Waveform'. Esto desencadenara la apertura de un archivo de formas de onda con todas las señales de la estructura.





Posteriormente, con solo dos opciones se puede manejar la simulación. Estas son 'Run For' y el tiempo especificado a correr.



El tiempo a correr puede cambiarse de la manera que se desee. Cuando el archivo a simular, no tenga más nada por hacer, del simulador emergerá una ventana dando aviso que finalizaron todas las posibles salidas.

