

Introducción al Diseño Lógico (E0301)

Ingeniería en Computación

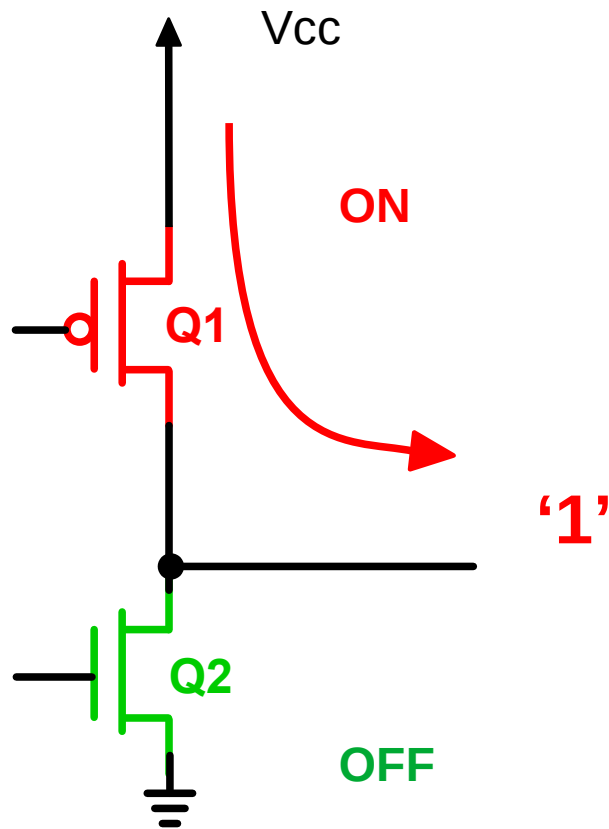
Gerardo E. Sager

Clase 9 curso 2024

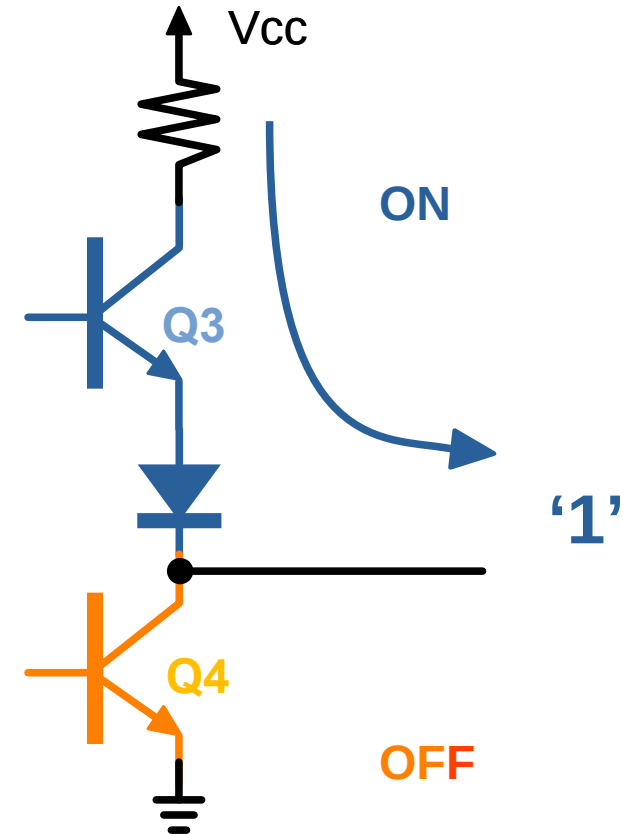
Interconexión de Dispositivos.

- Temas a tratar
 - Interconexión de salidas en CMOS y TTL
 - Totem Pole
 - Open collector
 - Open Drain
 - Three State (TRISTATE®)
 - Buses
 - I2C
 - Con Multiplexores
 - Three State
 - Celda de Memoria

Etapa de Salida “Totem Pole”

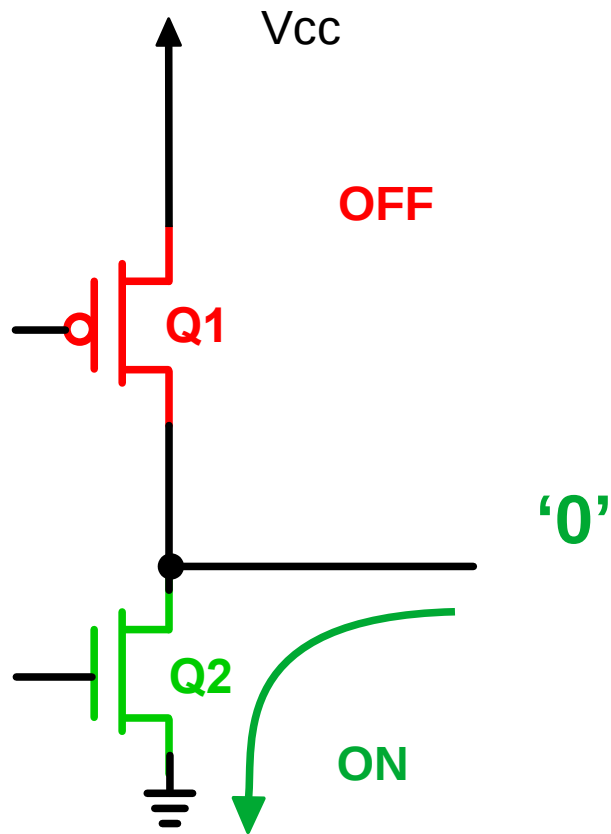


CMOS

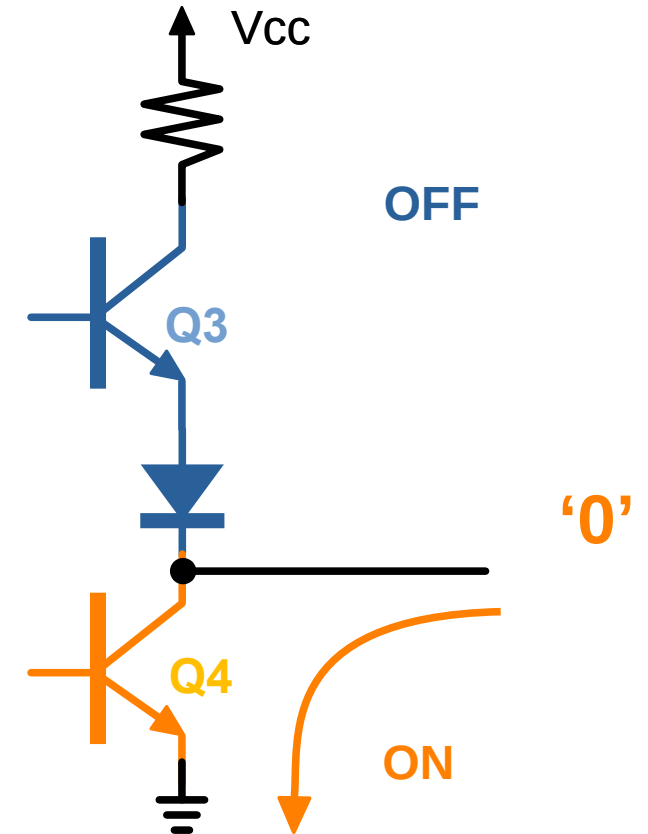


BIPOLAR

Etapa de Salida “Totem Pole”

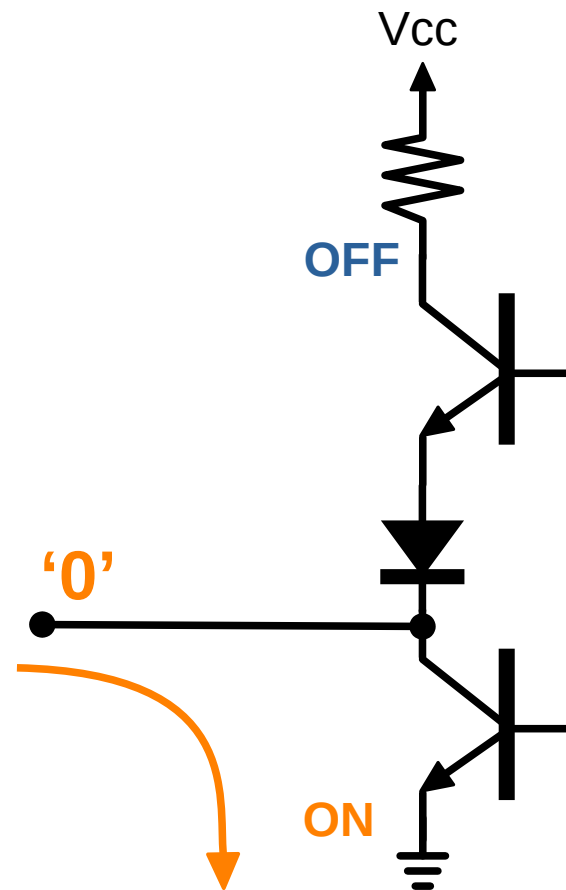
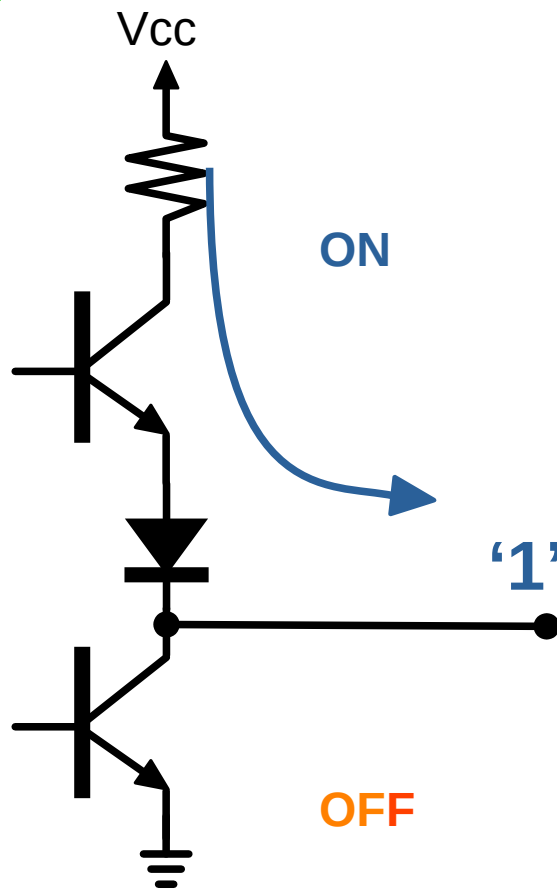


CMOS



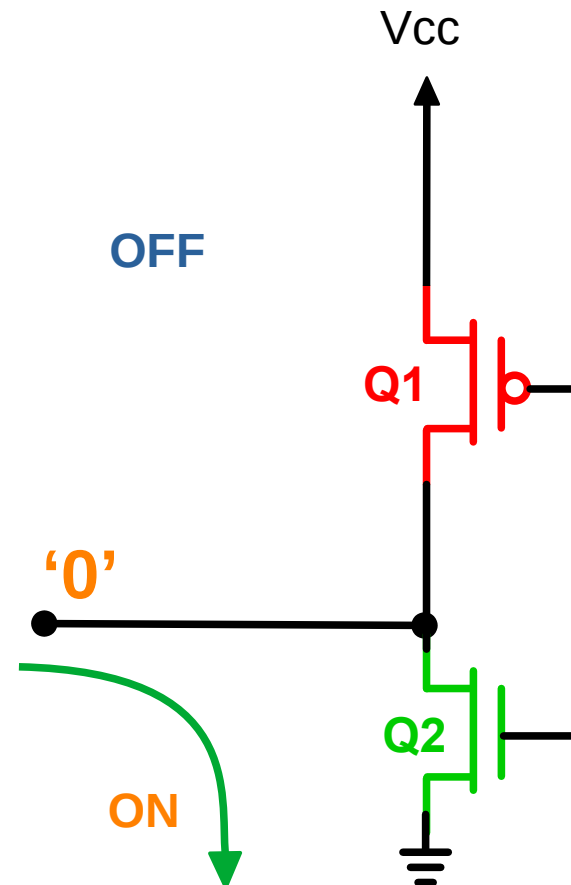
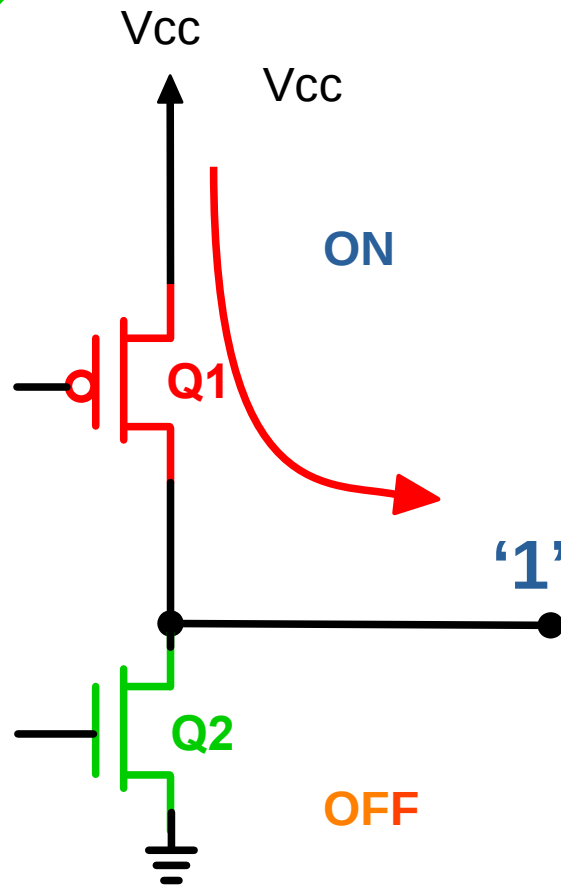
BIPOLAR

Etapa de Salida "Totem Pole"



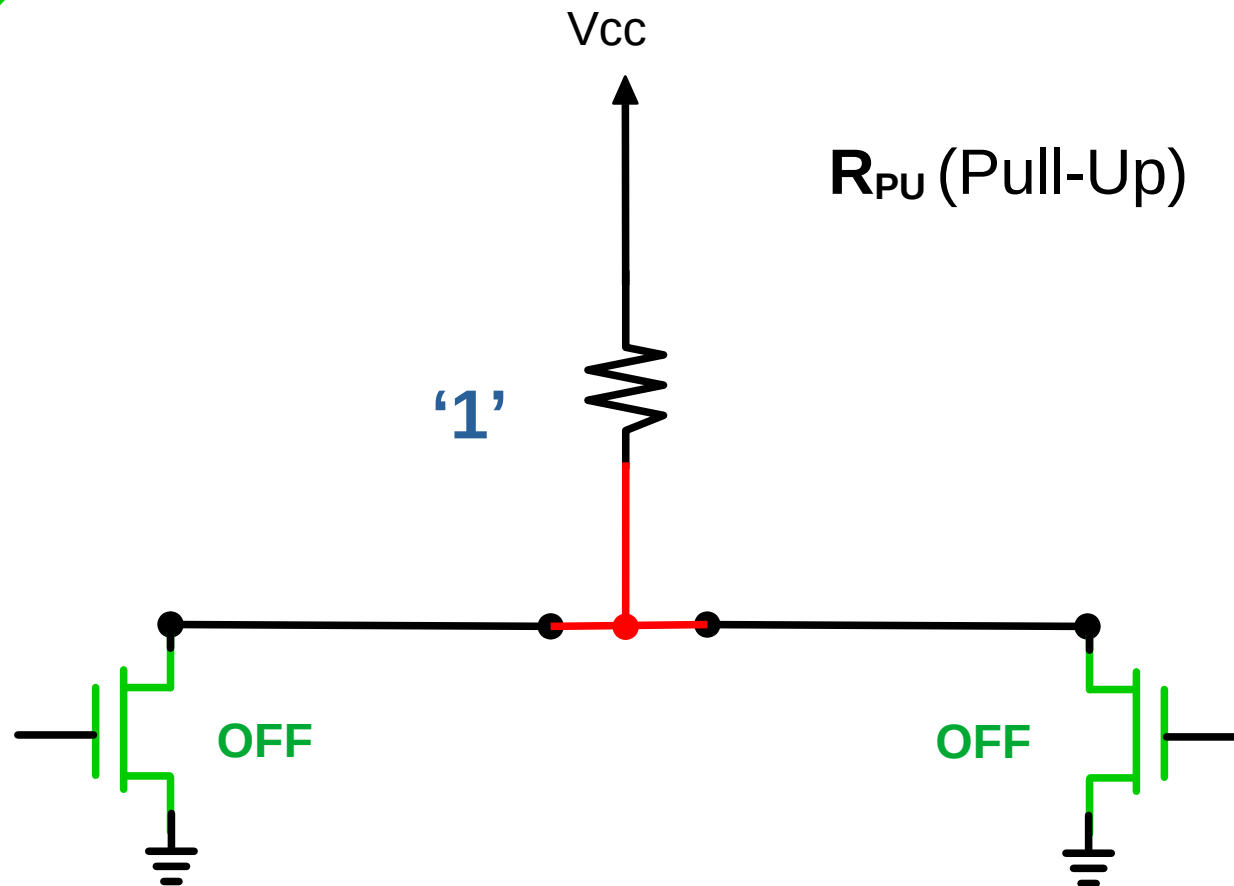
Que pasa si conectamos las salidas entre sí?

Etapa de Salida “Totem Pole”

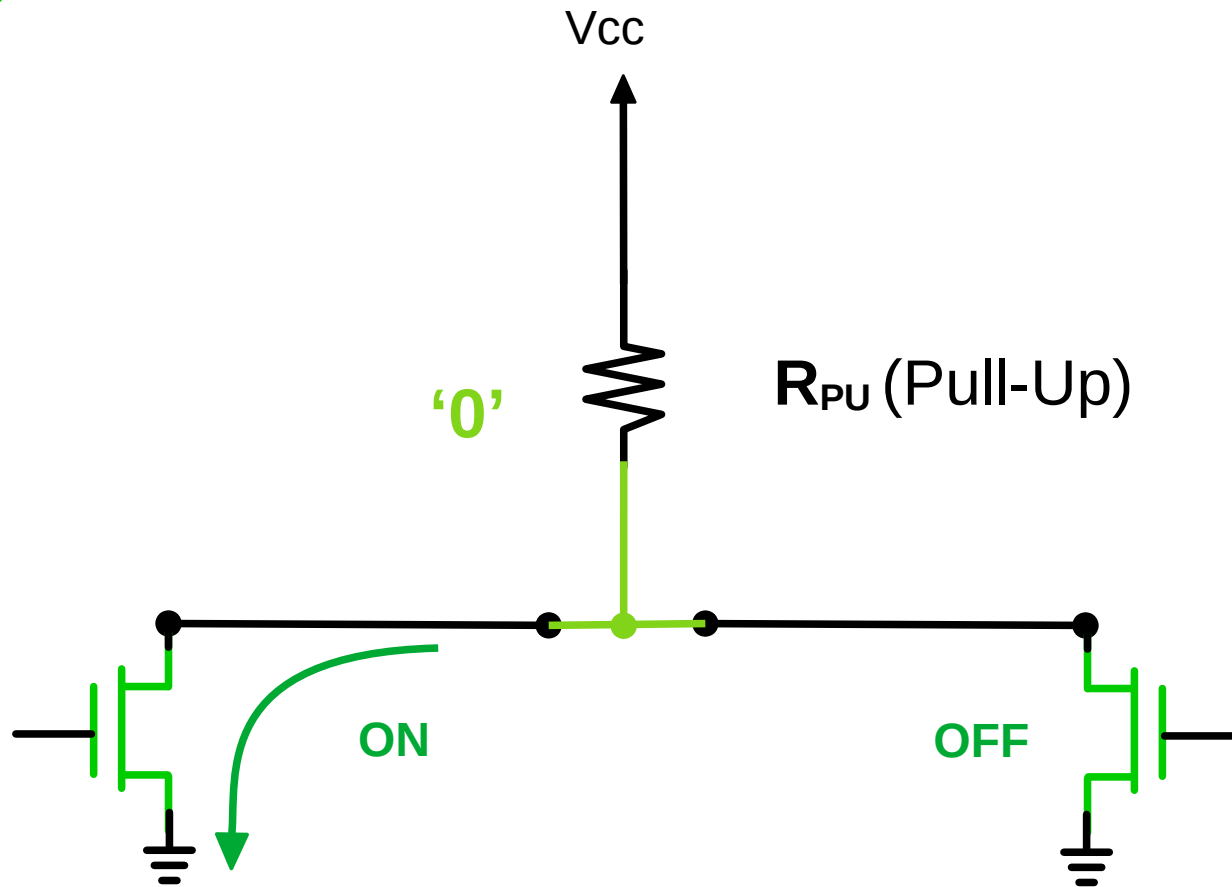


Que pasa si conectamos las salidas entre sí?

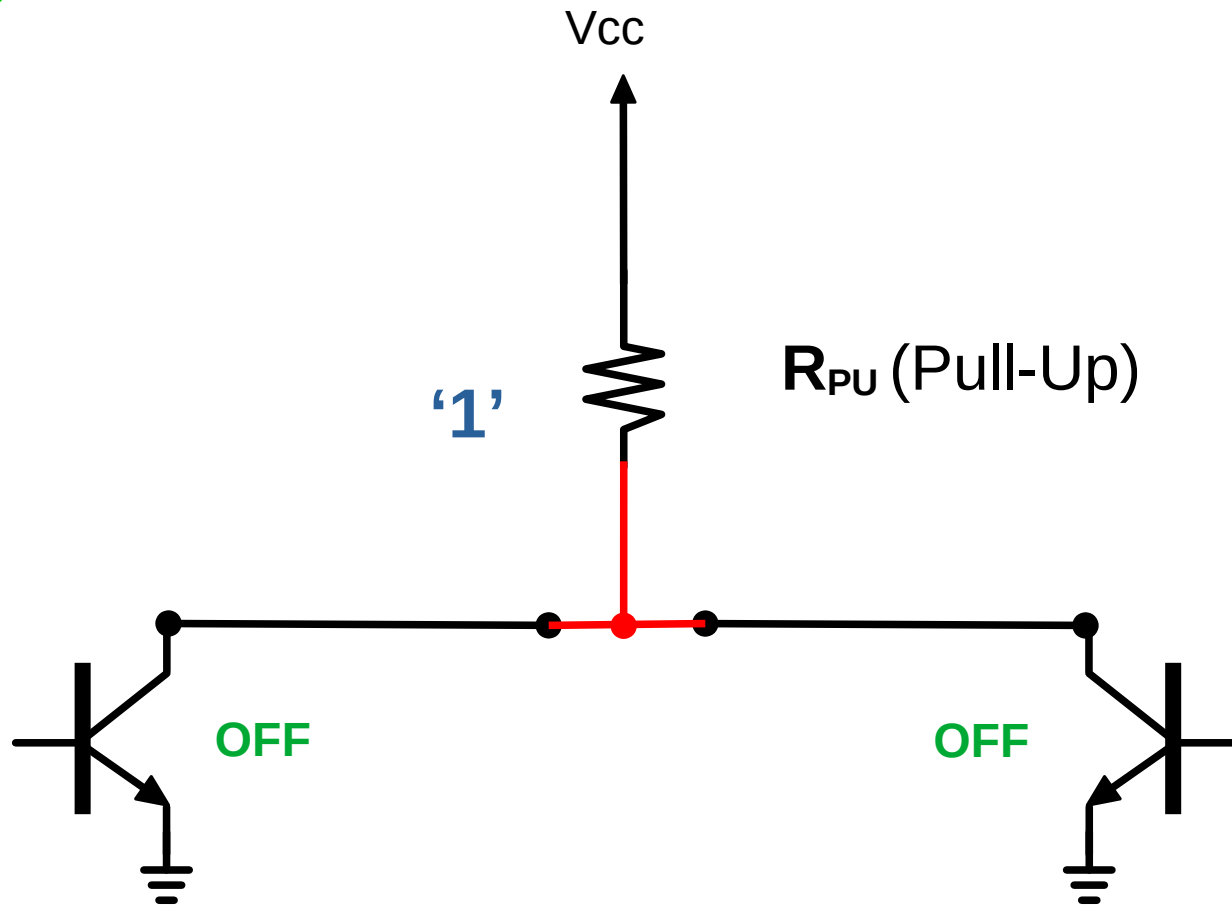
Etapa de Salida “Open Drain”



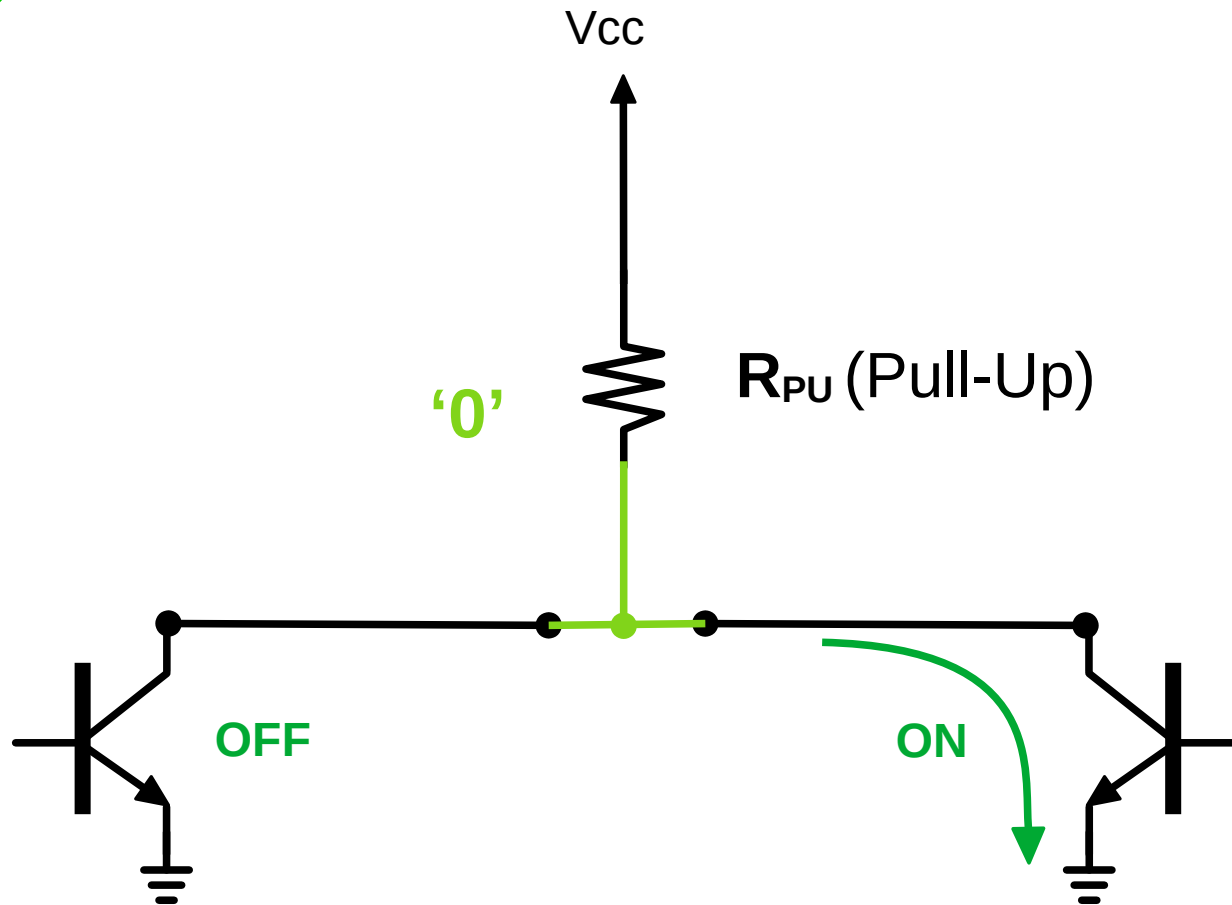
Etapa de Salida “Open Drain”



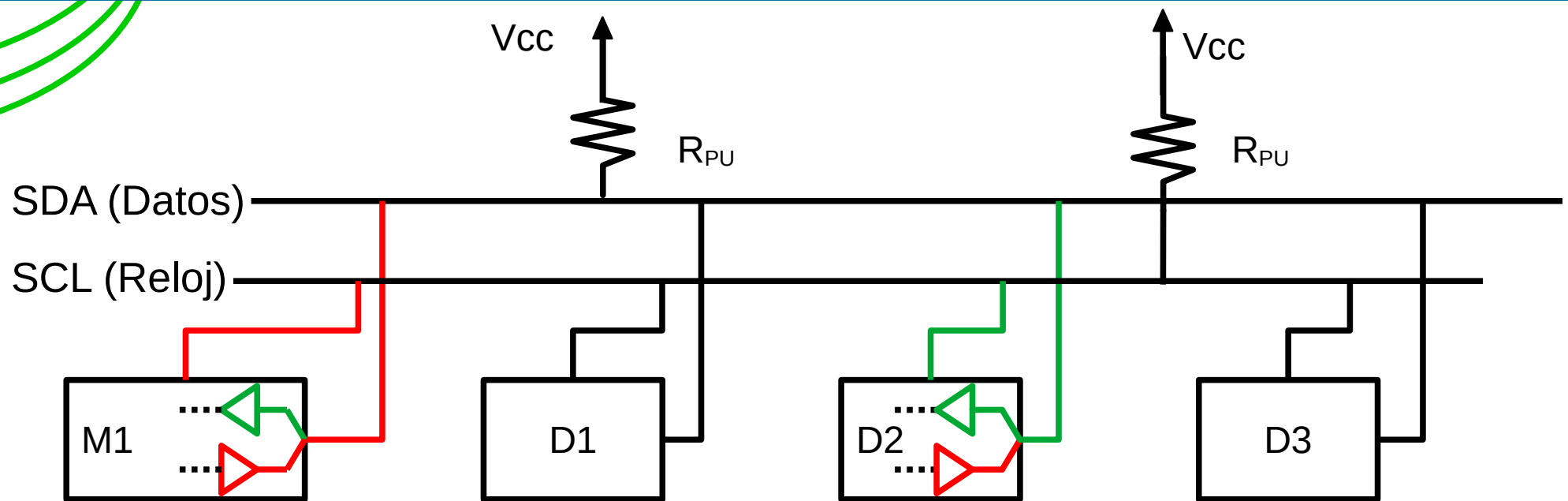
Etapa de Salida “Open Collector”



Etapa de Salida “Open Collector”



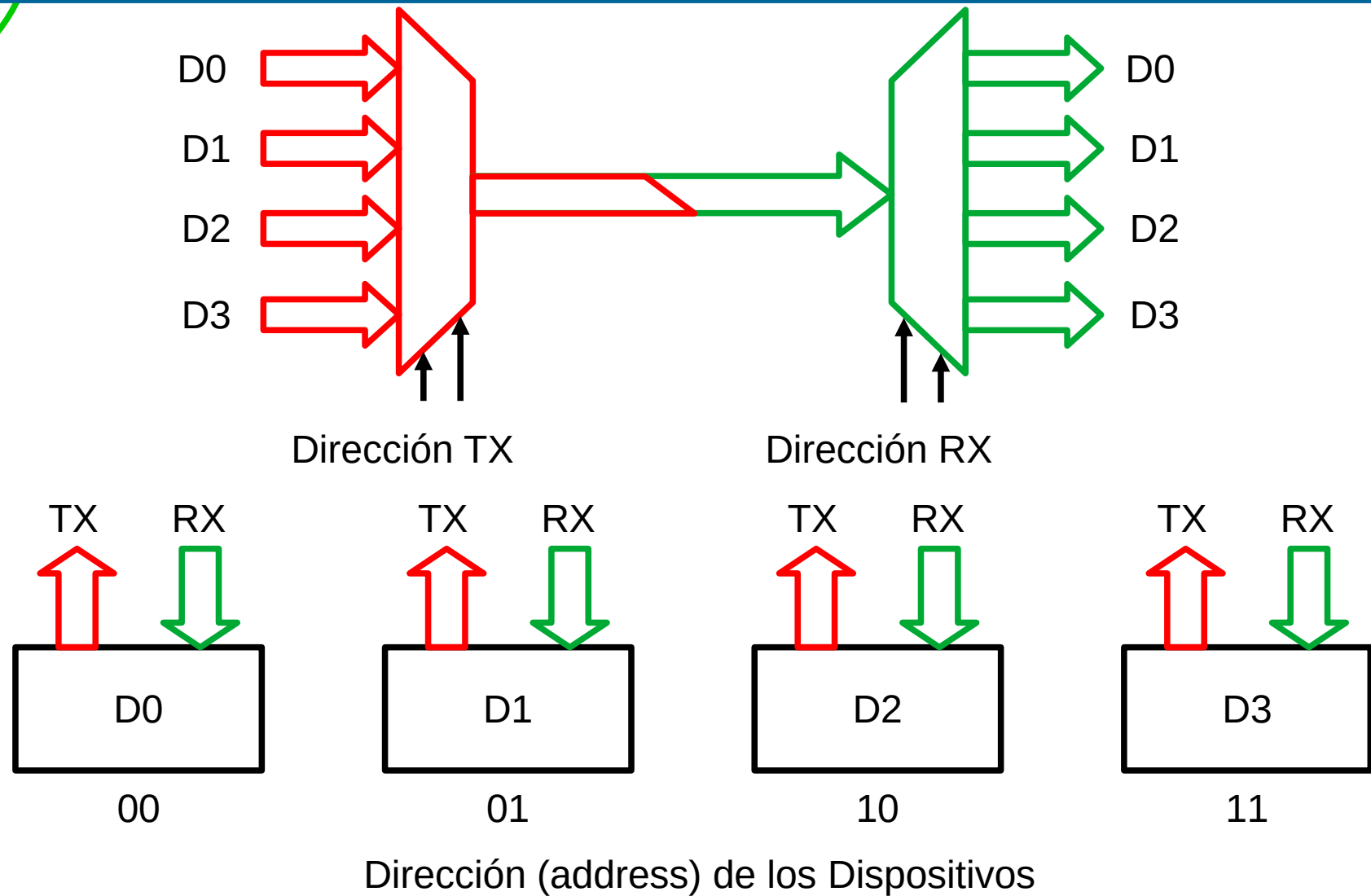
Aplicación: Bus I2C



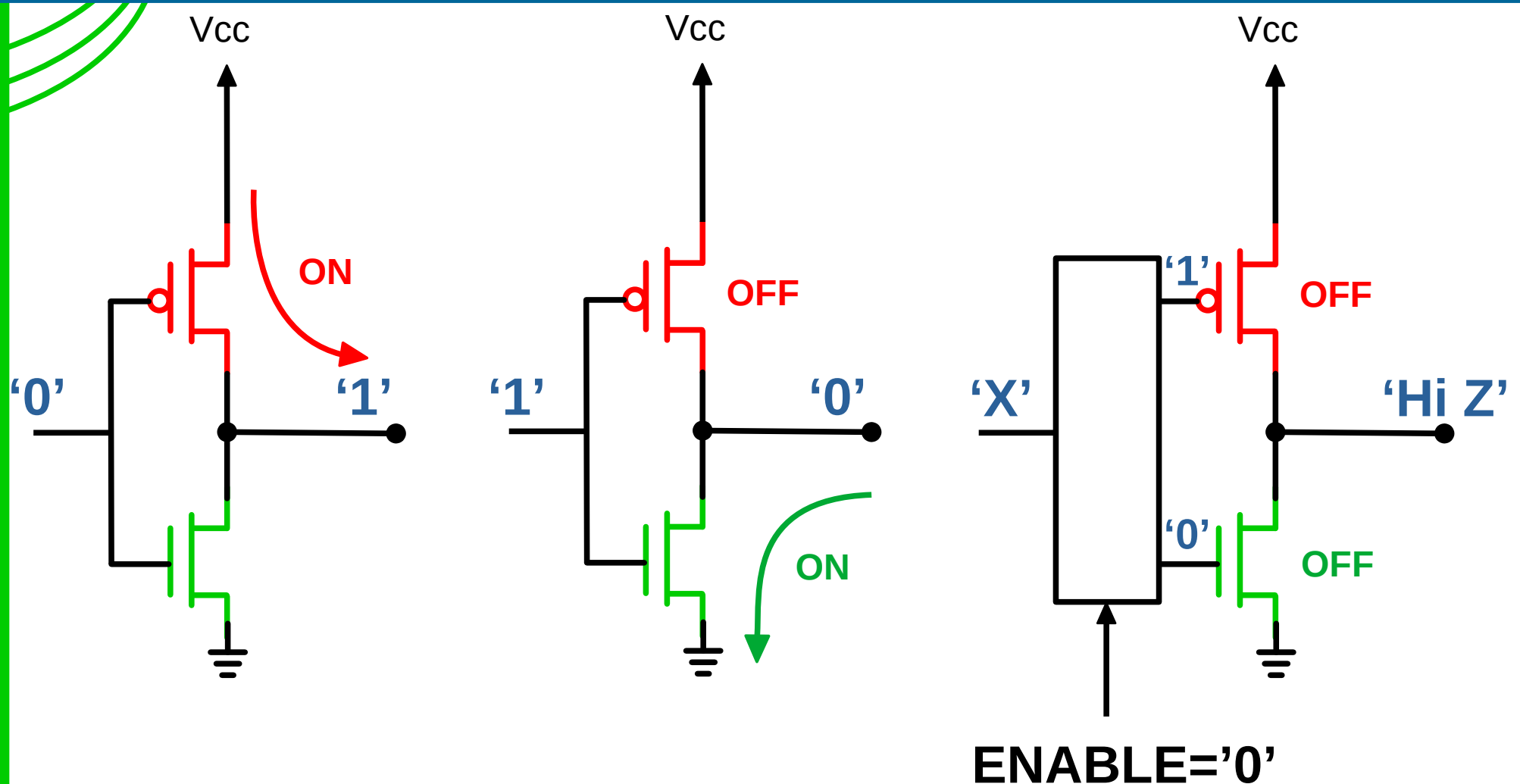
El BUS I2C es Open Collector/ Open Drain

- R_{PU} mantiene la tensión en V_{CC} . (ALTO)
- Cuando se activa TX en cualquier dispositivo, llevan la tensión a BAJO.
- Los cambios en SDA, se interpretan como datos si SCL esta en bajo o como inicio o fin de transmisión si SCL está en ALTO

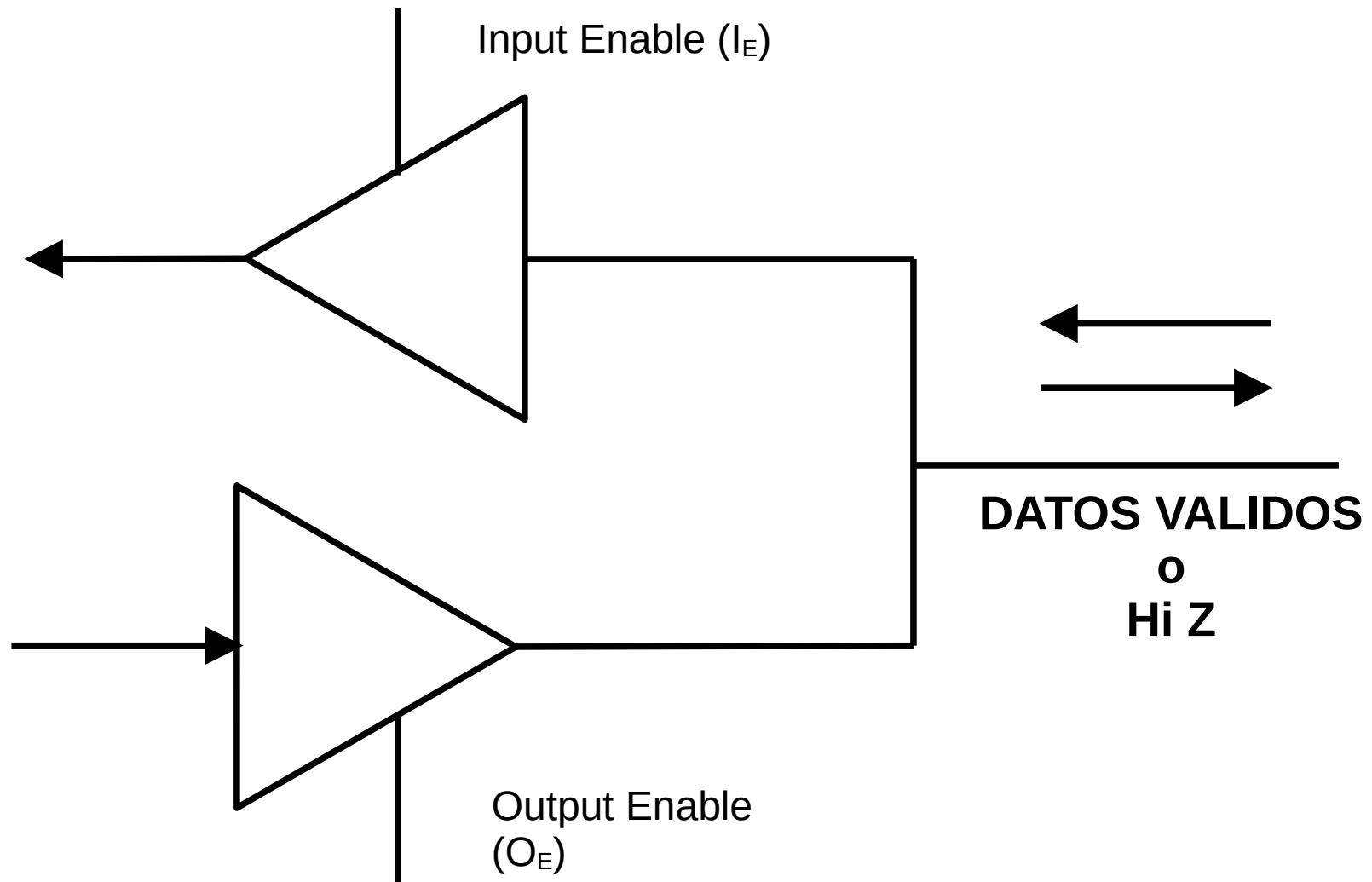
Bus basado en MUX/DEMUX



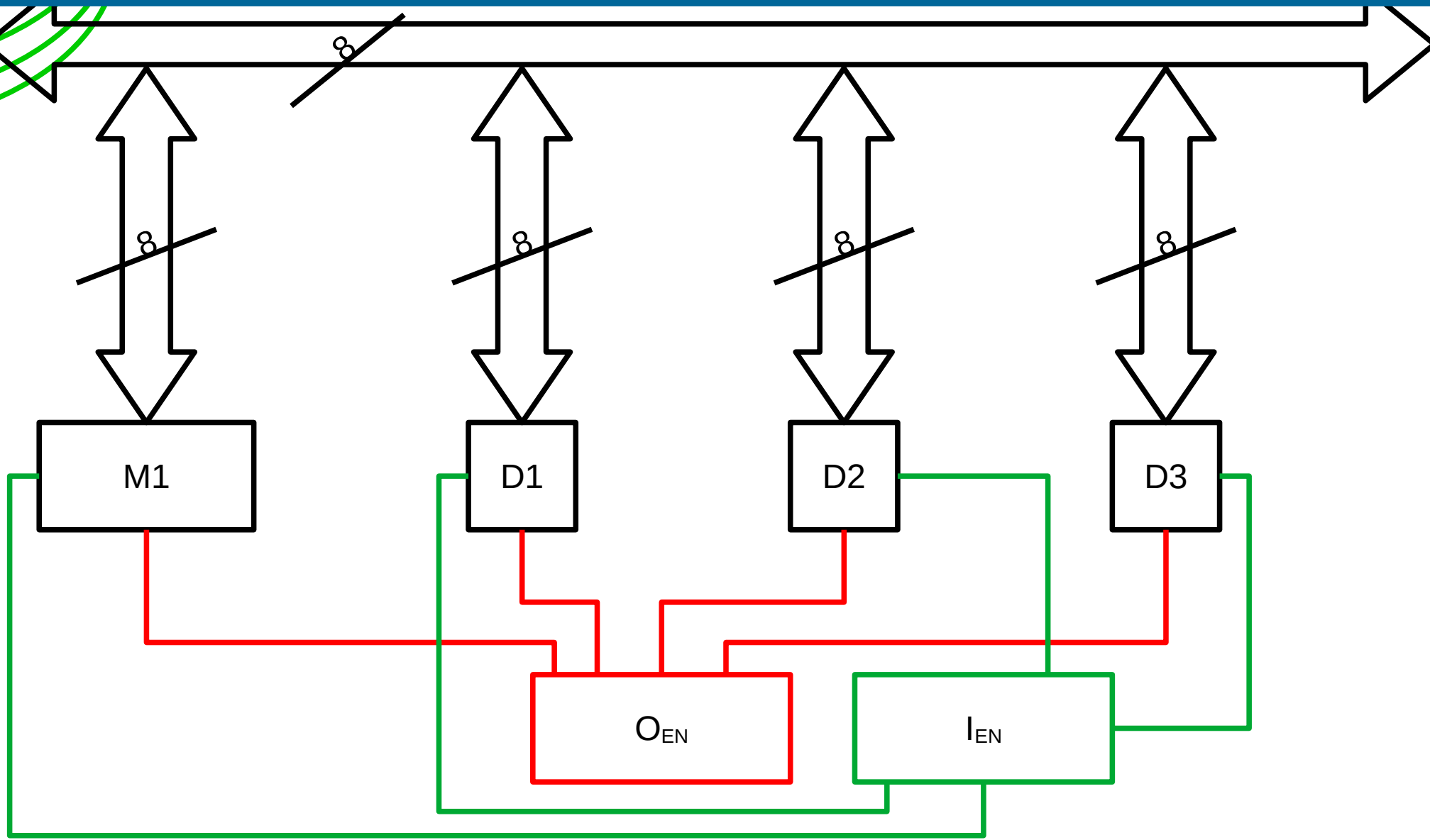
Etapa de Salida "Three -State"



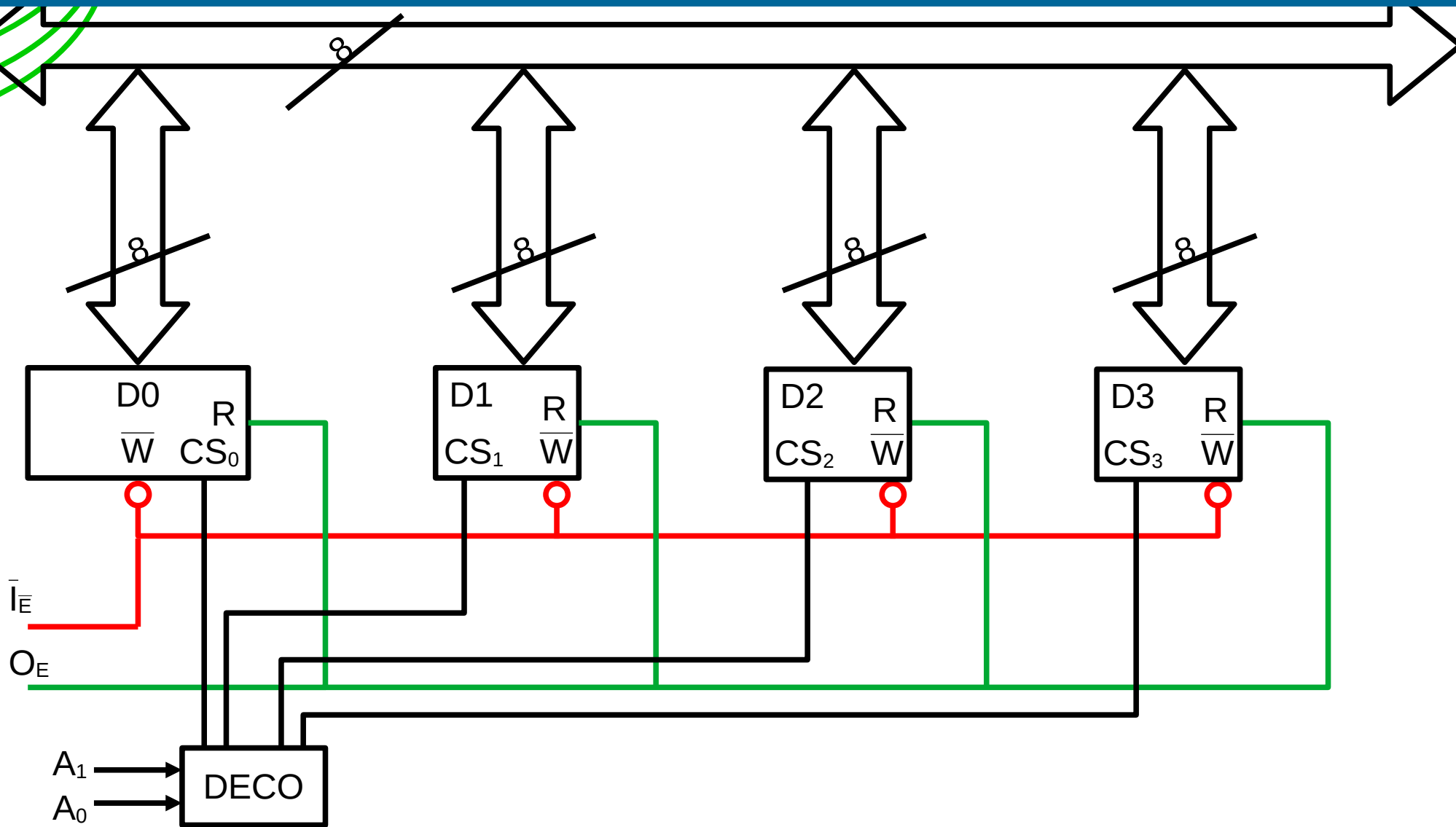
Bus bidireccional usando 3-STATE



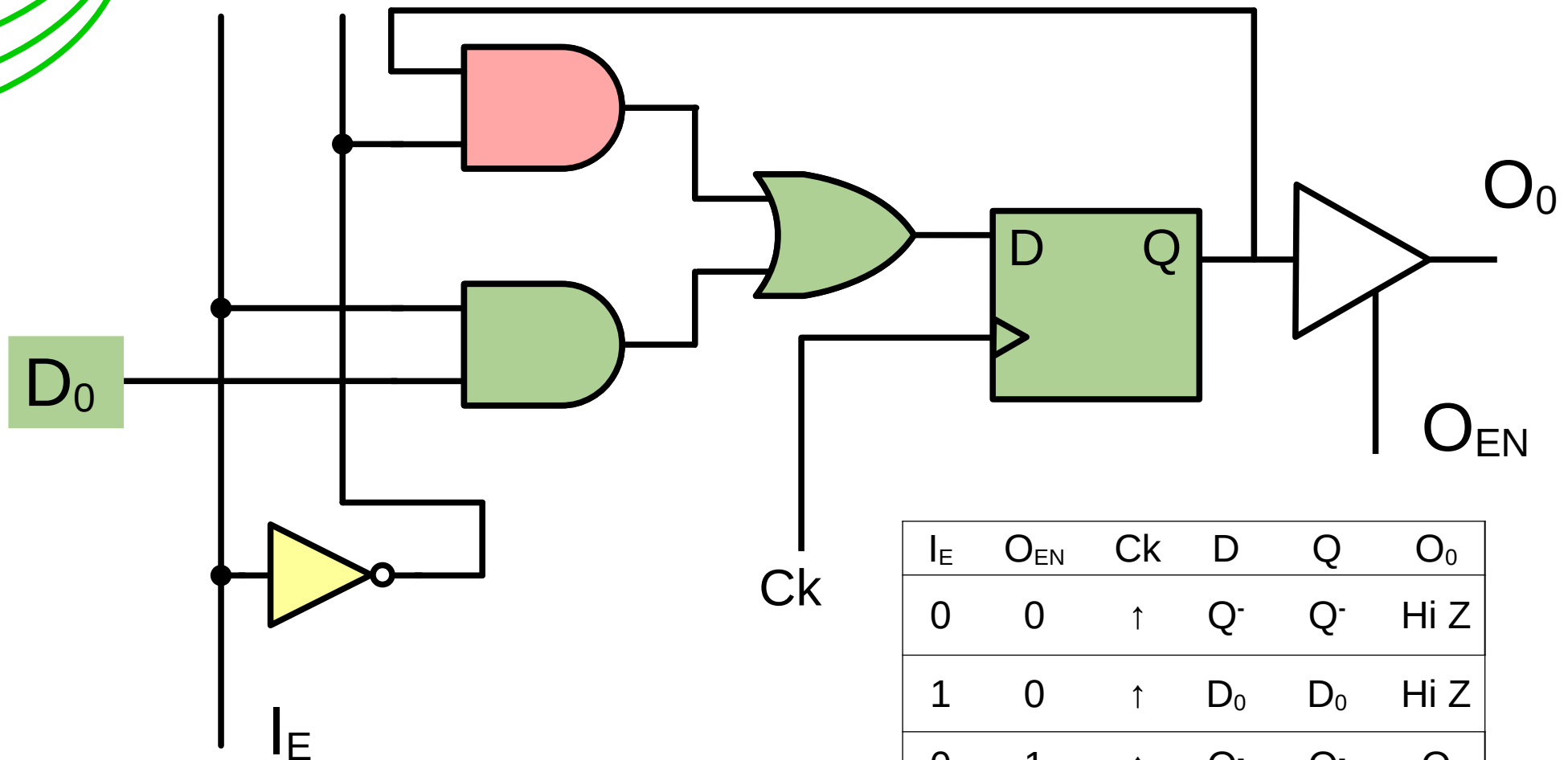
Aplicación: Bus Tristate



Aplicación: Bus Tristate



Celda Básica de Memoria



I_E	O_{EN}	Ck	D	Q	O_0
0	0	\uparrow	Q^-	Q^-	Hi Z
1	0	\uparrow	D_0	D_0	Hi Z
0	1	\uparrow	Q^-	Q^-	Q
1	1	\uparrow	D_0	D_0	Q