

Arquitectura de Computadoras

Trabajo Práctico 1

ALU

Docente:

- Santiago Rodriguez
- Martin Pereyra

Autores:

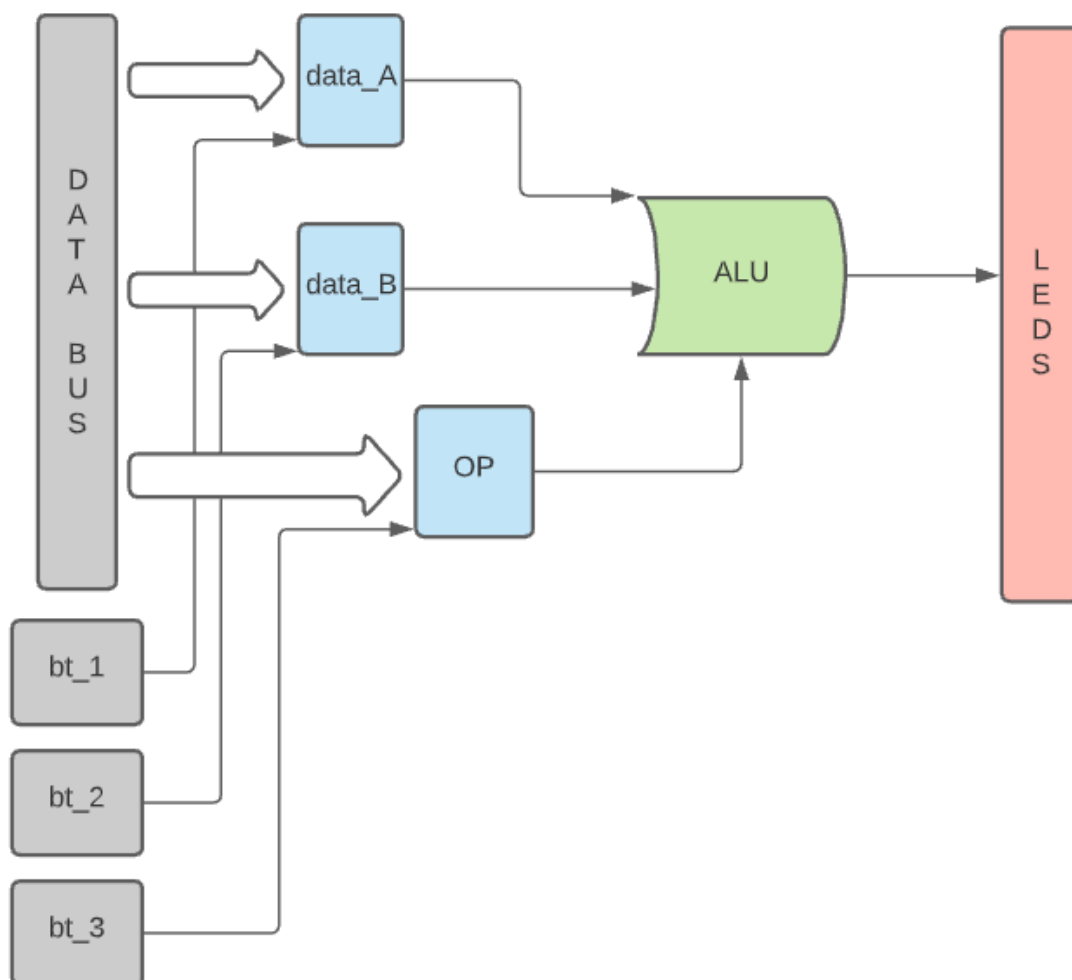
Matrícula	Apellido y Nombre	Carrera
41656362	Fernandez, Ignacio Javier	Ing. en Comp.
41410983	Lopez Paviolo, Franco Marcelo	Ing. en Comp.

Introducción

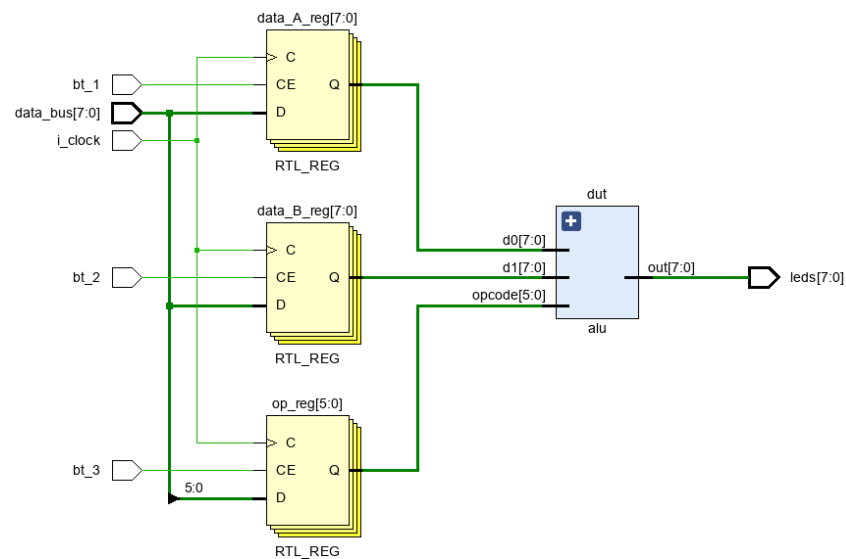
En este trabajo práctico se implementa el diseño de una ALU simple en FPGA. Esta ALU es parametrizable en el ancho del bus de datos, para poder ser utilizada en posteriores trabajos. Consiste en un solo bus de datos que se utiliza para ingresar dos datos A o B y el código de operación a realizar entre ambos datos, cuyo resultado se observa en leds de salida. El bus de datos es controlado por 3 botones los cuales se utilizan para elegir el registro a utilizar.

El diseño es validado a través de testbenches que incluyen generación de datos aleatorios para las entradas. Se utiliza la herramienta vivado para la simulación, incluyendo el análisis de timing.

Diagrama en bloques

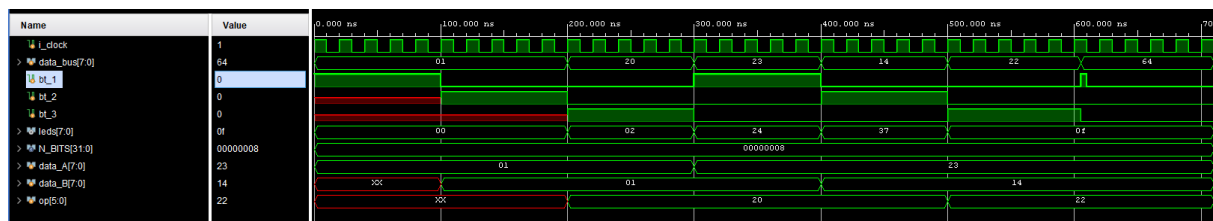


Esquemático



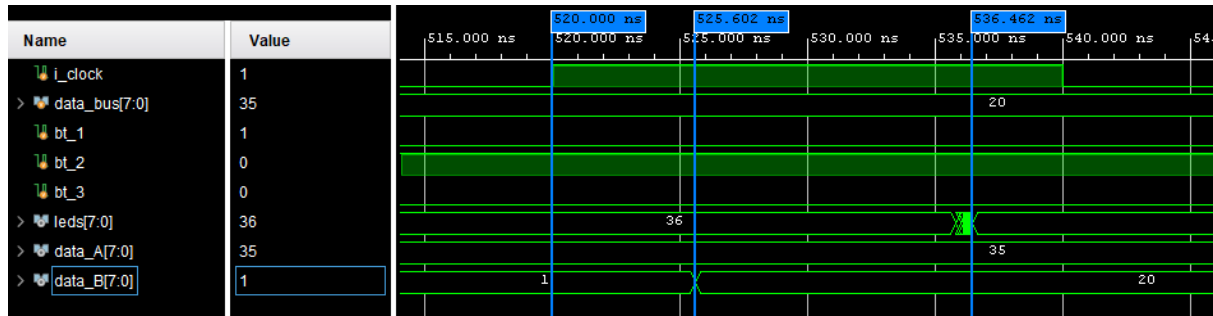
Como se puede observar en la imagen del esquemático, encontramos una señal de clock de entrada limpia, la cual entra en los flip flops que conforman los 3 registros a utilizar (data_A, data_B y op), así como los 3 botones de entrada que habilitan los flip flops para almacenar los valores del bus de datos. Las salidas de los 3 grupos de flip flops sirven como entrada a nuestra ALU, que se encarga de realizar la operación correspondiente sobre los dos registros de datos.

Análisis de resultados



Realizamos una simulación de nuestro circuito variando los valores de entrada como se puede observar en la imagen, en un primer momento guardamos en los dos registros de datos el valor 1 y luego ingresamos el código de suma para op y podemos observar como automáticamente el valor de salida de los leds cambia a 2. Luego, variamos nuevamente los valores de los 3 registros para realizar una resta. Por último, a modo de prueba generamos un corto pulso en el bt_1 y podemos ver que el valor del registro data_A no cambia debido a que en ese instante no hubo sincronización con el clock.

Post-implementation timing simulation

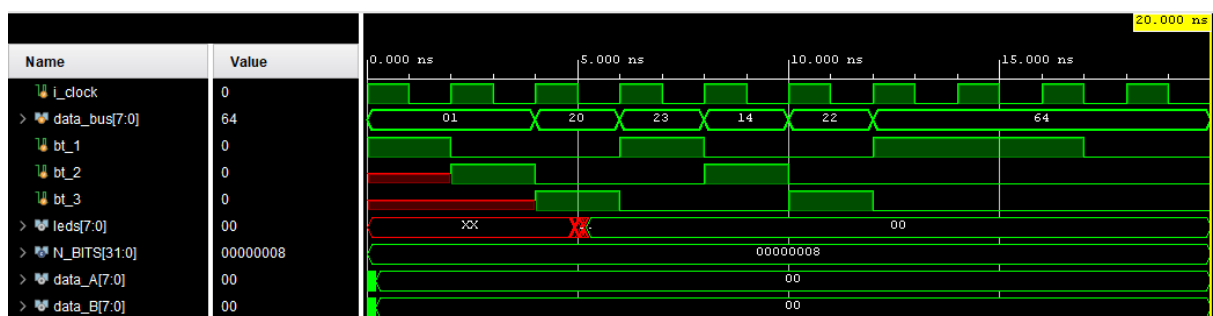


En esta nueva simulación una vez implementado el diseño se puede analizar de más cerca los tiempos de nuestro circuito y en este caso podemos observar el momento en el que se realiza el cambio del valor del registro data_B cuando el bt_2 está siendo pulsado y llega un flanco positivo de clock.

En la primer flag de color azul podemos observar el momento en el que llega el flanco positivo del clock, en la segunda vemos que el valor de los flip flops que conforman el registro cambian para almacenar el nuevo valor. Este tiempo de ~6 ns (tiempo entre el flanco del clock y la actualización de los flip-flop) se denomina hold time y es el intervalo de tiempo después de la transición activa del clock durante el cual los datos a la entrada (data_bus) se deben mantener.

En la tercera bandera azul podemos apreciar el momento en el que el valor de los leds de salida de nuestra ALU cambian. Ese tiempo de 11 ns entre la segunda bandera azul y la tercera es el tiempo que le lleva al circuito combinacional de la ALU para realizar el cálculo correspondiente con el nuevo valor de data_B.

Cambio frecuencia del circuito



Por último, cambiamos la frecuencia no solo del clock sino también de todo el circuito para exponerlo a situaciones extremas. Como podemos observar el diseño deja de funcionar ya que no se le da el tiempo necesario a los flip-flops para almacenar los nuevos valores (tiempo de setup).