

CIRCUITOS ELECTRÓNICOS DIGITALES (CED-18W)

PARTE 1: Descripción de funciones combinacionales con Verilog

PARTE 2: Implementación de circuitos combinacionales en FPGA con VIVADO

Objetivos de la práctica

- Introducción al entorno de diseño lógico Xilinx Vivado 2021, con sus funciones básicas
- Especificación de circuitos combinacionales básicos en Verilog
- Simulación lógica de circuitos combinacionales
- Implementación en un dispositivo programable FPGA

Materiales:

- Ordenador con Xilinx Vivado 2021 instalado y placa de entrenamiento de FPGA Basys3
- Tutorial de Vivado 2021

1. ESTUDIO TEÓRICO (Debe presentarse antes de empezar la práctica)

a) Analice el circuito de la figura y obtenga su expresión algebraica y su mapa de Karnaugh:

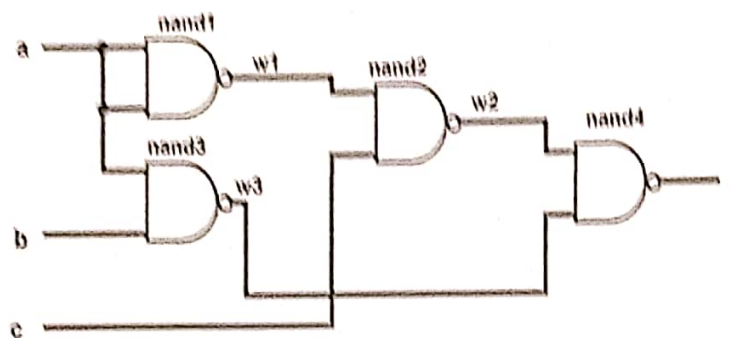


Figura 1

$$w_1 = \overline{a \cdot a} = \bar{a}$$

$$w_2 = \overline{w_1 \cdot c} = \overline{\bar{a} \cdot c} = \bar{\bar{a} + c} = a + \bar{c}$$

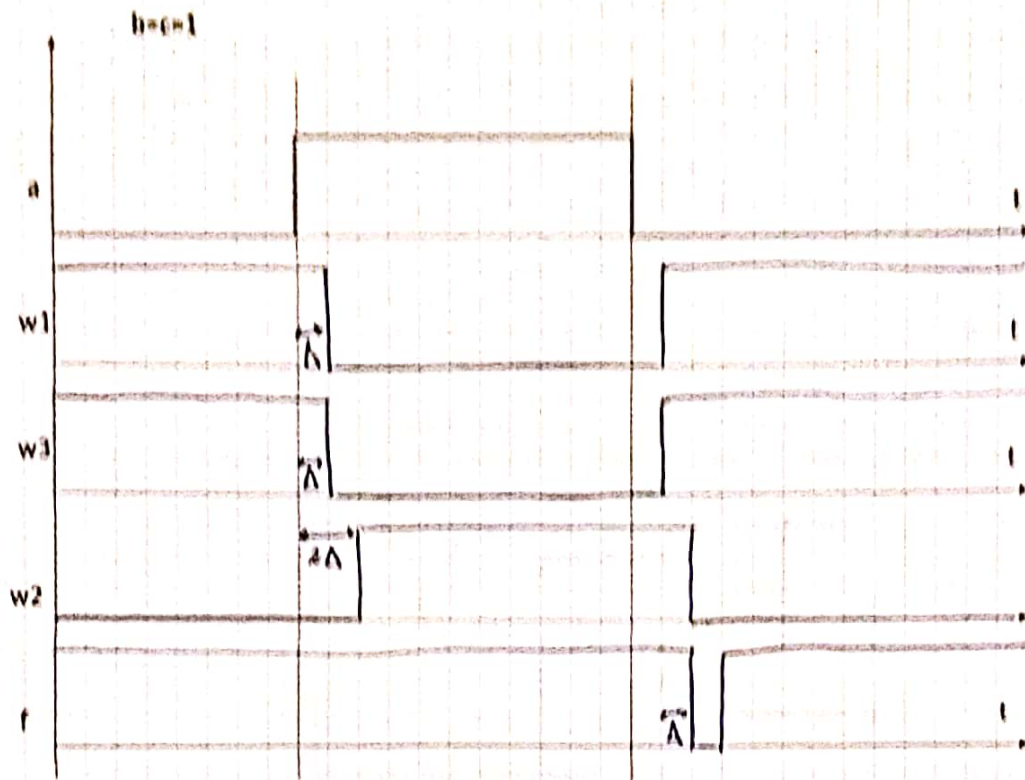
$$w_3 = \overline{b \cdot b} = \bar{b}$$

$$F = \overline{w_2 \cdot w_3} = \overline{(a + \bar{c}) \cdot \bar{b}} = \overline{a\bar{b} + \bar{c}\bar{b}} = \bar{a\bar{b} + \bar{c}\bar{b}} = \bar{a}\bar{\bar{b}} + \bar{\bar{c}}\bar{\bar{b}} = \bar{a}b + c\bar{b}$$

$$F = \bar{a}b + c\bar{b}$$

c \ ab	00	01	11	10
0	0	0	1	0
1	1	1	1	0

- b) Considerando que todas las puertas introducen un retraso Δ , obtenga las formas de onda de $w1$, $w2$, $w3$ y f para la siguiente situación: $b=c=1$ a cambio según la figura de la siguiente página:



- c) Diseñe un circuito "votador" o "mayoritario" de tres entradas (a, b, c). La salida f tomará el valor lógico que más se repite en sus entradas.

$c \backslash ab$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$F = ab + bc + ac$$

