



UFES – Universidade Federal da Fronteira Sul
Curso de Ciência da Computação
Disciplina: Organização de Computadores
Professor: Luciano L. Caimi

Data: 07/12/2023

Aluno: Igor Lautert Borzi

Nota: 6,3

- 0,8
1. (1,5) A implementação pipeline de um conjunto de instruções está sujeita a conflitos estruturais, conflitos de controle e conflitos de dados.
- Explique o que é cada um dos conflitos;
 - Apresente exemplos de ocorrência de cada um dos conflitos considerando o processador RISC-V;
 - Apresente as técnicas utilizadas para resolver os conflitos.

- 3,0
2. (3,0) Considerando o pipeline de 5 estágios (IF/OE/EX/MEM/WB) do RISC-V que resolve os conflitos de dados aguardando a disponibilidade do dado (insere NOPS) e faz a eliminação (flush) das instruções carregadas indevidamente, apresente a evolução programa abaixo no pipeline considerando o valor inicial em t6 igual a 2.

```
repete: 2
1      BEQ t6, zero, fim
2      ADD t3, t4, t2
3      LW  t2, 0 (t3)
4      ADDI t2, t2, 4
5      ADDI t6, t6, -1
6      J repete
7 fim: nop
8      NOP
```

- 1,5
3. (2,5) Suponha um sistema computacional com 16 Mbytes de memória principal. A cache associada a este sistema possui 128 linhas, totalizando 16 Kbytes de armazenamento. Pergunta-se:

- Qual é o número do bloco correspondente ao endereço 325480?
- Considerando o mapeamento direto:
 - Qual a divisão do endereço do ponto de vista da cache? Justifique.
 - Qual é a linha de destino do endereço 325480?
- Considerando o mapeamento associativo por conjuntos e que o sistema acima possui 4 conjuntos:
 - Qual a divisão do endereço do ponto de vista da cache? Justifique.
 - Qual é o conjunto de destino do endereço 325480?
- Considerando o mapeamento associativo por conjuntos, é possível haver dois rótulos idênticos (explique e exemplifique sua resposta):
 - em linhas pertencentes ao mesmo conjuntos?
 - em linhas pertencentes a conjuntos diferentes?

4. (1,0) Considerando a memória apresentada na questão anterior, utilizando o mapeamento associativo por conjuntos com 4 conjuntos, descreva detalhadamente, a sequência de ações realizada pelo controlador da cache para fornecer o conteúdo do endereço de memória 325480 para o processador. Na descrição você deve apresentar os valores envolvidos (rótulo, conjunto, deslocamento, bloco) em cada ação realizada.

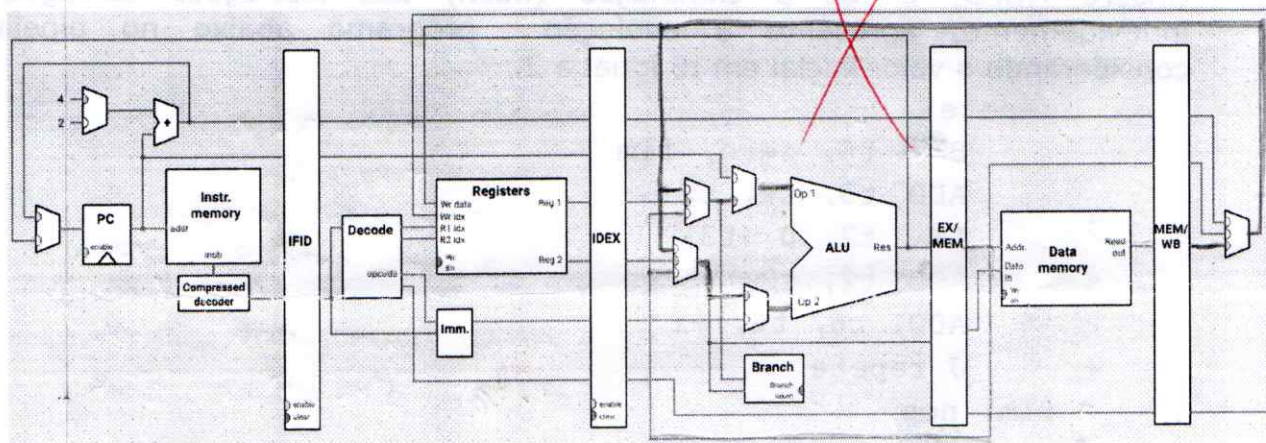
5. (2,0) O caminho de dados mostrado abaixo permite fazer o adiantamento (forwarding) quando encontra um conflito de dados.

a1) Marque na figura abaixo o caminho percorrido pelo dado quando ocorre um adiantamento na execução das instruções abaixo:

ADD t0, t1, t2

ADD s1, t0, t0

a2) Descreva o que está ocorrendo no Pipeline e o comportamento do mesmo no que diz respeito ao *forwarding*



b1) Marque na figura abaixo o caminho percorrido pelo dado quando ocorre um adiantamento na execução das instruções abaixo:

LW s0, 0(s2)

ADD t0, s2, s3

ADD s2, s0, t1

b2) Descreva o que está ocorrendo no Pipeline e o comportamento do mesmo no que diz respeito ao *forwarding*

