



Universidade de Brasília
Departamento De Ciência da Computação
Organização e Arquitetura de Computadores

Relatório Final - Processador Uniciclo RISCv

Alunos:

Igor David Moraes (180102141)
Laura Maciel Neves Franco (190016078)

Turma C

Professor:

Ricardo Pezzuol Jacobi

11 de maio de 2022

Conteúdo

1	Introdução	1
2	Módulos componentes	2
2.1	PC	2
2.2	Memória de Instruções (ROM)	2
2.3	Memória de Dados (RAM)	2
2.4	Banco de Registradores (XREG)	2
2.5	Unidade Lógico Aritmética (ULA)	2
2.6	Controle da ULA	2
2.7	Controlador	3
2.8	Gerador de Imediatos	3
2.9	Imediato Shift	3
2.10	Multiplexadores 2 x 1 (MUX)	3
2.11	Somador	3
3	Testes	3
4	Conclusão	4
5	Referências Bibliográficas	4

1 Introdução

A proposta do seguinte projeto consiste na elaboração de uma versão do processador RISC-V Uniciclo em VHDL, com o uso das ferramentas ModelSim-Altera e EdaPlayground para o desenvolvimento dos códigos e realização dos testes. Nesse sentido, baseando-se na arquitetura de um processador RISC-V Uniciclo representada na **Figura 1** e alterando-o para que ele comportasse as operações de JAL, JALR, LUI e AUIPC, obteve-se o diagrama da **Figura 2**, para o qual foram desenvolvidos os códigos em VHDL.

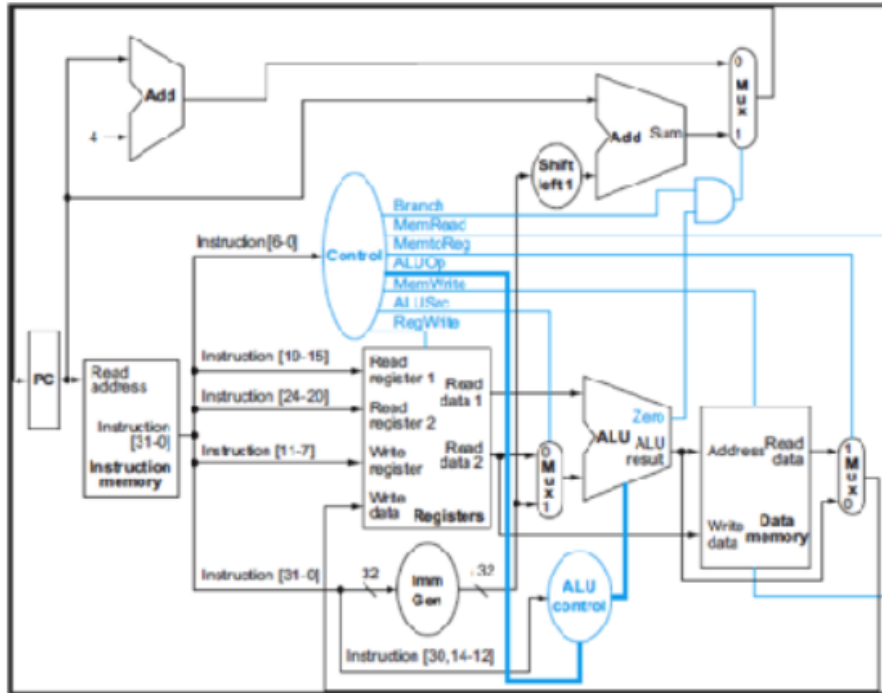


Figura 1: Diagrama RISC-V Uniciclo

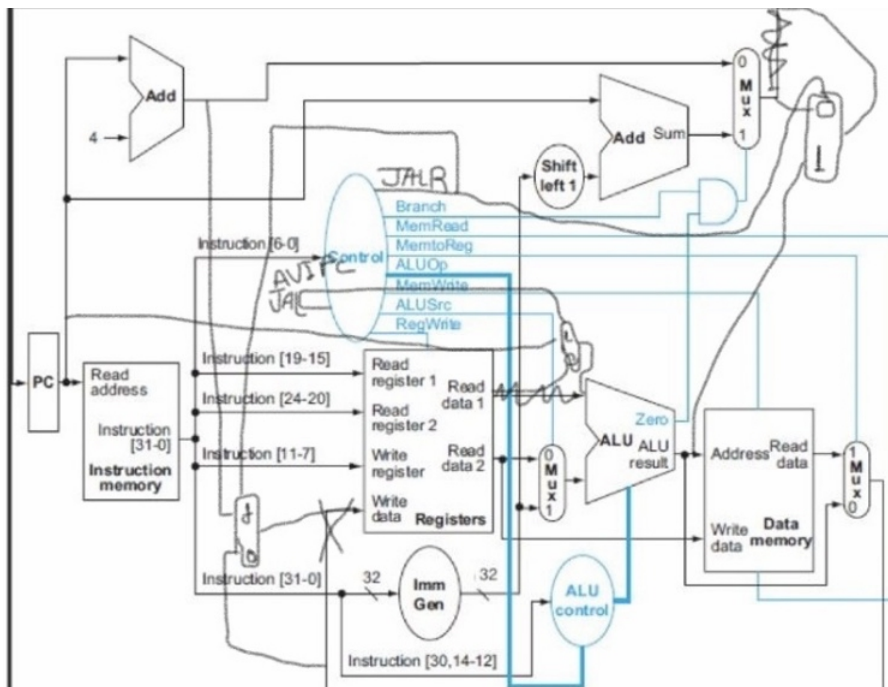


Figura 2: Diagrama RISC-V Uniciclo Modificado

2 Módulos componentes

A seguir serão apresentadas breves descrições à respeito de cada um dos módulos que compõem o processador desenvolvido.

2.1 PC

Trata-se de um registrador de 32 bits que é restringido pelo número de bits aceitos pela memória (12 bits). À esse módulo é atribuída a função de contador do programa. Esse componente recebe dois sinais de entrada, o primeiro de 32 bits e o segundo de 1 bit, e, por sua vez, retorna uma palavra de 32 bits.

2.2 Memória de Instruções (ROM)

Trata-se do local em que o código a ser executado é armazenado com espaço de endereçamento reduzido para 12 bits. Esse módulo recebe uma palavra de 12 bits e retorna uma palavra de 32 bits.

2.3 Memória de Dados (RAM)

Trata-se do local de armazenamento de dados do programa. Ela deve habilitar a escrita considerando o endereçamento reduzido e leitura de dados fornecendo palavras de 32 bits. É importante que o processador construído seja capaz de executar operações de escrita e leitura da memória em sequência. Esse módulo recebe como entrada três palavras de 1 bit, uma palavra de 12 bits e uma palavra de 32 bits e retorna como saída uma palavra de 32 bits.

2.4 Banco de Registradores (XREG)

Trata-se de um conjunto de 32 registradores de 32 bits. Ele é composto por duas entradas de endereço, sendo capaz de ler dois registradores simultaneamente e, também, uma terceira entrada de endereço que seleciona um registrador para a escrita de dados na transição de subida do relógio (*clock*). O registrador de índice zero deve armazenar sempre zero. Esse módulo recebe como entrada três palavras de 1 bit, três palavras de 5 bits e uma palavra de 32 bits e retorna como saída duas palavras de 32 bits.

2.5 Unidade Lógico Aritmética (ULA)

Trata-se da unidade responsável pelas operações lógicas e aritméticas do processador. Ela opera sobre dados de 32 bits e apresenta resultados de mesmo tamanho. Ainda, devolve o sinal ZERO, que sinaliza o caso em que o retorno da operação é nulo. As operações a serem implementadas são: ADD, ADDi, SUB, AND, ANDi, LUI, SLT, OR, ORi, XOR, XORi, SLLi, SRLi, SRAi, SLL, SRL, SRA, SLT, SLTU, SGE, SGEU, SEQ, SNE, SLTi, SLTu, SLTU, AUIPC, JAL, JALR, BEQ, BNE, BLT, BGE, BGEU, BLTU, LW e SW. Esse módulo recebe como entrada uma palavra de quatro bits e duas palavras de 32 bits e retorna uma palavra de 32 bits e uma de 1 bit.

2.6 Controle da ULA

Trata-se da unidade responsável por orientar a ULA a respeito da operação a ser reproduzida e habilitá-la através de 4 bits de controle.

2.7 Controlador

Trata-se da unidade responsável por enviar os sinais de controle que vão habilitar as operações das demais unidades do processador.

2.8 Gerador de Imediatos

Trata-se de um módulo que retorna o imediato com extensão de 32 bits indicado pela instrução, dependendo do seu tipo.

2.9 Imediato Shift

Trata-se de um módulo simples que apresenta como saída a entrada deslocada 1 bit para a esquerda.

2.10 Multiplexadores 2 x 1 (MUX)

Trata-se de um módulo que seleciona uma das entradas para a saída a partir de um sinal de seleção. Para esse projeto são utilizados 6 multiplexadores com 2 entradas e 1 saída de 32 bits.

2.11 Somador

Trata-se de um módulo que realiza a operação de soma. Para esse projeto, são utilizados dois somadores de 32 bits que operam com endereço.

Elaborados todos os módulos individualmente, eles foram posteriormente integrados e conectados em um arquivo único.

3 Testes

Os testes foram feitos através do software ModelSim e de arquivos binários gerados pelo RARS. Ainda, o código do teste principal, aqui apresentado, foi disponibilizado pelo professor. Seguem as ondas resultantes dos testes.

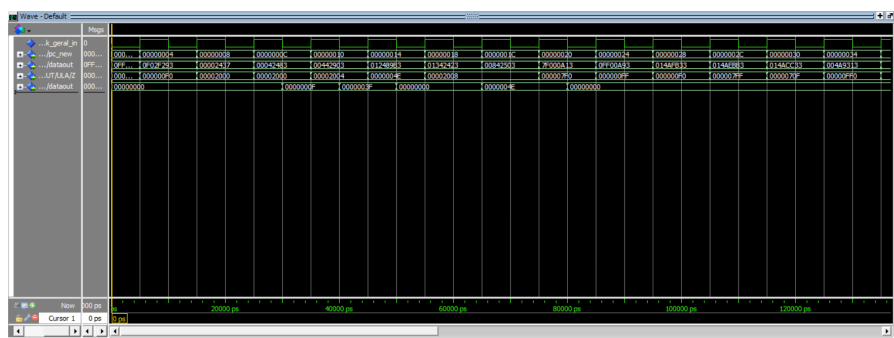


Figura 3: Resultado dos testes

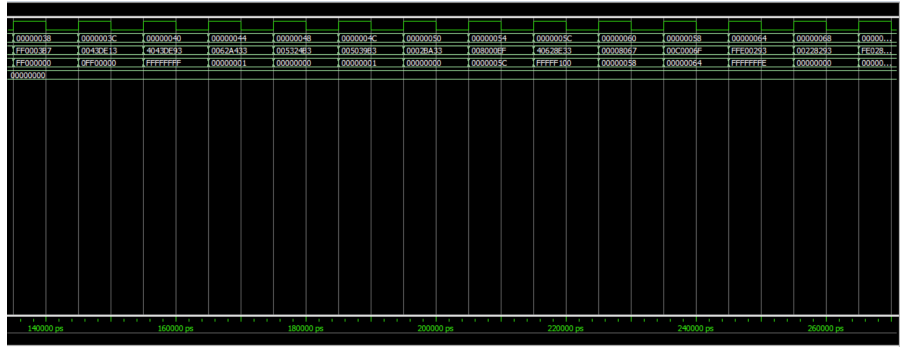


Figura 4: Resultado dos testes

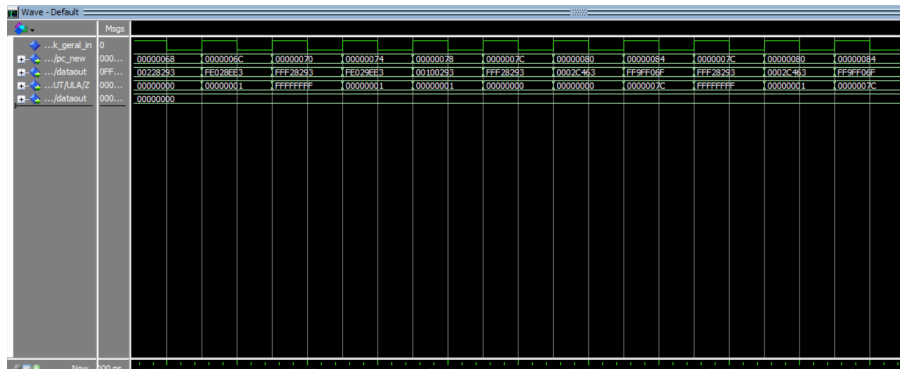


Figura 5: Resultado dos testes

4 Conclusão

Diante do exposto, nota-se que foi possível desenvolver satisfatoriamente um processador RISC-V Uniclo e simular seu funcionamento a partir da execução de algumas operações primárias, consolidando, assim, os conhecimentos adquiridos na disciplina de Organização e Arquitetura de Computadores.

Link GitHub: <https://github.com/igordavid13/UnicloRISC-V>

5 Referências Bibliográficas

1. PATTERSON, David A. The RISC-V Reader: An Open Architecture Atlas. [S.l.]: Strawberry Canyon LLC, 2017.
2. Materiais didáticos em texto e vídeo disponibilizados ao longo da disciplina.