



**UNIVERSIDADE FEDERAL DA FRONTEIRA SUL  
CAMPUS CHAPECÓ  
CIÊNCIA DA COMPUTAÇÃO**

**IGOR LUIZ GONÇALVES TOMAZ  
FABIO ANTONIO RIBEIRO DOS SANTOS**

**CIRCUITOS DIGITAIS  
TRABALHO FINAL**

**CHAPECÓ  
2017**

## RESUMO

De acordo com o problema inicialmente proposto, que trata-se da implantação de um sistema simulador em que armazenasse 4 entradas de 4 bits cada e realizasse a exibição do maior, menor valor e a média, foi criada uma solução a partir do conhecimento adquirido em sala e a partir deste foi criado o circuito apresentado neste trabalho. Abaixo o modelo inicialmente proposto para construção deste circuito:

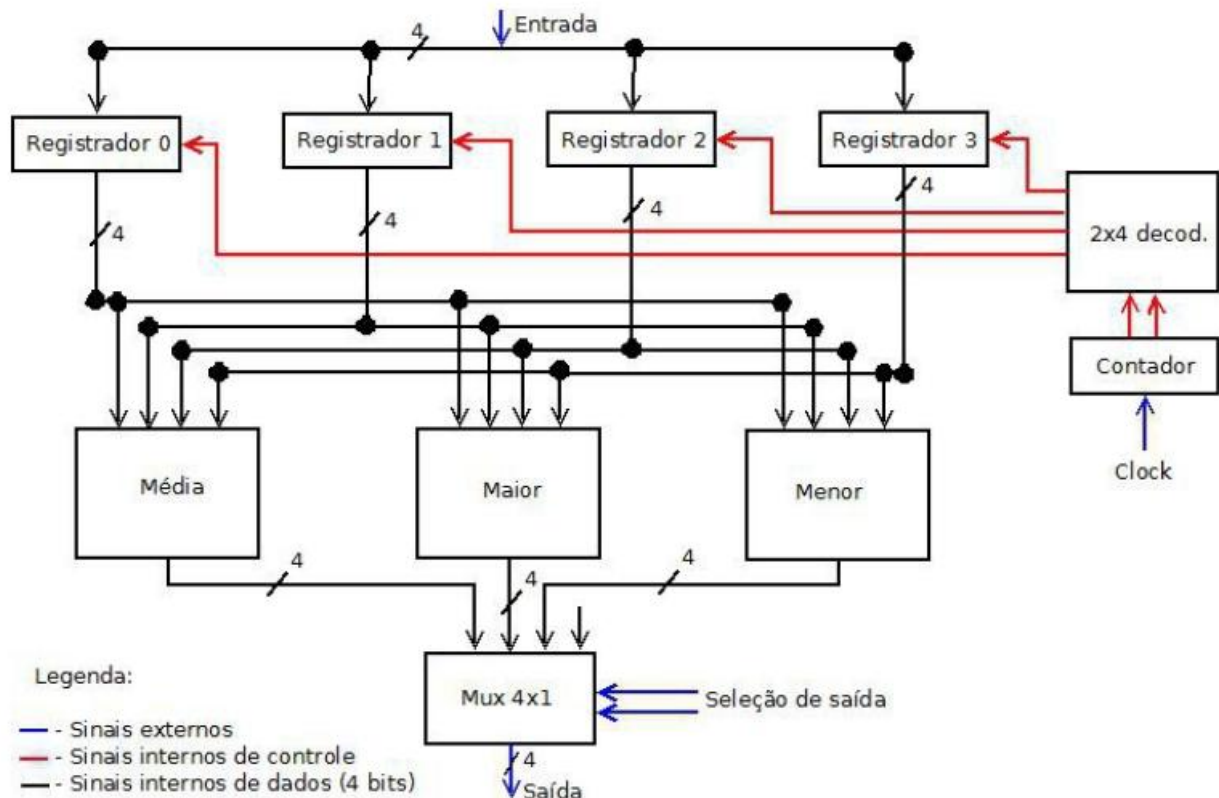


Fig 1: Circuito proposto no trabalho

## SUMÁRIO

<b>RESUMO.....</b>	<b>2</b>
<b>SUMÁRIO .....</b>	<b>3</b>
<b>LISTA DE FIGURAS .....</b>	<b>4</b>
<b>LISTA DE TABELAS .....</b>	<b>5</b>
<b>OBJETIVO .....</b>	<b>6</b>
<b>INTRODUÇÃO .....</b>	<b>7</b>
<b>MATERIAIS.....</b>	<b>8</b>
<b>METODOLOGIA .....</b>	<b>9</b>
CLOCK E CONTADOR .....	9
Fig 2: Clock e Contador.....	9
<b>REGISTRADORES .....</b>	<b>11</b>
<b>COMPARADORES .....</b>	<b>12</b>
<b>MULTIPLEXADORES.....</b>	<b>14</b>
<b>SOMADORES.....</b>	<b>17</b>
<b>CIRCUITO COMPLETO.....</b>	<b>19</b>
<b>CONCLUSÃO .....</b>	<b>20</b>
<b>REFERÊNCIAS.....</b>	<b>21</b>

**LISTA DE FIGURAS**

<b>FIGURA 1.....</b>	<b>2</b>
<b>FIGURA 2.....</b>	<b>9</b>
<b>FIGURA 3.....</b>	<b>10</b>
<b>FIGURA 4.....</b>	<b>11</b>
<b>FIGURA 5.....</b>	<b>12</b>
<b>FIGURA 6.....</b>	<b>13</b>
<b>FIGURA 7.....</b>	<b>14</b>
<b>FIGURA 8.....</b>	<b>16</b>
<b>FIGURA 9.....</b>	<b>17</b>
<b>FIGURA 10.....</b>	<b>19</b>

LISTA DE TABELAS

TABELA 1.....10

TABELA 2.....12

TABELA 3.....13

TABELA 4.....14

TABELA 5.....15

## **OBJETIVO**

Utilizar o conhecimento obtido através das aulas e estudos extraclasse, com auxílio do software Proteus, desenvolver um circuito (da menor forma possível, abaixando o custo para construção do mesmo) que atenda os pré requisitos do trabalho proposto.

## INTRODUÇÃO

Este relatório, por meio de testes e de estudos realizados, tem por objetivo demonstrar o processo de construção do circuito, de forma que cada passo seja detalhado, minimizando dúvidas sobre o processo e demonstrando que por meio de portas lógicas, circuitos combinacionais, componentes eletrônicos e construções da tabela lógica foi possível a construção deste trabalho.

## MATERIAIS

Para a construção do circuito foi necessário os seguintes itens:

Circuitos Integrados utilizados:

74LS04 - Portas NOT;

74LS08 - Portas AND;

74LS11 - Portas AND de 3 entradas;

74LS32 - Portas OR;

74LS38 - Portas NAND;

74LS83 - Somadores de 4 entradas;

74LS379 - FlipFlop de 4 bits com Enable;

74LS393 - Clock;

CD4063 - Comparador;

Led's Verdes;

LogicProbe - Exibir saídas;

LogicState - Coordenar as entradas;

LogicToggle - Usado no clock para dar pulsos momentâneos;

Protheus 8 Professional;



## METODOLOGIA

Divido em partes, foi encontrada uma solução eficiente para o caso, onde determinadas partes foram construídas a mão (assim como os multiplexadores), este processo será descrito a seguir, começando pelo clock e finalizando nos multiplexadores.

### CLOCK E CONTADOR

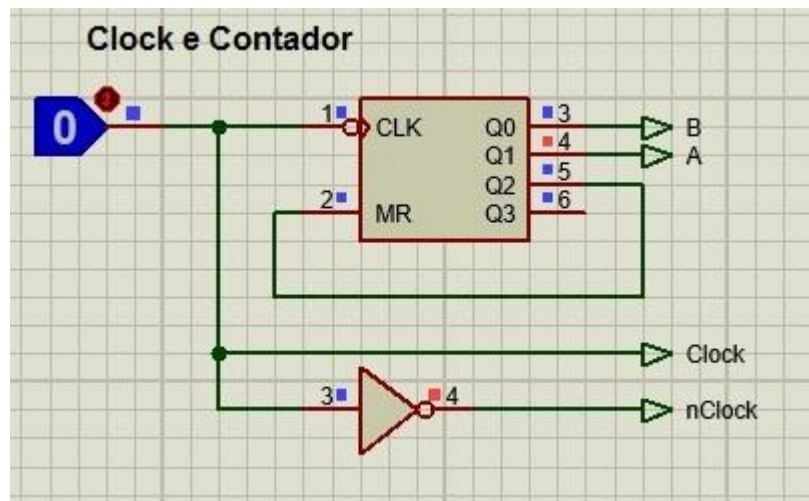


Fig 2: Clock e Contador

O clock recebe um pulso para incrementar em 1 a saída de quatro bits possíveis, que podem conter valores entre 0000 e 1111, na imagem acima, podemos observar que a saída Q2 (terceiro bit) foi colocado no Reset, isso faz-se necessário para o contador assumir valores de 0000 à 0011, quando for 0100 o Q2 vai para o nível alto e a contagem é reiniciada.

## CODIFICADOR

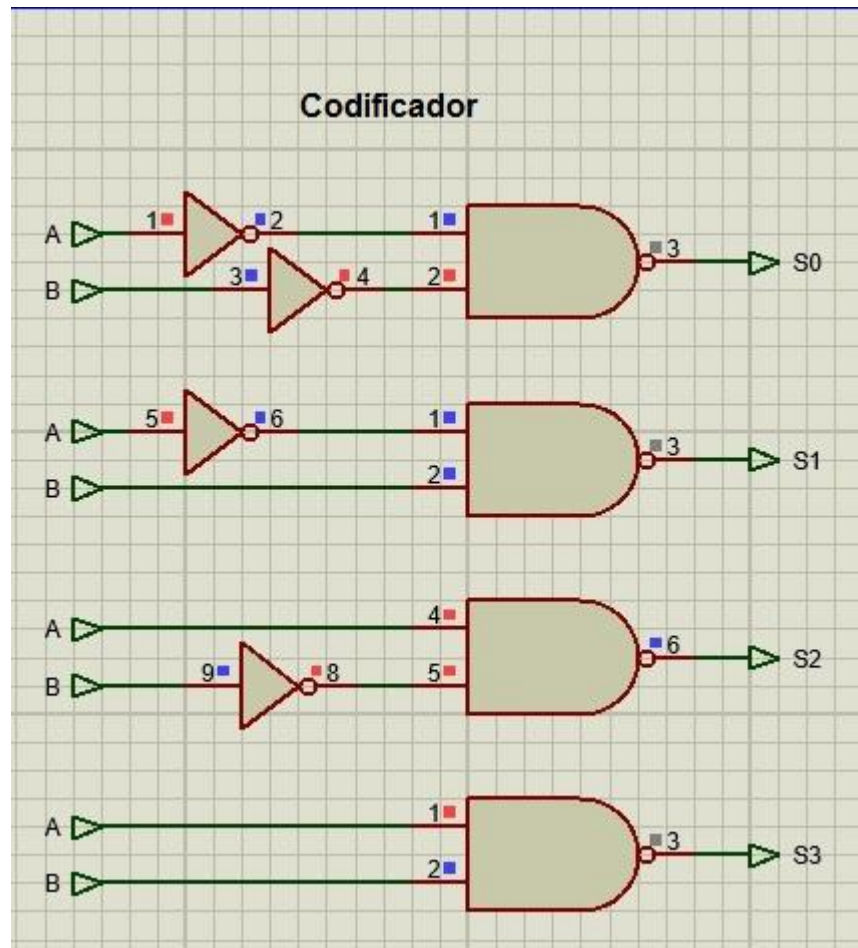


Fig 3: Codificador

O codificador foi criado com portas NOT e NAND a partir da tabela verdade abaixo, sendo A e B saídas do contador e S a saída que servirá de Enable dos Registradores.

A	B	S0	S1	S2	S3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Tab1: Tabela Verdade Codificador

## REGISTRADORES

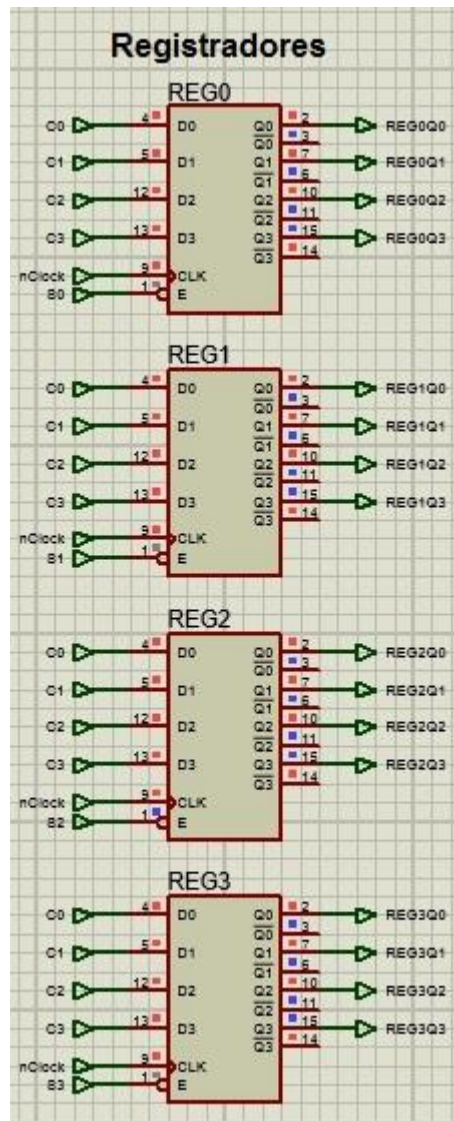


Fig 4: Registradores

Os registradores REG0, REG1, REG2 e REG3 possuem a função de armazenar o valor das entradas C0, C1, C2 e C3, caso o Enable esteja ativado, (ativado a partir das saídas do codificador, ou seja, cada pulso vai armazenar os valores de acordo com a tabela abaixo:

A	B	Registrador
0	0	REG0
0	1	REG1
1	0	REG2
1	1	REG3

Tab2: Tabela Verdade Armazenamento em Registradores

Observamos na imagem do registrador que o Enable está negado neste componente, por conta deste fato, no codificador foram utilizadas as portas NAND.

## COMPARADORES

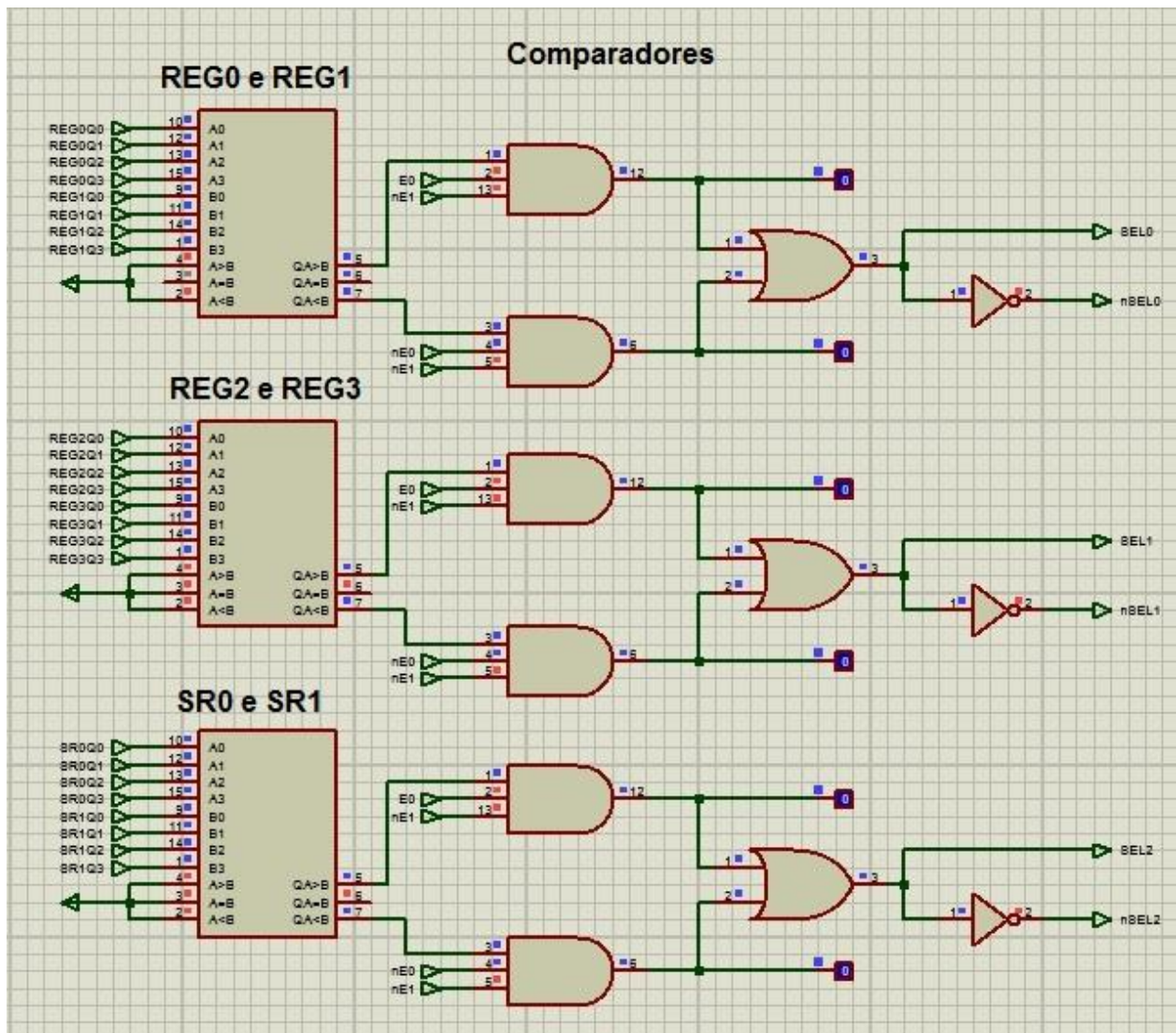


Fig5: Comparadores

Para comparar os valores que são armazenados nos registradores e saber qual é o maior e o menor, foram usados comparadores que recebem os valores de dois registradores e retorna nas saídas  $A < B$ ,  $A = B$ ,  $A > B$  o resultado da comparação, sendo o valor 1 quando forem ativados. São os comparadores, Comp1, Comp2 e Comp3.

As imagens e tabelas verdades abaixo, dão uma clareza quanto ao circuito que vem após os comparadores:

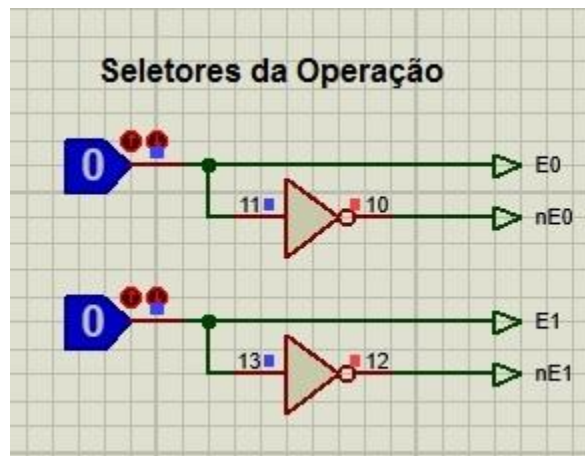


Fig6: Seletores das operações

A tabela abaixo, demonstra como funciona o circuito acima, de forma a qual entradas geram qual operação:

E0	E1	Saída
0	0	Menor
0	1	Média
1	0	Maior
1	1	Média

Tab3: Seletores

A tabela a seguir utilizaremos no multiplexador 8x4 para direcionar a saída a partir da escolha, SEL0 é obtido a partir da seguinte tabela:



A<B	A>B	E0	E1	SEL0
0	1	0	0	0
1	0	0	0	1
0	1	1	0	1
1	0	1	0	0

Tab4: Multiplexador 8x4

## MULTIPLEXADORES

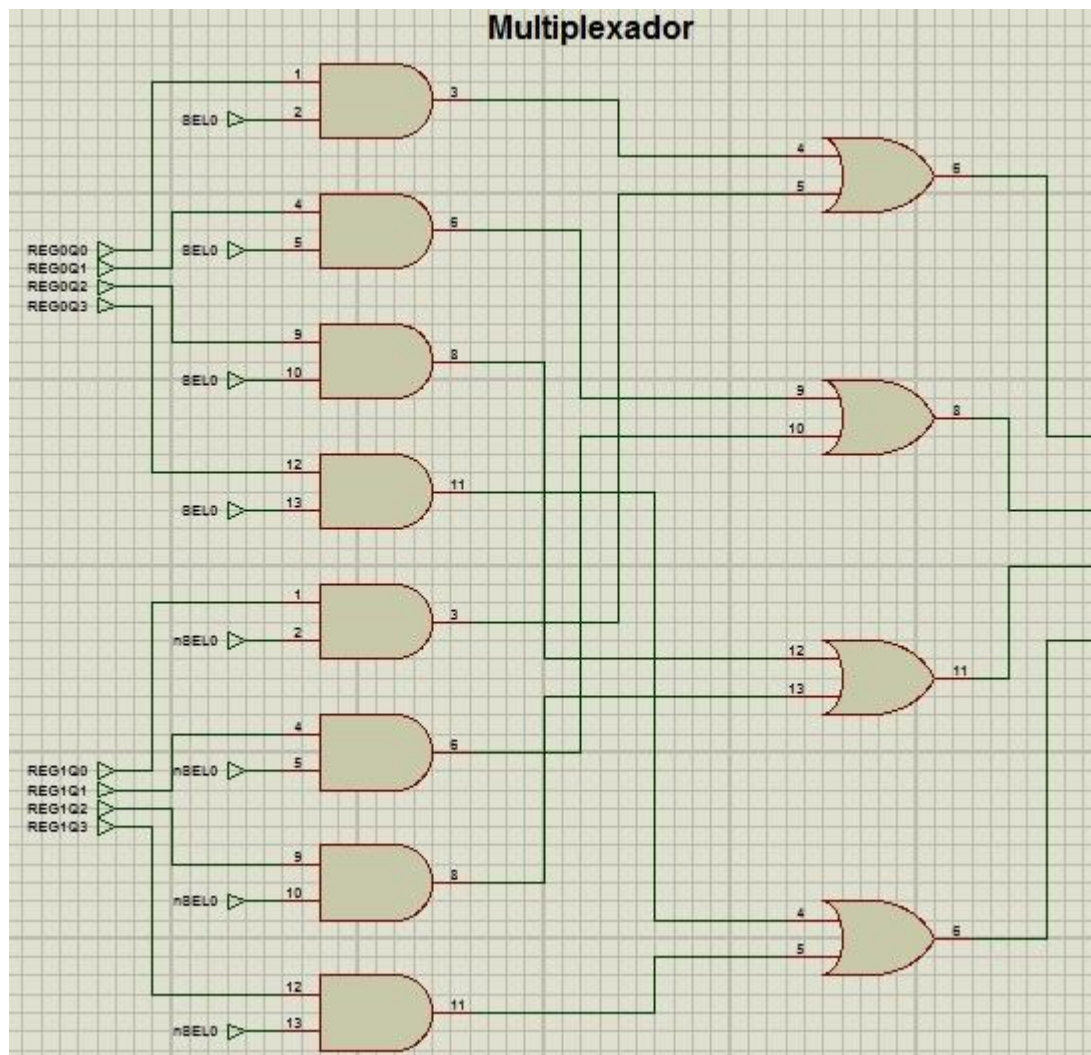


Fig7: Multiplexador feito com portas lógicas.

A função do multiplexador neste circuito é receber 2 valores de 4 bits e direcionar um destes para a saída, conforme o valor que está vindo da variável SEL0 do circuito comparador. Na imagem acima podemos ver o multiplexador 1, que direciona os valores de R1 ou R0 para a saída, se SEL0 estiver em nível alto, a saída do multiplexador será o que se encontra no registrador R0.

Como desejamos comparar 4 valores de 4 bits cada, foram utilizados 3 multiplexadores para esta função, cada um com seu respectivo comparador.

<b>Multiplexador</b>	<b>Compara</b>	<b>Utiliza</b>
Mux1	REG0 e REG1	Comp1
Mux2	REG2 e REG3	Comp2
Mux3	Mux1 e Mux2	Comp3

Tab5: Tabela de uso dos multiplexadores

O último multiplexador (Mux4), constitui a saída final que determina se o resultado será o Mux2 ou a média, utilizando o sinal E1 como seletor das operações.

Lembrando que as entradas devem estar de acordo com a tab3.

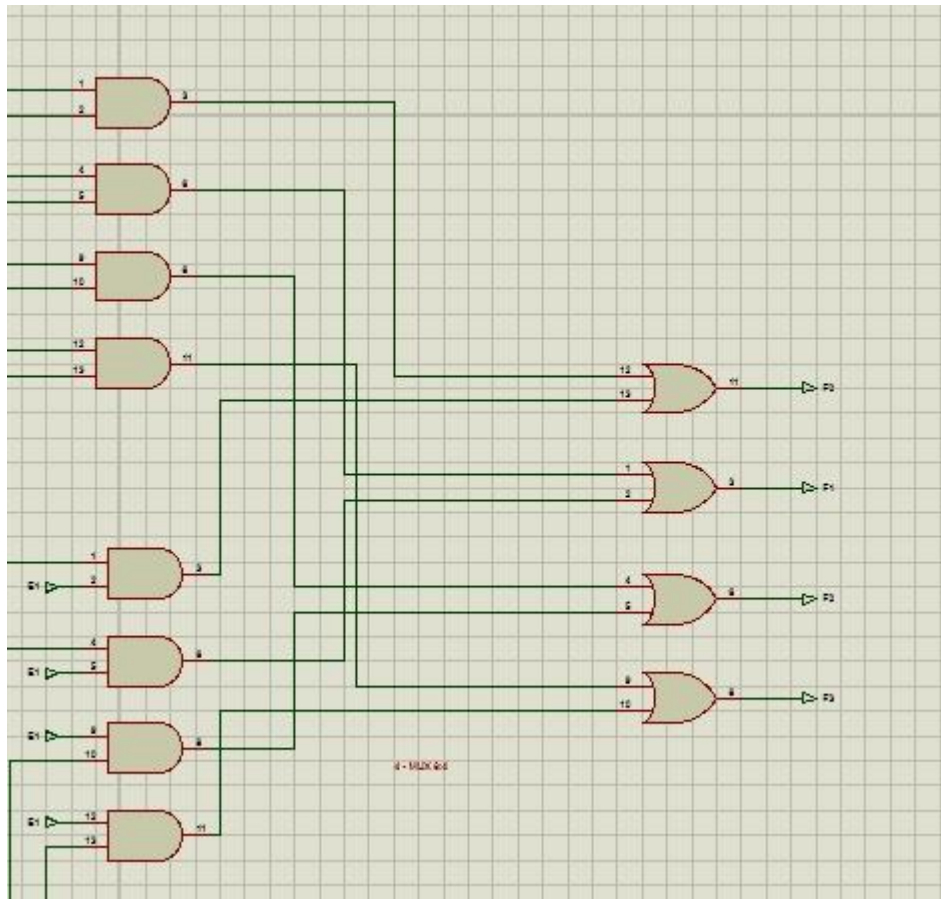


Fig8: Multiplexador final.



## SOMADORES

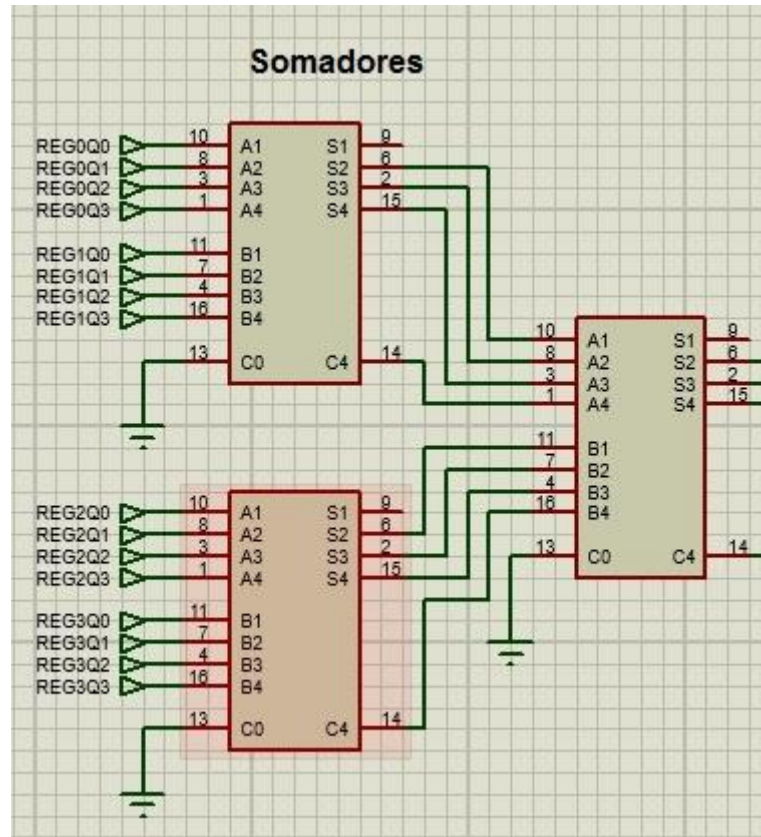


Fig9: Somadores

Para calcular a média, devemos utilizar 3 somadores que somarão REG0 com REG1, REG2 com REG3 e o resultado das duas primeiras somas em um último somador e depois dividir por quatro. A solução para este módulo foi realizada da seguinte forma:

- Soma-se REG0 com REG1 e dividi-se por dois;
- Soma-se REG2 com REG3 e dividi-se por dois;
- Somar os resultados das duas operações e dividi-se por dois;

A saída C4 do somador é o overflow, ou seja, quando se soma valores como 1111 e 1111 o resultado será 11110, o mais significativo no overflow é o restante nas saídas E (1110).

Para dividirmos este valor por 2 basta ignorar o bit menos significativo para realizar a próxima soma. Na saída final, podemos observar a divisão por 2 novamente, ignorando o bit menos significativo (E1) e utilizando o overflow como mais significativo.

## CIRCUITO COMPLETO

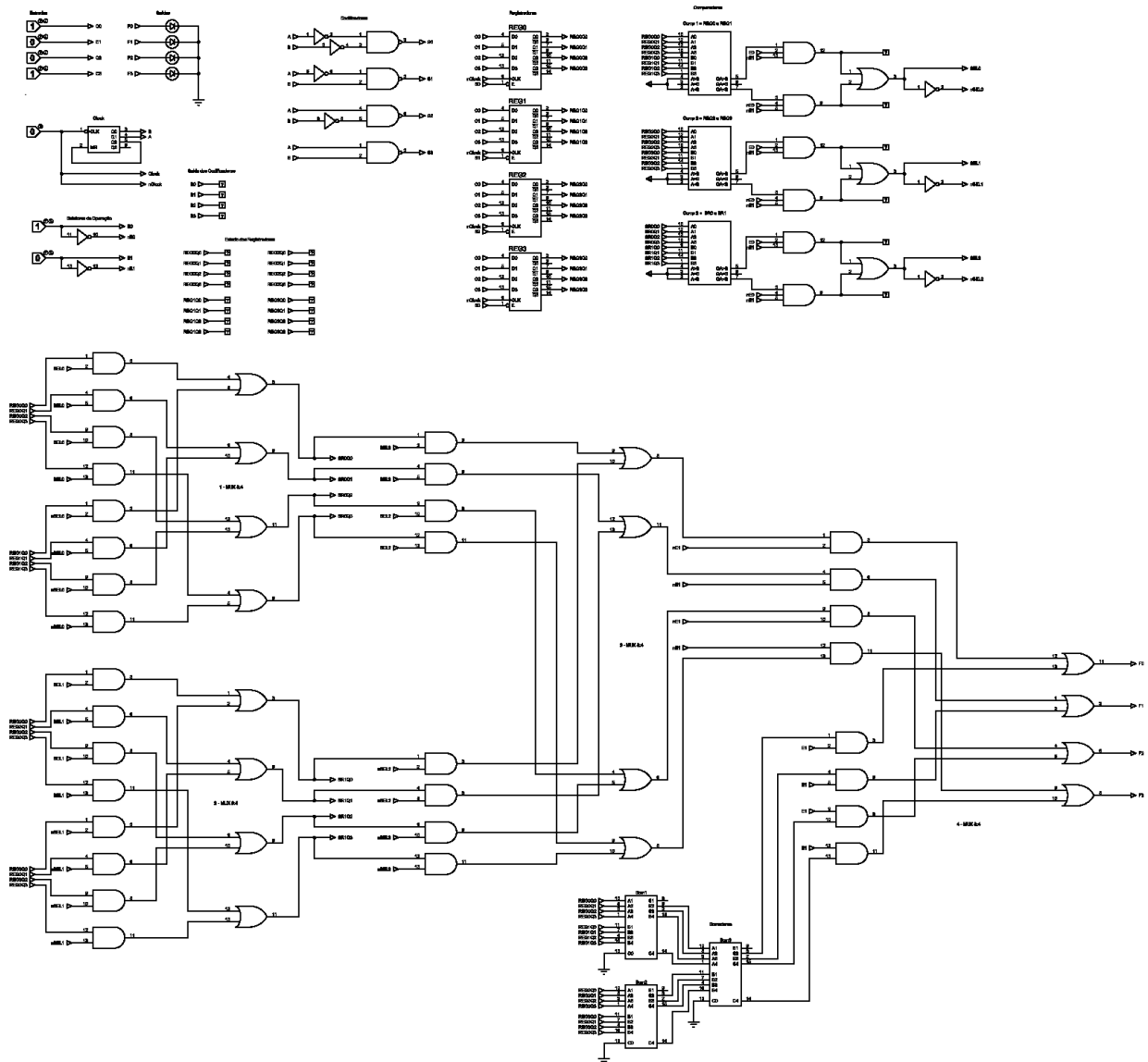


Fig10: Circuito completo.

## **CONCLUSÃO**

A construção do circuito mostrou-se de extrema importância na aplicação do conteúdo passado em aula, de forma que ao realizar este trabalho foi-se necessário a busca por outros conhecimentos extraclasse de forma a somar com o que se já tinha.

O uso dos multiplexadores e demais componentes diferentes das portas lógicas, me deu uma maior clareza sobre o papel destes na eletrônica em sí, abrindo diversas portas para novos conhecimentos.

Todo o trabalho e horas passadas para o desenvolvimento do mesmo acarretou em um trabalho em que fosse capaz de suprir a necessidade do projeto. Apesar de uma possível minimização com outros componentes, está foi a melhor forma que encontramos para a realização do mesmo.

## REFERÊNCIAS

1. **Futurlec** - <<http://www.futurlec.com/>> Acessado todos os dias durante a construção deste trabalho.
2. **Alldatasheet** - <<http://www.alldatasheet.com>> Acessado durante todos os dias durante a construção deste trabalho.