

DEPARTAMENTO DE COMPUTAÇÃO (DECOM) LABORATÓRIO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES I

Professor: Juliana Santiago Teixeira

Aluno: Igor Luciano de Paula

PRÁTICA 9: implementação em Verilog da ULA e da Unidade de Controle do nRisc

Foram implementados 2 blocos, utilizando-se uma arquitetura monociclo padrão:

- ULA Unidade Lógica e Aritmética
- UC Unidade de Controle

Unidade Lógica e Aritmética (ULA):

	HIZ HIZ		ار ا								
≖ -	ZZZZZZZZ	00000	00000000		00000000		00000000		00000000		00000000
+4 /ALU/in2	72222227	00000000		00000000			00000000			00000000	
+ 🔷 /ALU/out1	XXXXXXX	00000	00000:	00000	00000	00000	00000	00000	00000	00000	00001
🚣 /ALU/zero	StX										

Unidade de Controle (UC):

- /Control/op	ZZZ	(000	[000	1000	100	100	100	100	000
<pre>/Control/LastBit</pre>	HiZ								
🔷 /Control/MemWrite	x								
👍 /Control/MemRead	x								
🚣 /Control/PCSrc	x	_	_						
👍 /Control/ALUSrc	x	_							
🚣 /Control/ALUOp	x	_							
🚣 /Control/RegDst	х								
/Control/RegWrite	х								
🚣 /Control/MemtoReg	x	(00		11	00			01	