

Universidade Federal do Rio de Janeiro  
Escola Politécnica  
Departamento de Eletrônica e de Computação

**Estudo do Efeito de Capacitâncias Parasitas no Projeto de Filtros  
Analogicos em Circuitos Integrados**

Autor: \_\_\_\_\_

Thiago Valentin de Oliveira

Orientador de Estágio: \_\_\_\_\_

Antonio Petraglia

Orientador Acadêmico: \_\_\_\_\_

Sérgio Lima Netto

Comissão de Estágio: \_\_\_\_\_

Fernando Antônio Pinto Baruqui

Comissão de Estágio: \_\_\_\_\_

Joarez Bastos Monteiro

DEL

Junho de 2013

## RESUMO

Atualmente, com o desenvolvimento da microeletrônica, é possível projetar circuitos integrados (CIs) em escalas da ordem de nanômetros. Como o custo por área para construção de um CI é bem alto, o projetista deve minimizar, ao máximo, o layout de seu projeto físico. No entanto, a medida que as distâncias entre os componentes físicos são reduzidas, interferências começam a ser geradas, podendo atrapalhar o funcionamento adequado do circuito em questão.

Neste sentido, um ponto crítico é evitar que trilhas de metais dentro do CI se cruzem. Milhares de trilhas em até quatro camadas de metal estão distribuídas pela área do chip e, em cada cruzamento destas trilhas, uma capacitância parasita se manifesta. Outro tipo de capacitância parasita, também inconveniente, é a de *cross-talk*, que surge quando duas trilhas são dispostas paralelamente e muito próximas no layout do circuito.

Um estudo em desenvolvimento no laboratório de Processamento Analógico e Digital de Sinais (PADS) da UFRJ permitiu a construção de um chip, cuja função é estimar razões de capacitâncias, usando filtros estruturalmente passa-tudo a capacitores chaveados e tecnologia CMOS. Neste caso especial, a influência de capacitâncias parasitas pode prejudicar seriamente o funcionamento do circuito, uma vez que capacitores que apareçam em paralelo com aqueles do circuito original podem mudar de forma significativa a razão de capacitâncias do circuito.

Palavras-chave: CMOS, Capacitâncias parasitas, Filtro a capacitores chaveados, Filtros estruturalmente passa-tudo, Matriz de capacitores

## SIGLAS

AMS – *Austria Micro Systems*

CI – Circuito Integrado

CMOS - *Complementary Metal Oxide Semiconductor*

DEL – Departamento de Engenharia Eletrônica e de Computação

IIR – *Infinite Impulse Response*

JLCC – *J-Leaded Chip Carrier*

OTA - *Operational Transconductance Amplifier*

PADS – Laboratório de Processamento Analógico e Digital de Sinais

UFRJ – Universidade Federal do Rio de Janeiro

## ÍNDICE

1. Introdução .....	1
2. Filtro a capacitores chaveados .....	2
2.1. Circuito estimador de razões de capacitâncias .....	2
3. Layout do circuito integrado .....	4
3.1. Blocos básicos .....	4
3.2. Matrizes de capacitores .....	5
3.3. Simulações .....	6
4. Placa de testes .....	8
5. Conclusão .....	10
6. Referências .....	11

## ÍNDICE DE FIGURAS

2.1. Amostrador analógico .....	2
2.2. Respostas em frequência .....	3
3.1. Layout do circuito integrado .....	4
3.2. Layout da chave analógica.....	5
3.3. Matriz de capacitores .....	6
3.4. Resultado das simulações .....	6
4.1. Layout da placa de testes .....	8

## 1. INTRODUÇÃO

Os circuitos a capacitores chaveados são amplamente utilizados para realizar funções importantes, tais como filtros, conversores A/D, D/A e CC/CC. Por possuírem uma boa funcionalidade para a faixa de MHz, alta precisão e boa linearidade na resposta, esses circuitos tornaram-se uma alternativa à utilização de circuitos do tipo RLC, já que as características físicas inerentes aos indutores, como as dimensões, inviabilizavam a aplicação dos mesmos em circuitos integrados.

Com base nisto, desenvolveu-se um estudo acerca dos circuitos a capacitores chaveados, incluindo a utilização dos mesmos para a realização de funções de transferência IIR (*infinite impulse response*) para estimar a precisão do casamento entre capacitores integrados fabricados num mesmo chip. O CI foi projetado e desenvolvido no laboratório e foi enviado para fabricação para a AMS (*Austria Micro Systems*). Até o presente momento os resultados obtidos através de diversas simulações elétricas utilizando os parâmetros do processo de fabricação do circuito pôde comprovar as previsões teóricas.

## 2. FILTRO A CAPACITORES CHAVEADOS

Os circuitos a capacitores chaveados permitem a realização de funções de transferência de filtros discretos no tempo. Eles processam sinais analógicos a dados amostrados, isto é, diferentemente dos filtros digitais, não operam com sinais discretos em amplitude.

Um elemento essencial para a confecção deste circuito é o amostrador (também conhecido como circuito *Sample and Hold*), responsável por amostrar um sinal de tensão, armazenando seu valor como carga em um capacitor, que, por sua vez, é controlado por chaves analógicas. A figura 2.1 ilustra o esquema de um amostrador.

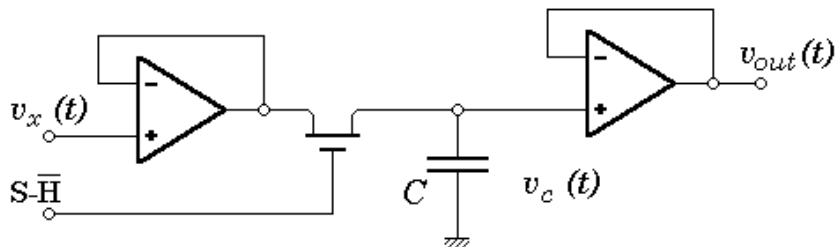


Figura 2.1: Amostrador analógico

Sua confecção inclui outros blocos básicos, como atrasadores, somadores e subtratores. Todos eles pressupõem a necessidade de chaves analógicas para controlar o fluxo de carga dos capacitores. Para isso, precisamos de um sinal de *clock* alimentando o circuito para proporcionar o chaveamento. A frequência adotada neste projeto foi de 1 Mhz.

### 2.1. Circuito estimador de razões de capacitâncias

Nesta etapa foram confeccionados dois circuitos distintos, implementando as mesmas funções. Uma versão, utilizando um somador de sinais, apresentou boa acurácia mas baixa precisão. Uma segunda versão, utilizando um subtrator de sinais, apresentou maior precisão, entretanto a acurácia foi muito boa em alguns casos e baixa em outros.

O principal objetivo do circuito é avaliar uma razão de capacitâncias que é escolhida dentro de 16 possibilidades. Para tal, foi implementado um decodificador que seleciona uma das 16 matrizes de capacitores para operar no circuito. Portanto, as 16 matrizes foram confeccionadas com 4 razões distintas, sendo cada uma delas em 4 configurações diferentes. São essas diferenças que nos permitem tomar nota dos efeitos de variação de processo quando em tempo de verificações experimentais, bem como a comprovação das técnicas desenvolvidas para minimização destes efeitos.

A resposta em frequência do circuito o identifica como um filtro *notch*, onde a frequência do *notch* é dada, teoricamente, por uma função da razão de capacitâncias, como mostra a equação (2.1). Chamamos de  $a$  a razão de capacitâncias determinada pela matriz em questão.

$$\omega_n = \cos^{-1} \left( \frac{a-1}{2a} \right) \quad (2.1)$$

Os gráficos da figura 2.2 ilustram as respectivas respostas em frequência considerando os quatro valores distintos implementados para as razões de capacitância.

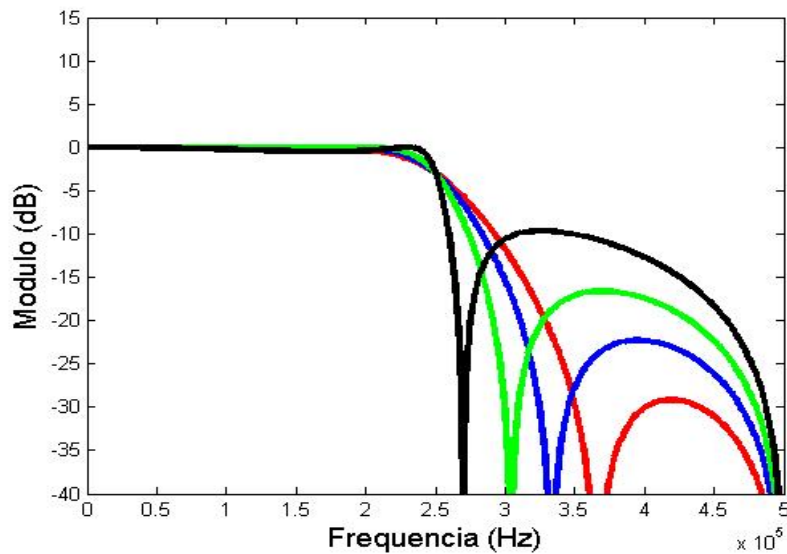


Figura 2.2: Respostas em frequência



### 3. LAYOUT DO CIRCUITO INTEGRADO

Uma vez projetado o circuito, passamos a etapa de confecção do layout do integrado. Nesta longa etapa, muitos cuidados tiveram que ser tomados e inúmeras revisões foram feitas. A versão enviada para fabricação em outubro de 2012 é ilustrada na figura 3.1. Nela, pode-se notar a presença de dois layouts muito semelhantes (um acima do outro), representando as duas versões do circuito.

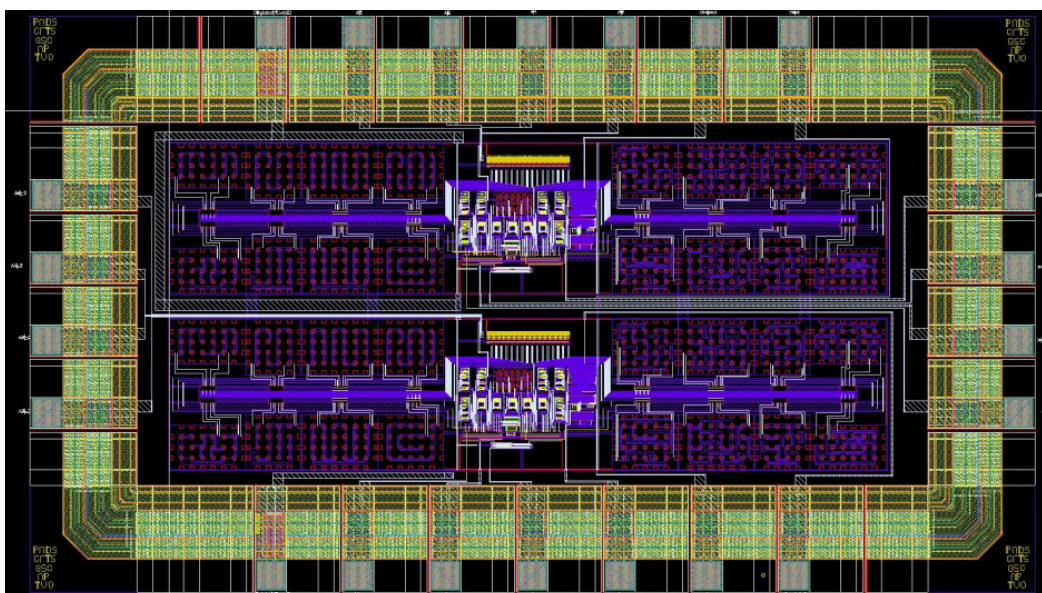


Figura 3.1: layout do circuito integrado

#### 3.1. Blocos básicos

Como já foi citado, o projeto partiu de elementos básicos de construção, como chaves analógicas e blocos atrasadores. A partir deles, foi possível construir somadores e subtratores, bem como outros blocos mais complexos. A base de tudo foi o transistor MOS, que permitiu, inclusive, o projeto de OTAs (*Operational Transconductance Amplifier*) adequados. Este, por exemplo, foi desenvolvido no laboratório antes das minhas atividades no projeto – destas quais dei continuidade a seguir.

Como ilustração, apresenta-se o layout da chave analógica, composta de 6 transistores MOS, na figura 3.2. Dos transistores, 3 se encontram na parte superior e 3 se encontram na parte inferior da chave.

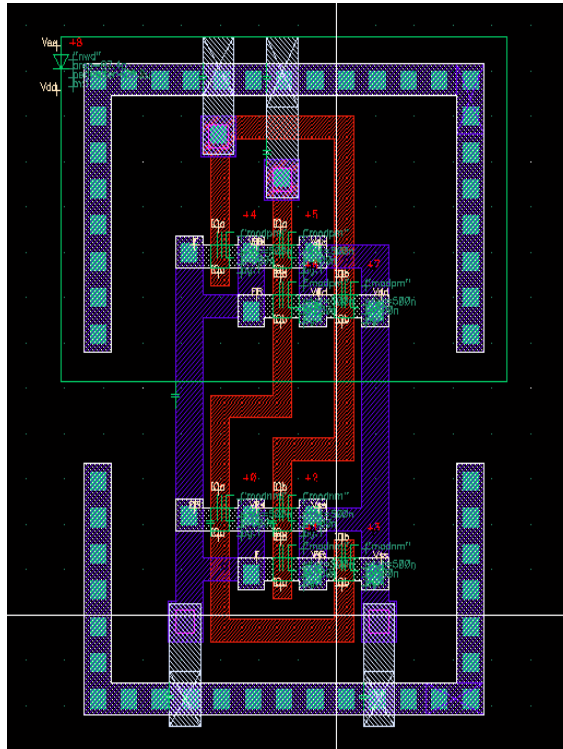


Figura 3.2: layout da chave analógica

### 3.2. Matrizes de capacitores

Um dos empecilhos na hora de fazer o layout de um circuito integrado é o surgimento de capacitâncias parasitas entre trilhas paralelas muito próximas e entre trilhas de metais passando umas sobre as outras. Com fim de minimizar tais efeitos, alguns estudos foram realizados acerca das matrizes de capacitores e das técnicas de roteamento de trilhas.

Pôde-se obter, desta forma, uma maneira de arranjar os capacitores unitários dentro das matrizes (dois capacitores em cada matriz) de modo que as ligações (os capacitores unitários são ligados em paralelo) pudessem ser feitas evitando os cruzamentos. Um resultado ilustrativo encontra-se na figura 3.3, onde cada cor representa um dos capacitores.

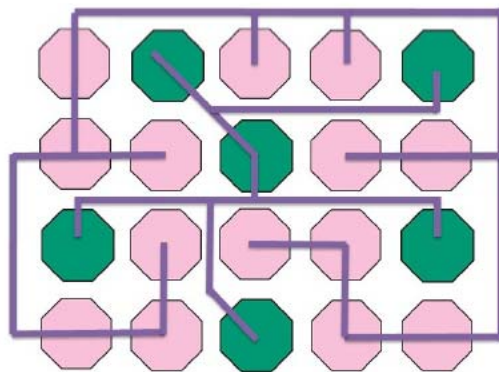


Figura 3.3: Matriz de capacitores

Com esta modificação, o layout ficou mais “limpo” e os resultados obtidos através das simulações se mostraram mais eficazes. Deve ficar claro que, apesar de ilustrarmos apenas um caso, esta modificação foi aplicada em todas as matrizes.

### 3.3. Simulações

Diversas simulações foram feitas para verificar a validade do projeto e foi com base nelas que tomamos as devidas notas e conclusões até o presente momento. Gráficos de respostas em frequência foram tomados para cada versão do circuito, para cada uma das matrizes de capacitores.

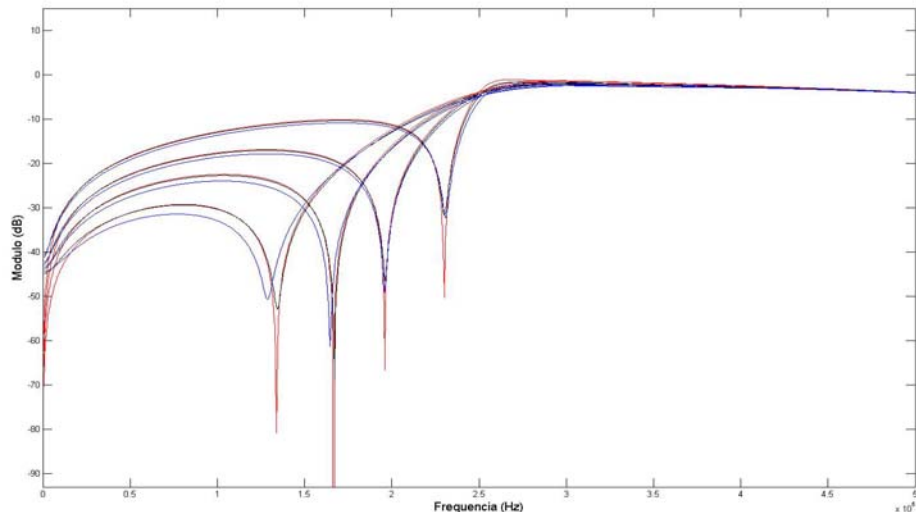


Figura 3.4: resultado das simulações

Na figura 3.4, ilustramos os resultados obtidos através das simulações realizadas pelo software *Cadence*, onde a cor azul identifica o circuito completo extraído, isto é, já com as devidas capacitâncias parasitas mensuradas. As respostas em cor preta identificam o circuito com os blocos extraídos, mas as trilhas de conexão entre eles ideais. Nota-se que estes estão muito próximos das respostas ideais (plotadas no Matlab), identificadas na cor vermelha.

#### 4. PLACA DE TESTES

A etapa final deste projeto consiste na elaboração de uma placa de testes para verificação experimental do circuito integrado fabricado. Tendo sido utilizado o encapsulamento JLCC com 28 pinos, foi necessária a utilização de um soquete compatível para montagem na placa de circuito impresso.

Para tal atividade, utilizou-se o software *Orcad* (versão 10.5) com a ferramenta *Layout Plus*, que permite projetar o layout da placa de circuito impresso. Nesta, foram adicionados reguladores de tensão para estabilizar a alimentação do chip (2.5 V) e geradores de corrente, que foram devidamente ajustados com uso de potenciômetros, para suprir as alimentações necessárias do CI.

A figura 4.1 ilustra o layout final da placa.

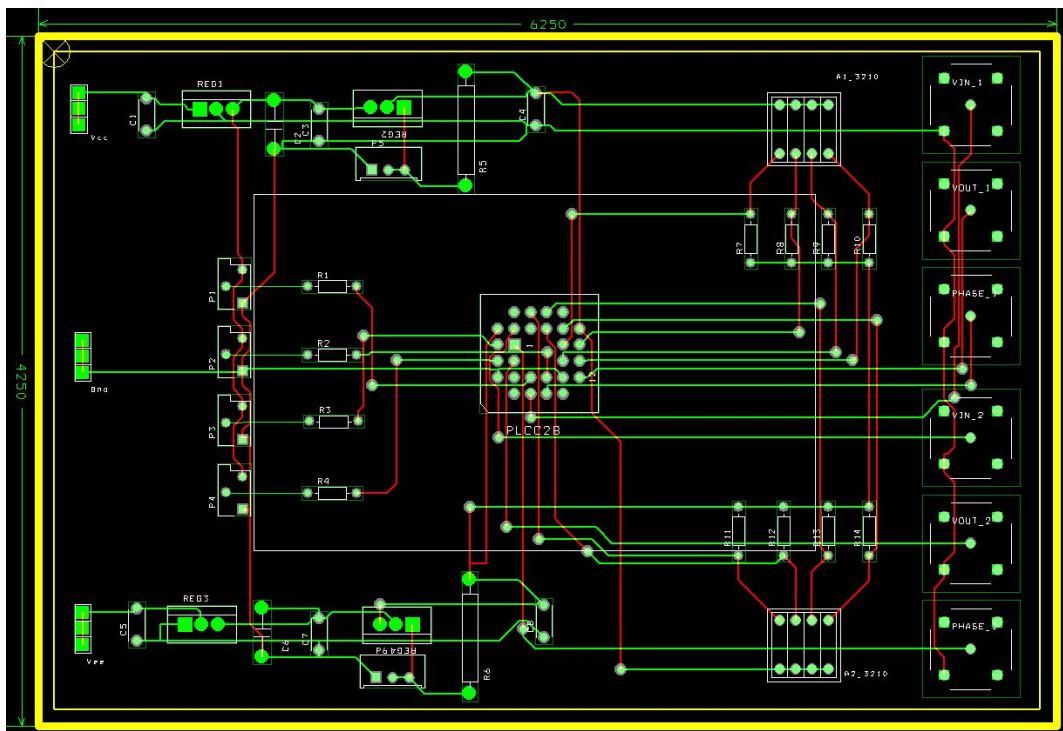


Figura 4.1: Layout da placa de testes

Uma vez montada e verificada sua boa funcionalidade, os resultados experimentais poderão ser avaliados e comparados com os valores teóricos e simulados. Serão destes, que tomaremos as notas finais e avaliaremos os desempenhos relativos aos arranjos dos bancos de capacitores e as técnicas empregadas neste trabalho.

## 5. CONCLUSÃO

Como conclusão, podemos citar a verificação através de simulações que permitiram validar o projeto em questão. Em especial, a figura 3.4 mostrou bons resultados para algumas das versões de matrizes desenvolvidas neste projeto. Em alguns casos, a frequência de *notch* mensurada, em função da razão de capacitâncias selecionada, apresentou um erro relativo menor que 0,1 %.

Entretanto, o problema das capacitâncias parasitas ainda persiste e continua sendo alvo de estudo. Para projetos futuros, a tentativa de se trabalhar em mecanismos que evitem este tipo de interferência deverá ser acentuada, bem como os resultados experimentais obtidos em bancada corroborarão para a formação de argumentos mais sólidos para as próximas etapas de desenvolvimento de projetos futuros.

## 6. REFERÊNCIAS

- A. Petraglia e C. F. T. Soares, A technique for accurate capacitance ratio measurements in CMOS integrated circuits. In: XVI Ibership Workshop, Foz do Iguaçu, Proceedings of IWS'2010, 2010.
- CAMPOS, G. S., “Estimação de Razões de Capacitâncias Usando Filtros Estruturalmente Passa-Tudo a Capacitores Chaveados”, Projeto Final de Graduação, DEL/UFRJ, Rio de Janeiro, RJ – Brasil, Agosto de 2010.
- SAINT, C. e J., IC Layout Basics: A Practical Guide, McGraw-Hill, 2002.
- SOARES, C. F. T., “Método para Aprimorar o Projeto e o Layout de Filtros Analógicos em Circuitos Integrados CMOS”, Tese de Doutorado, COPPE/UFRJ, Rio de Janeiro, RJ – Brasil, Janeiro de 2009.