

## Roteiro 8

Nome: Igor Tejo Bezerra Ribeiro Nogueira

Matrícula: 120210131

### 5-Stage RISC-V Processor w/o Forwarding Unit

CÓDIGO 1

Pipeline diagram

# of recorded cycles can be changed in settings

	0	1	2	3	4	5	6	7	8	9	10
addi x10 x0 4	IF	ID	EX	MEM	WB						
addi x11 x0 3		IF	ID	EX	MEM	WB					
addi x12 x0 7			IF	ID	EX	MEM	WB				
addi x13 x0 5				IF	ID	EX	MEM	WB			
addi x14 x0 6					IF	ID	EX	MEM	WB		
add x15 x10 x11						IF	ID	EX	MEM	WB	

#### Execution info

Cycles: 10

Instrs. retired: 6

CPI: 1.67

IPC: 0.6

Clock rate: 10.64 Hz

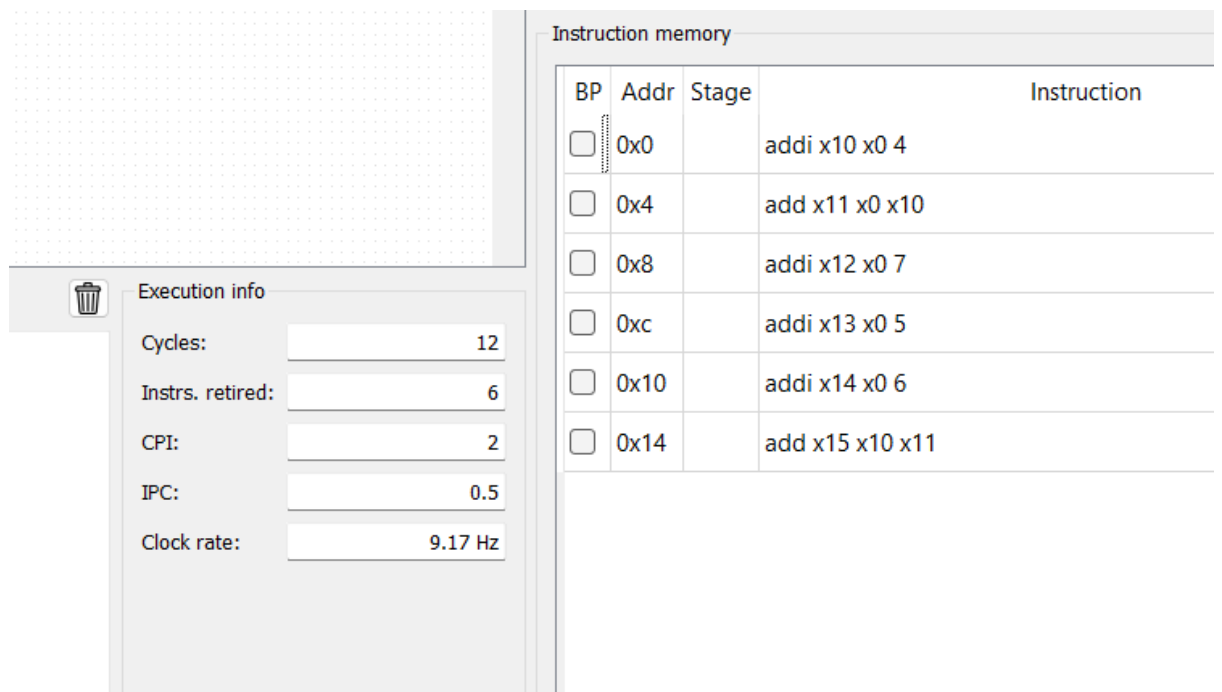
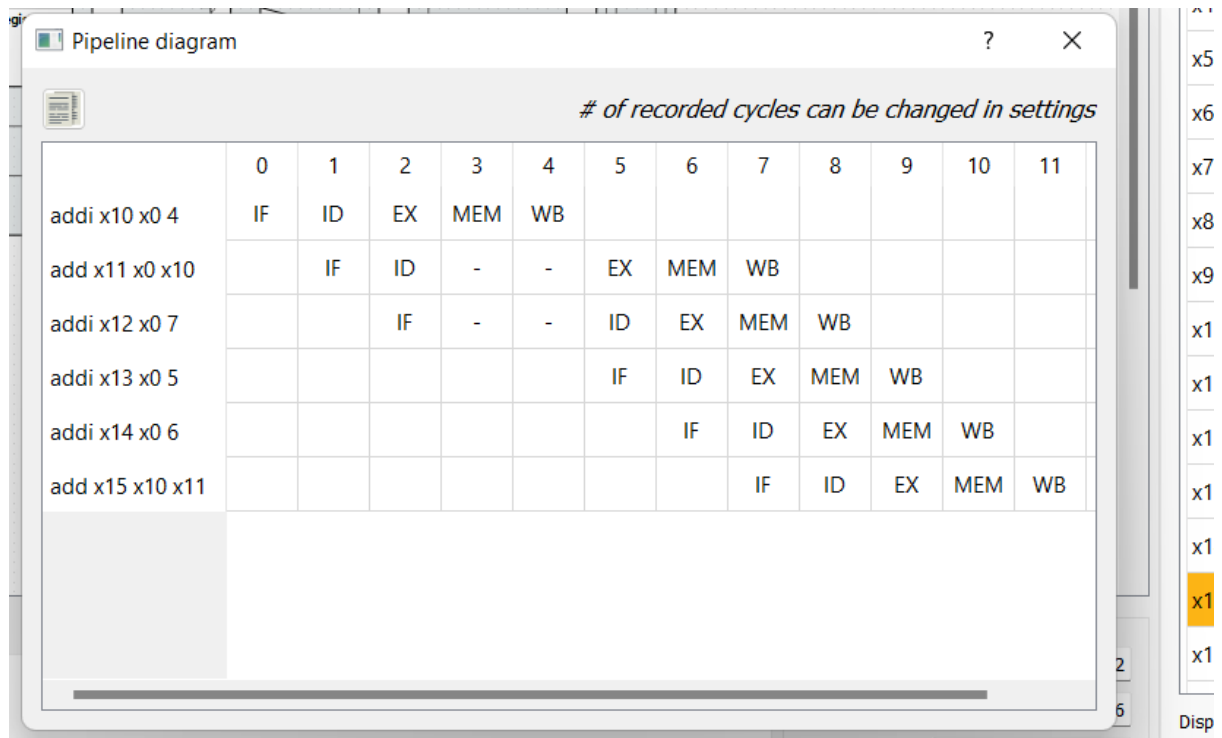
#### Instruction memory

BP	Addr	Stage	Instruction
<input type="checkbox"/>	0x0		addi x10 x0 4
<input type="checkbox"/>	0x4		addi x11 x0 3
<input type="checkbox"/>	0x8		addi x12 x0 7
<input type="checkbox"/>	0xc		addi x13 x0 5
<input type="checkbox"/>	0x10		addi x14 x0 6
<input type="checkbox"/>	0x14		add x15 x10 x11

Registers		
GPR		
Name	Alias	Value
x3	gp	0x10000000
x4	tp	0x00000000
x5	t0	0x00000000
x6	t1	0x00000000
x7	t2	0x00000000
x8	s0	0x00000000
x9	s1	0x00000000
x10	a0	0x00000004
x11	a1	0x00000003
x12	a2	0x00000007
x13	a3	0x00000005
x14	a4	0x00000006
x15	a5	0x00000007
x16	a6	0x00000000
Display type: Hex		
Instruction memory		

No processador unit temos que a informação por não ser dependente as linhas iniciais uma das outra, o sistema não quebra, instruções mesmo na sétima linha as instruções sendo dependentes. Podemos perceber que essas instruções são independentes. Mas a sétima linha é dependente, pois é armazenada em x15. Elas serão executadas em todas as instruções

## CÓDIGO 2

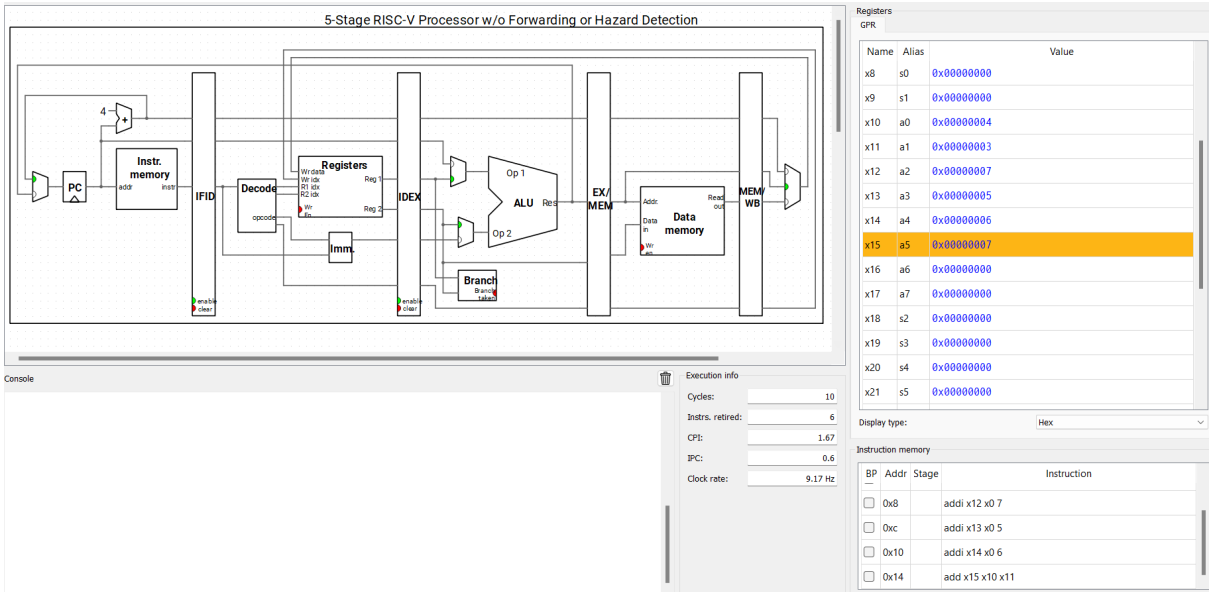


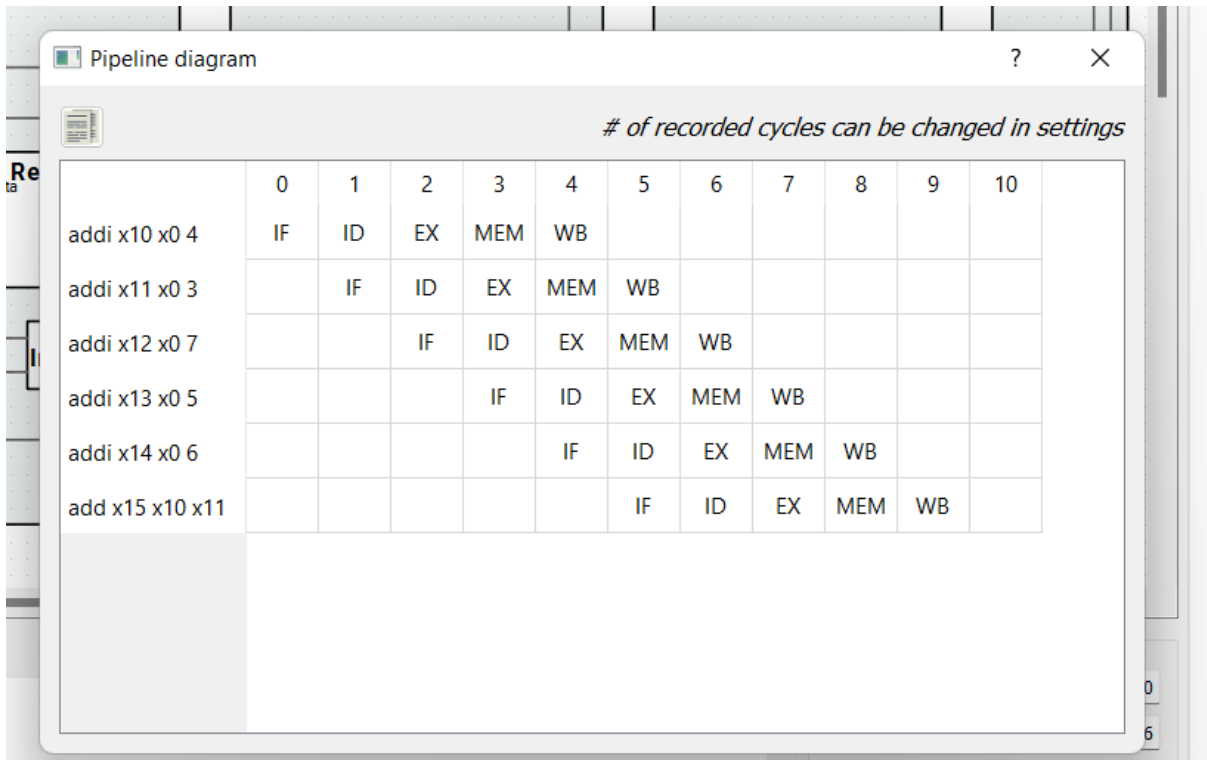
Registers		
GPR		
Name	Alias	Value
x3	gp	0x10000000
x4	tp	0x00000000
x5	t0	0x00000000
x6	t1	0x00000000
x7	t2	0x00000000
x8	s0	0x00000000
x9	s1	0x00000000
x10	a0	0x00000004
x11	a1	0x00000004
x12	a2	0x00000007
x13	a3	0x00000005
x14	a4	0x00000006
x15	a5	0x00000008
x16	a6	0x00000000

Temos as 5 etapas, no Pipeline, de cada instrução, entretanto, temos mais ciclos e também erros, visto que no código 2 as instruções estão mais dependentes uma da outra.

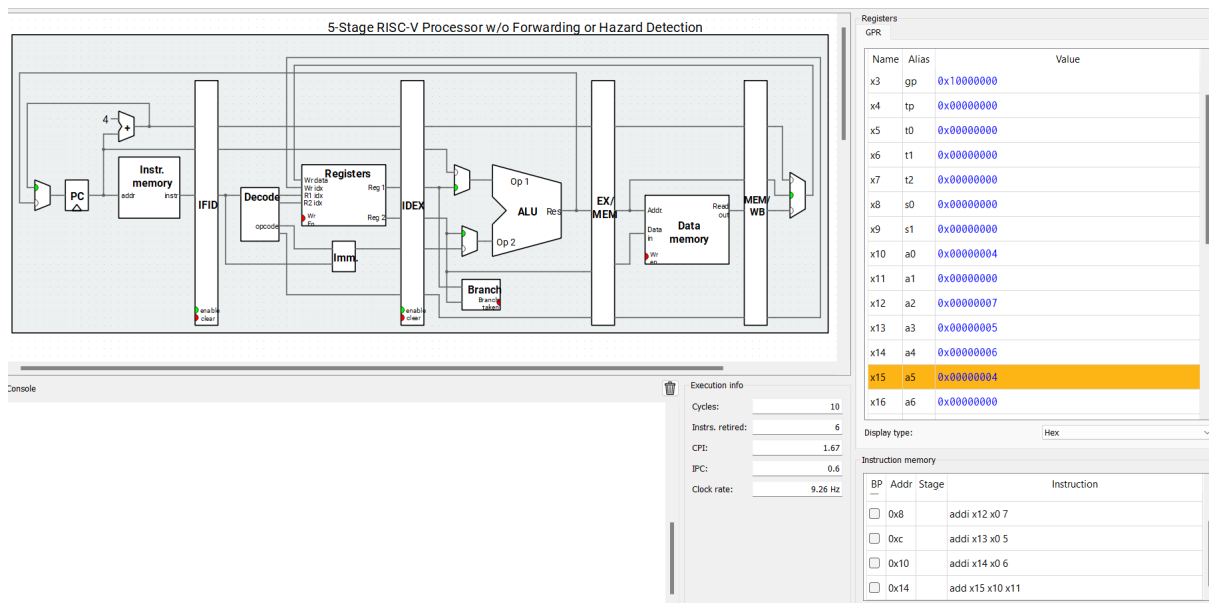
5-stage processor w/o forwarding or hazard detection

CÓDIGO 1





## CÓDIGO 2



Pipeline diagram

? X



# of recorded cycles can be changed in settings

	0	1	2	3	4	5	6	7	8	9	10
addi x10 x0 4	IF	ID	EX	MEM	WB						
add x11 x0 x10		IF	ID	EX	MEM	WB					
addi x12 x0 7			IF	ID	EX	MEM	WB				
addi x13 x0 5				IF	ID	EX	MEM	WB			
addi x14 x0 6					IF	ID	EX	MEM	WB		
add x15 x10 x11						IF	ID	EX	MEM	WB	