

Sistema de inspeção automatizada - Exibição de mensagens animadas

Cícero Mercês da Silva¹, Igor Figueredo Soares¹, Joanderson Figueredo dos Santos¹

¹UEFS – Universidade Estadual de Feira de Santana
Av. Transnordestina, s/n, Novo Horizonte
Feira de Santana – BA, Brasil – 44036-900
cicerobrciro@gmail.com, ifs54@hotmail.com

Resumo: *Este relatório está voltado à elaboração de um circuito sequencial, utilizado para exibir e animar (deslocar) um caractere em uma matriz de led. Para tal foi utilizado a técnica da multiplexação e os componentes necessários para construção e testes do circuito.*

1. Introdução

As inovações tecnológicas trazem diversos benefícios para sociedade, exemplo disso é o surgimento dos computadores pessoais a partir da década de 70. Sendo de certa forma um upgrade dos primeiros computadores, que de tão grandes e pesados, era preciso uma sala inteira para armazená-los. Portanto, essa inovação tecnológica possibilitou que pessoas comuns pudessem ter computadores em suas casas, desfrutando assim, das vantagens propostas por essa tecnologia (FONSECA FILHO, 2007).

Dessa forma, é evidente que melhorias em sistemas e produtos desenvolvidos previamente, proporcionam a construção de equipamentos cada vez melhores naquilo em que lhes é proposto a fazer.

Em vista disso, foi solicitado pela empresa feirense Baemba, que os integrantes da ECompJR, desenvolvessem um novo recurso para o circuito desenvolvido anteriormente pelo grupo. Circuito esse que tinha como propósito analisar e indicar visualmente a condição em que um lote de caixas poderia estar, como por exemplo aceito ou rejeitado. Fazendo essa atribuição, de acordo com a quantidade de caixas em um lote que estivesse de acordo com o tamanho requisitado pelo cliente.

Portanto, este relatório tem como objetivo descrever o processo de desenvolvimento do recurso citado anteriormente, que consiste basicamente em animação (deslocamento) do caractere responsável por indicar a condição do lote.

2. Metodologia

O desenvolvimento do sistema foi baseado na teoria dos circuitos digitais, utilizando como recurso o ambiente de desenvolvimento QUARTUS II em sua versão 20.1, por meio da linguagem de descrição de hardware Verilog. Além disso, foi utilizada a placa CPLD Altera Max II-EPM240T100C5 como referência para a implementação das funções lógicas.

No desenvolvimento desse novo recurso para o sistema de inspeção, diferente da implementação inicial do sistema, foi utilizada a abordagem comportamental da linguagem Verilog. O modelo comportamental permite uma abstração maior na descrição das funcionalidade do circuito. Dessa forma, é descrito qual o comportamento que o sistema implementado deve apresentar e as partes estruturais são construídas por meio das ferramentas de síntese.

Além disso, a implementação do novo recurso no sistema desenvolvido anteriormente foi executada por meio da remodelação do módulo controlador do display, que anteriormente foi utilizado para indicar a condição do lote.

Depois da remodelação o módulo citado acima passou a dispor de 12 saídas, as quais se ligam ao novo display escolhido para compor essa nova versão do sistema de inspeção automatizada. As entradas desse módulo permanecem as mesmas existentes anteriormente, porém uma nova entrada foi inserida para o *clock* (relógio) presente na placa. Sendo assim, ao todo o módulo dispõe de cinco entradas, três responsáveis por indicar o estado dos lotes sob análise, uma proveniente do botão de habilitação do sistema e a entrada do *clock*. Fora a adição da entrada do *clock*, as entradas do sistema permaneceram as mesmas, sendo elas: 5 sensores e uma entrada de habilitação. Porém, houve um acréscimo na quantidade de saídas, visto que nesta atualização, o sistema dispõe de 12 saídas para o display, além da saída do alarme.

De modo geral, a implementação do novo recurso ao sistema passou por três etapas, sendo elas: a definição de qual tipo de mostrador se adequaria melhor para atender aos requisitos; definição e implementação das modificações no módulo responsável por controlar o novo visor; por fim, a execução dos testes de funcionamento da nova versão do sistema.

2.1 Escolha do componente físico para exibição da mensagem

Diferente do projeto inicial, este no qual as informações eram exibidas em um display de LEDs de 7 segmentos, faz-se necessário a utilização de outro recurso para atender os requisitos de exibição da mensagem com animação referente ao estado de cada lote. Foram discutidos diversos componentes que atenderiam melhor ao requisito e que garantiriam uma visualização clara das informações. A partir disso, foi estabelecido que o componente que atenderia melhor às necessidades seria uma matriz de LED, também chamada de Display de matriz de ponto.

Essa escolha foi fundamentada na ideia de que a matriz apresenta um funcionamento relativamente simples, um custo baixo para implementar e permite que mensagens possam ser exibidas com animações de uma forma bastante clara.

Sendo assim, a matriz definida para integrar o sistema foi uma de 7 linhas e 5 colunas. Na matriz em questão, para acender um determinado ponto (LED), é necessário ligar a linha e a coluna referente a esse diodo. Isso porque, a matriz encontra-se multiplexada, ou seja, o cátodo de cada LED de cada uma das linhas estão conectados entre si e os ânodos dos LEDs de cada coluna também estão conectados entre si. Destarte, esse arranjo garante uma redução da quantidade de pinos de entradas do componente, visto que não é necessário ter pinos individuais para o cátodo e o ânodo de cada LED. Além disso, uma coluna assume o estado de ativa quando recebe um nível lógico alto em sua entrada, apresentando uma lógica positiva. Por outro lado, um

segmento das linhas assume o estado de ligado quando recebe em sua entrada o nível lógico baixo, dessa forma, apresentam uma lógica negativa.

3. Fundamentação Teórica

Para resolução desse novo problema foi necessário conhecimento sobre circuitos sequenciais, isto é, circuitos que precisam não só de uma entrada atual para gerar uma saída, mas também de uma entrada anterior armazenada. Dessa forma, os circuitos sequenciais são caracterizados como circuitos combinacionais com um elemento de memória.

Sendo assim, a partir da interpretação do problema proposto, foram analisados os componentes necessários para resolução do problema. Componentes esses que serão citados abaixo com a sua definição e o seu papel para resolução do problema.

1. Matriz de LEDs: uma matriz de LEDs é um dispositivo que apresenta um grupo de LEDs distribuídos em linhas e colunas. Cada LED do conjunto pode ser ligado individualmente, porém para gerar imagens mais complexas, um número maior de diodos emissores de luz podem ser acionados, gerando o aspecto visual desejado. À vista disso, a matriz de LEDs foi utilizada no problema para a exibição do caractere que indicaria a condição do lote.
2. Flip-Flops: são dispositivos eletrônicos de memória, onde cada um desses dispositivos pode armazenar até 1 bit. Destarte, os flip-flops podem ser utilizados para compor elementos de memórias mais complexos, como registradores que vão ser detalhados abaixo.
3. Registradores: são dispositivos utilizados na eletrônica digital para armazenar um conjunto de bits. Dessa forma, os registradores são construídos através de flip-flops. Em vista disso, os registradores foram utilizados no problema para armazenar um conjunto de três imagens, formadas por bits, onde cada imagem representaria uma condição do lote.
4. Registradores de deslocamento: como o próprio nome sugere, registradores de deslocamento são registradores que armazenam e realizam o deslocamento de um conjunto de bits. Nesse sentido, esses registradores foram utilizados no problema para realizar o deslocamento dos bits pertencentes a uma imagem que indicaria a condição do lote, esse deslocamento de bits resultaria no efeito de animação da imagem.
5. Multiplexadores: multiplexadores são circuitos que recebem n entradas e selecionam uma das entradas para a saída de acordo com uma variável de seleção. Esta é responsável por indicar qual entrada será selecionada. Nesse sentido, os multiplexadores foram utilizados no circuito para selecionar qual imagem seria exibida ou não, de acordo com a condição do lote.
6. Contadores: contadores são circuitos combinatórios sequenciais, temporizados por um sinal de controle, e possuem uma sequência de contagem cíclica e pré-definida.

Os contadores possuem várias aplicações na eletrônica digital, como por exemplo, dividir uma determinada frequência de um clock. Sendo essa aplicação

utilizada no problema. Permitindo assim, a utilização da frequência correta para a multiplexação da matriz, e para o deslocamento da imagem.

4. Resultados e Discussões

Como descrito anteriormente, foi utilizado um novo componente para exibição da condição do lote. Sendo assim, foi removido o componente anterior, este componente removido foi o display de 7 segmentos. Dessa forma, o novo recurso do sistema foi desenvolvido voltado principalmente a essa nova interface visual, interface essa que traz benefícios e malefícios na sua implementação para resolução do problema. Sendo assim, nas seções posteriores será detalhado a solução do problema utilizando esse novo componente.

4.1 Representação do sistema em alto nível

Como o sistema sofreu mudanças para se adequar a sua nova característica de exibição da mensagem do estado do lote com uma animação, faz-se necessário uma nova representação de alto nível por meio de diagramas de blocos. Dessa forma, é possível visualizar, mesmo que de uma maneira mais generalista, ou seja, sem muitos detalhes técnicos, as mudanças promovidas ao sistema. Fornecendo uma visão mais ampla do sistema como um todo. A figura 1 ilustra o sistema em alto nível, possibilitando uma visão mais abrangente.

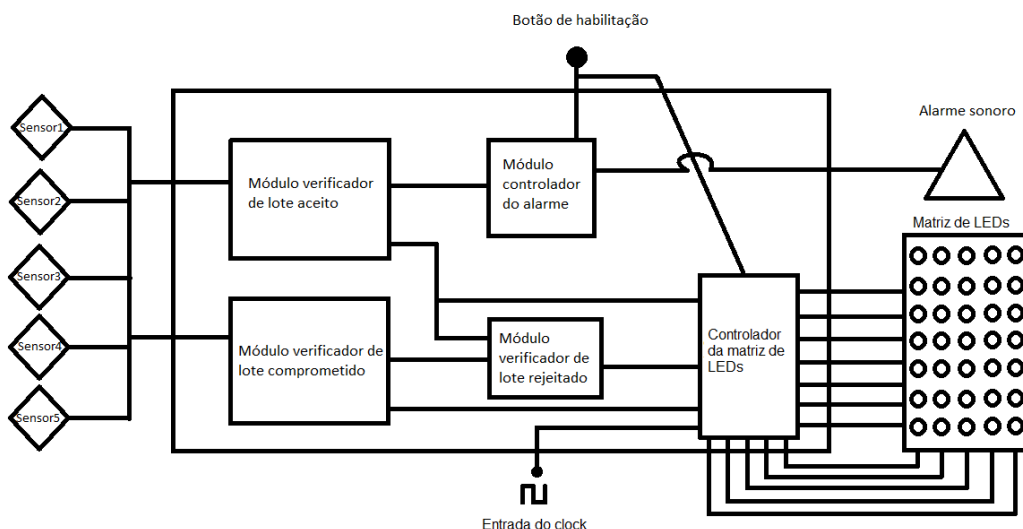


Figura 1. Ilustração do sistema em alto nível.

4.2 Implementação da matriz de LEDs

O fato do mostrador escolhido apresentar seu funcionamento de modo multiplexado faz surgir um comportamento indesejado ao tentar ligar múltiplos pontos de uma única vez. Esse comportamento indesejado está relacionado ao acionamento de um LED de modo não intencional, ao ligar outro de forma intencional. Isso acontece em decorrência da necessidade de somente indicar qual linha e coluna devem ligar para acionar um determinado ponto do mostrador, ou seja, não conseguimos controlar um led individualmente. Dessa forma, quando ligados diversos pontos de uma única vez, várias

linha e colunas estarão ativadas e, eventualmente, pode ocorrer de uma coluna ou linha está ativa para ligar um determinado diodo emissor de luz da matriz e algum deles apresentar uma interseção com outras linhas ou colunas já ativas que acionam um outro ponto, proporcionando, dessa forma, o acionamento de um LED que não deveria encontrar-se ativo. Na figura 2 tal comportamento pode ser visualizado.

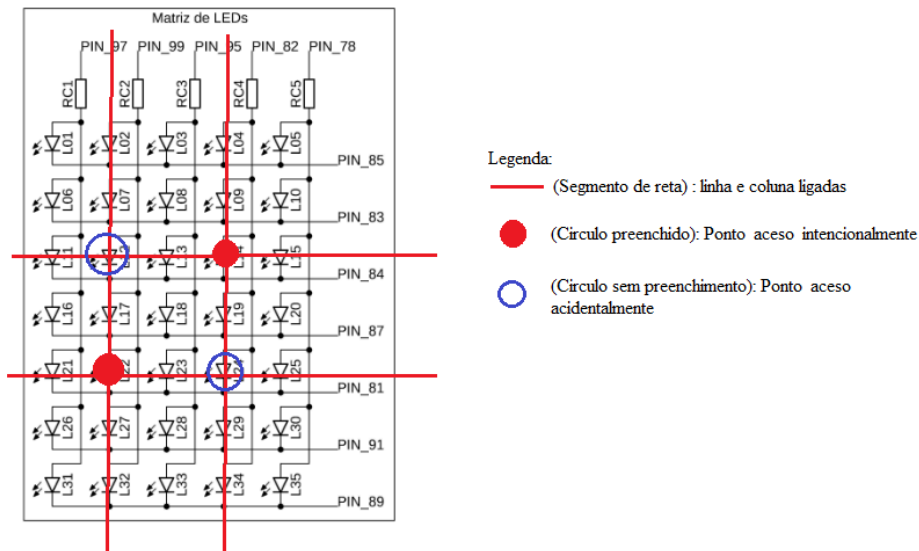


Figura 2. Representação visual do inconveniente encontrado na matriz multiplexada.

Portanto, para eliminar esse comportamento indesejado da matriz, um procedimento de varredura deve ser feito. Este procedimento consiste em ativar uma linha da matriz por vez junto às colunas referentes aos LEDs que devem ser ativados. Esse processo de multiplexação deve ser feito de maneira que não seja percebido pelo olho humano, ou seja, o tempo entre acender os LEDs de uma linha e outra deve ser pequeno suficiente para aproveitar o efeito de persistência da visão humana. Esse tempo deve ser em torno de 1 milissegundo que é equivalente a frequência de 1 kHz. Com esse intervalo de tempo conseguimos produzir o efeito de uma imagem estática na matriz, representada pelos leds, apesar de que estamos ligando apenas uma linha por vez.

Na CPLD utilizada para a implementação do sistema existe somente um clock, com a frequência de 50 MHz. Portanto, para atingir a frequência necessária de 1 kHz para a multiplexação da matriz, se faz necessário dividir a frequência original do equipamento. Para isso, foi utilizado um contador de 26 bits, com a finalidade de obter a frequência da multiplexação e do deslocamento dos caracteres. O deslocamento vai ser detalhada mais a seguir. No caso da multiplexação, foram utilizados apenas 16 bits do contador. Isso porque, $50 \text{ MHz} / 2^{16}$ resulta na frequência de aproximadamente 1 kHz. Frequência essa que como citado anteriormente produz o efeito da imagem estática na matriz.

Em seguida, foi definido o alfabeto que seria utilizado para representação dos caracteres na matriz. Sendo o alfabeto 3x5 escolhido. Com isso, podemos representar

uma letra na matriz utilizando 3 colunas e apenas 5 linhas. Desse modo, as duas linhas restantes da matriz foram utilizadas como espaço em branco. Consecutivamente, foi mapeado e armazenado os caracteres que indicariam a condição de cada lote.

4.3 Armazenamento dos dados a serem exibidos

Como citado anteriormente, as imagens que deveriam ser exibidas indicando a condição do lote na matriz, foram armazenadas em registradores. Como temos uma matriz 5x7 e três imagens diferentes, onde cada imagem ocuparia um total de 35 bits, foi necessário um conjunto de registradores para armazenar 105 bits ao todo.

Em seguida, foi definido como seria feita a seleção do conjunto de dados que seriam passados para linhas e colunas da matriz, exibindo assim a condição do lote.

4.4 Exibição dos caracteres

Para fazer a seleção e posteriormente a exibição do caractere, era necessário em princípio conhecer qual era a condição do lote. E a partir disso, passar essa informação para variável de seleção do multiplexador escolher qual imagem seria apresentada na matriz. Por exemplo, se o lote estivesse aceito a variável de seleção iria ser 100, senão se, o lote estivesse comprometido a variável de seleção seria 010. Destarte, a imagem que seria exibida, depois de selecionada pelo multiplexador, era armazenada em uma variável. Esta quando solicitada iria exibir a imagem referente a condição do lote. De forma que seriam transferidas as informações das colunas referentes às saídas das colunas e as saídas das linhas sendo controladas por um contador, que iria indicar os valores que cada linha deveria assumir.

Destarte, foi utilizado um contador de 3 bits, com a finalidade de indicar qual era a posição do conjunto de colunas armazenado na imagem, que deveria ser passado para as saídas do circuito referentes às colunas naquele momento. Assim como qual linha associada aquele conjunto de colunas deveria estar em nível lógico ALTO. Por exemplo, se o contador valesse 1, o conjunto de colunas a serem exibidos seria o que estava na posição 1 da imagem selecionada e a linha que seria acesa também seria a 1. Sendo acrescentado uma unidade ao contador no intervalo de 1 kHz. Portanto, a cada 1 kHz seria exibido um conjunto de colunas da imagem. Que como falado anteriormente, iria proporcionar o efeito visual da imagem estática na tela, indicando assim a condição do lote.

Posto isso, para concluir o problema faltava realizar o deslocamento do caractere. O detalhamento desse requisito vai ser apresentado na seção a seguir.

4.5 Deslocamento dos caracteres

Como citado na seção referente a fundamentação teórica, foram utilizados registradores de deslocamento para realizar o deslocamento do caractere, este que indicaria a condição do lote. Sendo assim, o registrador de deslocamento utilizado foi o serial

paralelo, de 5 bits. Onde cada bit representaria o conjunto de colunas que deveria ser deslocado.

Destarte, o registrador foi utilizado de forma que o primeiro conjunto de bits a ser deslocado seria os bits referentes à primeira coluna da imagem, já os outros bits iriam ser deslocados em seguida. Nesse sentido, a primeira saída paralela do registrador foi atribuída a última linha da matriz, referente aos primeiros bits da coluna a serem deslocados. Já a segunda saída paralela do registrador foi atribuída a penúltima linha da imagem, e assim sucessivamente até chegar a última saída paralela do registrador que seria acoplada a primeira linha e coluna referente ao caractere. Assim sendo, na frequência de 1 Hz (1 segundo) era realizado o deslocamento dos bits referentes às colunas. Implicando dessa forma, um efeito visual de que a imagem estaria se deslocando para cima a cada 1 segundo.

4.6 Recursos utilizados da CPLD

O circuito total contém 20 pinos, 7 de entrada e 13 de saídas. Os pinos de entrada foram as chaves referentes aos sensores e a entrada do *clock*. Já os pinos de saída foram 12 pinos para a matriz de LEDs e 1 pino para o alarme.

Na síntese do sistema no ambiente de desenvolvimento Quartus, ao implementar de forma isolada o módulo controlador da matriz, foram utilizados 129 LEs, ou seja, um total de 54% dos LEs disponíveis na placa. Já quando o módulo foi integrado ao circuito como um todo, a quantidade de LEs diminuiu, apresentando um total de 49 LEs para todo o circuito. Sendo 25 no modo normal e 24 no modo aritmético. Além disso, 5 LEs utilizaram 4 entradas da LUT, 16 utilizaram 3, 25 utilizaram 2 e 3 utilizaram 1.

4.7 Testes

O ambiente de desenvolvimento Quartus II na versão 20.1, dispõe de aplicações integradas que permitem o desenvolvimento e execução de rotinas de testes, possibilitando, dessa forma, efetuar os testes para as verificações de funcionamento do sistema desenvolvido.

Os testes foram efetuados por meio da ferramenta Simulation Waveform Editor. Foram feitas verificações do funcionamento tanto do módulo Controlador da matriz de LEDs de maneira isolada, quando todo sistema como um todo. Dessa forma pôde ser constatado o funcionamento do módulo e de sua integração com o restante dos módulos presentes no sistema.

4.7.1 Teste da multiplexação da matriz

Com o intuito de garantir que o novo módulo foi desenvolvido da maneira adequada, inicialmente foi efetuado o teste do procedimento de multiplexação (varredura) da matriz, explicitando que a complicação encontrada na utilização da matriz de LEDs foi

sanada. Nesse teste, os resultados esperados são: a cada pulso de *clock*, iniciando do bit mais significativo, cada um dos bits da linha deve assumir nível lógico baixo, configurando assim em seguida, uma ativação da respectiva linha. Já o conjunto de bits referentes às colunas devem apresentar, a cada pulso de *clock*, níveis lógicos altos e baixos a depender da mensagem a ser exibida.

No caso da mensagem para o estado de lote aceito, onde a exibição da matriz deve ser da letra A, o conjunto de bits das colunas a cada pulso de *clock* devem ser: 01110, 01010, 01110, 01010 e 01010. Já para o lote comprometido, onde busca-se apresentar a letra C na matriz, o conjunto de bits das colunas a cada pulso do *clock* devem ser: 01110, 01000, 01000, 01000 e 01110. Enquanto que para o estado do lote rejeitado, em que a matriz de LEDs deve exibir a letra R, o conjunto de bits das colunas devem ser: 01110, 01010, 01100, 01010 e 01110. Além disso, para todos os estados, após os conjuntos de bits expostos, devem vir dois conjuntos de bits 00000. Os testes para as condições de lote aceito, comprometido e rejeitado, podem ser visualizados na figura 3, na figura 4 e figura 5, respectivamente.

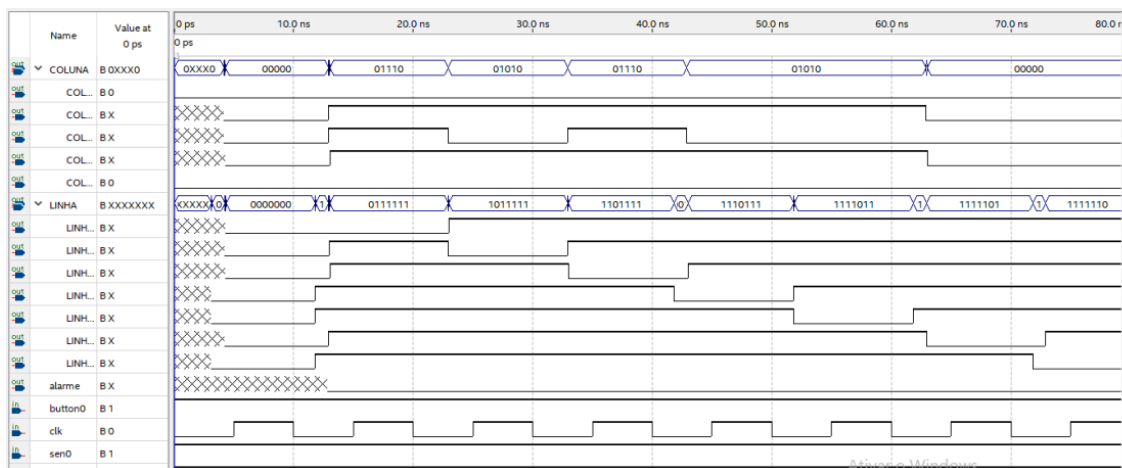


Figura 3. Teste temporal da multiplexação para o estado de lote aceito.

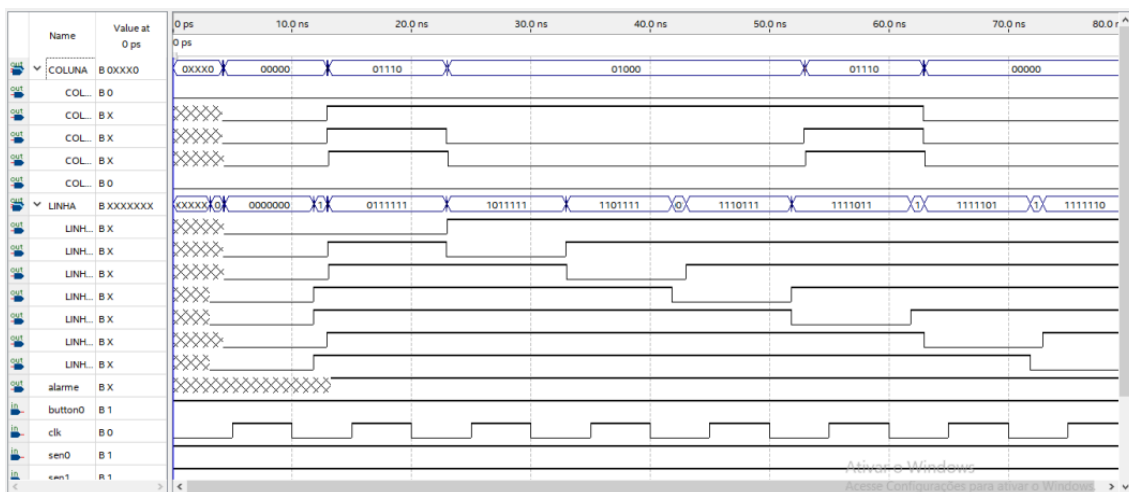


Figura 4. Teste temporal da multiplexação para o estado de lote comprometido.

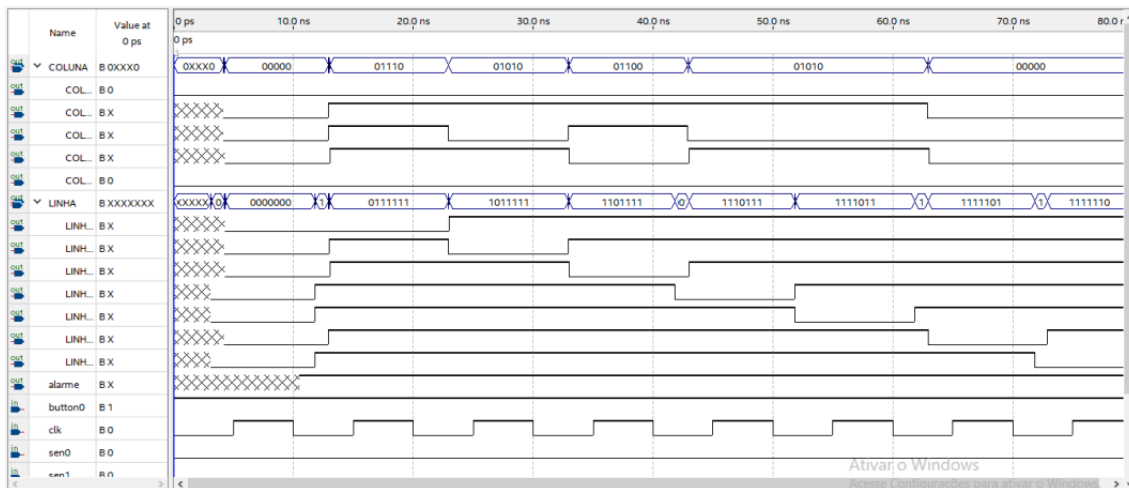


Figura 5. Teste temporal da multiplexação para o estado de lote rejeitado.

Os testes efetuados de forma temporal, possibilitam visualizar que o processo de varredura da matriz em todas as condições de lote abrangentes pelo sistema apresenta o resultado esperado. Além disso, é possível notar que o maior atraso referente às saídas para a matriz de LEDs é de 4,2 ns. Os atrasos se mostraram iguais para todas as condições de lote analisados pelo sistema. Ademais, é possível perceber a presença de “glitches” proporcionados por conta desses atrasos presentes no sistema. É importante salientar que nesses testes foi utilizado o *clock* base da FPGA, ou seja, 50 MHz. Isso porque, se fosse utilizado o *clock* de 1 kHz não seria possível visualizar as saídas (linhas e colunas), mesmo aumentando a grade, visto que seria necessário um tempo de simulação de 1 ms.

4.7.2 Teste da animação da mensagem

Além do teste da multiplexação foi necessário efetuar o teste do procedimento que seria responsável por efetuar o efeito de animação da mensagem. Nesse caso, o resultado desejado seria: após sete bordas de *clock* haveria um deslocamento, ou seja, o primeiro conjunto de bits referentes as colunas que foram ativos na primeira borda de clock após a iniciação do circuito, devem passar a serem os últimos ativos e os segundos ativos passam a serem os primeiros. Desse modo, todos os outros conjuntos são ativos em uma “posição” a menos do que nos primeiros pulsos.

Esse deslocamento deve ocorrer após sete bordas de clock porque, assim como no teste do processo de varredura da matriz, o *clock* utilizado foi de 50 MHz para a varredura e para o efeito de animação da mensagem de 7,14 MHz. Tal decisão ocorreu justamente para que fosse possível visualizar todo o processo nas simulações. Visto que caso fossem utilizados os clock de 1 kHz e de 1 Hz, que são efetivamente os *clock* que o circuito deve dispor, faria-se necessário um tempo de simulação superior a 1 segundo para visualizar a animação. O teste funcional da animação pode ser visualizado na figura 6.

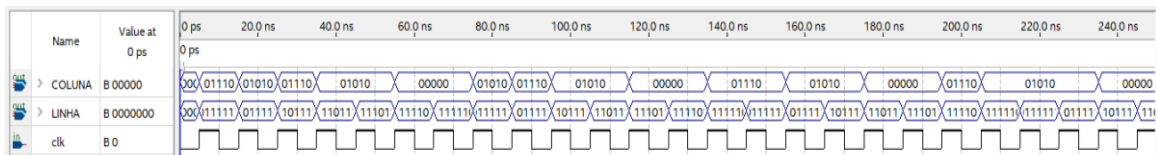


Figura 6. Teste funcional da exibição da animação para o estado de lote aceito.

O teste funcional da exibição da animação possibilita verificar que tanto o procedimento para execução da animação quanto de varredura estão funcionando.

O teste foi exibido somente para o estado de lote aceito, pois verificou-se o comportamento análogo em relação às outras situações do lote.

Não foram expostas simulações temporais para o caso isolado do deslocamento referente ao caractere, pois os atrasos dessa simulação podem ser visualizados no teste do circuito completo, que vai ser detalhado abaixo.

4.7.3 Teste do sistema completo

Além dos testes individuais, foi efetuado o teste do circuito completo, com a integração de todos os módulos. Neste teste, entra em ação o processo de divisão de frequência, ou seja, a frequência utilizada para a exibição e o deslocamento do caractere foram respectivamente 1 kHz e 1 Hz, não mais a frequência de 50 MHz utilizada nos testes anteriores. A simulação temporal do circuito completo pode ser visualizada na figura 7.

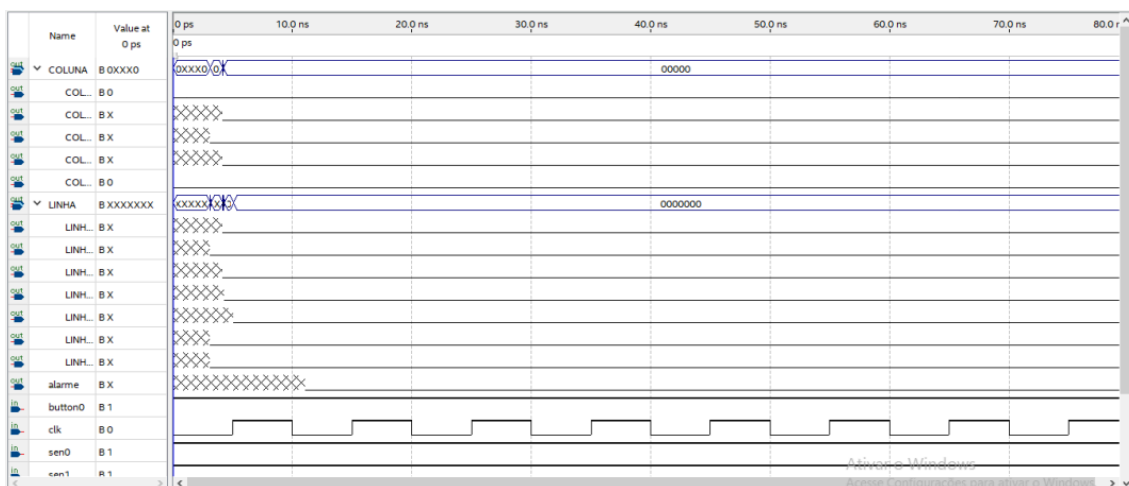


Figura 7. Teste temporal do circuito completo para o estado de lote aceito.

Como as frequências utilizadas para esse teste foram muito menor do que a do clock do kit de desenvolvimento, não é possível visualizar o início do processo de multiplexação da matriz e nem o deslocamento, pois seria necessário um tempo de simulação superior a 1 segundo, o que se mostrou inviável por meio da ferramenta de testes do Quartus. Por outro lado, ainda assim é possível visualizar os atrasos para as

saídas das linhas e das colunas da matriz, sendo o maior atraso das linhas 5,04 ns e o maior atraso das colunas 4.2 ns.

5. Conclusão

O circuito foi desenvolvido de forma que atende ao requisito principal do problema de animar o caractere. Entretanto, alguns pontos poderiam ser melhorados. Principalmente no que diz a respeito ao armazenamento das informações nos registradores, que como descrito acima, foram utilizados para armazenar as imagens referentes aos lotes.

A forma de armazenamento dos bits referentes a imagem do lote, poderia ser mais otimizada, visto que existem conjuntos de bits referentes às colunas da matriz que não estão sendo utilizados, como por exemplo a coluna 1 e 5. Isso porque, o alfabeto utilizado foi o 3x5. Sendo assim, é necessário apenas a utilização de 3 colunas para exibir um caractere. Portanto, uma quantidade menor de recursos, mais precisamente de Elementos Lógicos (LEs), seriam utilizados da FPGA.

Por fim, a execução dos testes por meio de software ratificou o funcionamento do módulo modificado e de sua integração com os outros módulos do sistema. De uma maneira geral, seria recomendado a execução dos testes também com os dispositivos físicos referenciados no projeto, com o intuito de garantir uma melhor confiabilidade dos resultados obtidos. Contudo, com a presente situação pandêmica, não foi possível ter acesso aos equipamentos necessários de forma física para efetuar esse tipo de teste.

6. Referências

FLOYD, Thomas L. **Sistemas Digitais: Fundamentos e aplicações**. 9. ed. Porto Alegre: Bookman, 2007.

FONSECA FILHO, Clézio. **História da computação**: o caminho do pensamento e da tecnologia. Porto Alegre: Edipucrs, 2007. 205 p.

UEFS. **Manual do Kit LEDS-CPLD**. Rev. 1.0. (Adaptado).