**11.1 Введение**

Основной целью контроллера с расширенным прямым доступом к памяти (EDMA3) является обслуживание программируемых пользователем передач данных между двумя конечными точками подчиненного устройства с привязкой к памяти.

Типичное использование включает, но не ограничивается следующим:

• Обслуживание программно управляемых передач пейджинга (например, передачи из внешней памяти, такой как DDR2 во внутреннюю память устройства).

• Обслуживание периферийных устройств, управляемых событиями, таких как последовательный порт.

• Выполнение сортировки или извлечения подкадров различных структур данных.

• Выгрузка данных из ЦП основного устройства.

Контроллер EDMA3 состоит из двух основных блоков:

• Контроллер канала EDMA3 (EDMA3CC).

• Контроллер (ы) передачи EDMA3 (EDMA3TC).

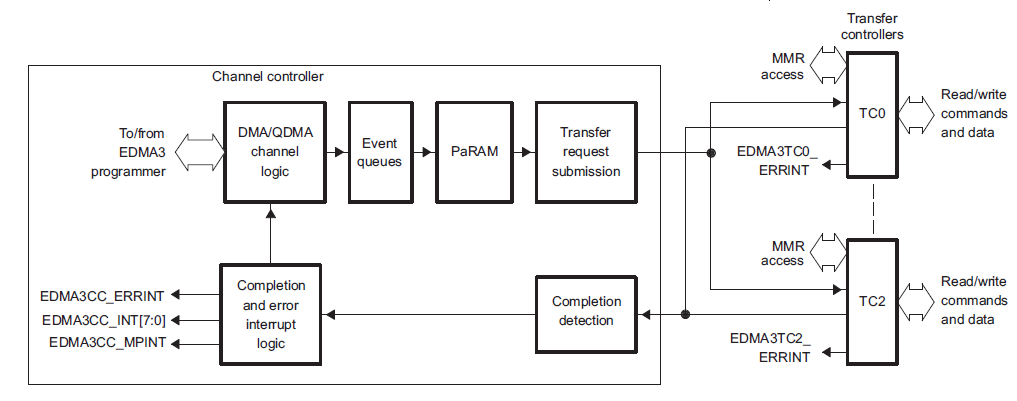
Контроллер канала EDMA3 служит пользовательским интерфейсом для контроллера EDMA3. EDMA3CC включает в себя параметрическое ОЗУ (PaRAM), регистры управления каналами и регистры управления прерываниями. EDMA3CC служит для определения приоритетности входящих запросов или событий программного обеспечения с периферийных устройств и передачи запросов (TR) к контроллеру передачи.

Контроллеры передачи EDMA3 подчиняются контроллеру канала EDMA3, который отвечает за пермещение данных. Контроллер передачи выдает команды чтения/записи на адреса источника и назначения которые запрограммированы для данной передачи. Операция прозрачна для пользователя.

**11.1.1 Блок-схема контроллера EDMA3**

На рис. 11-1 показана блок-схема контроллера EDMA3.

**Рис. 11-1. Блок-схема контроллера EDMA3**



**11.1.2 Обзор стороннего канального контроллера (TPCC)**

**11.1.2.1 Характеристики TPCC**

Общие характеристики модуля TPCC:

• До 64 каналов DMA

- Каналы, инициируемые:

• Синхронизация событий

• Ручная синхронизация (запись CPU в «Event Set Register»)

• Синхронизация цепочки (завершение одной цепочки передачи к следующей)

- Параметризуемая поддержка программируемого преобразования канала DMA в PaRAM

• До 8 каналов QDMA

- Каналы QDMA запускаются автоматически при записи в PaRAM

- Поддержка программируемого преобразования канала QDMA в PaRAM

• До 64 входов событий

• До 8 прерываний для поддержки многоядерных процессоров

• До 256 записей PaRAM

- Каждая запись PaRAM может использоваться как запись DMA (до 64), запись QDMA (до 8) или Link Entry (оставшиеся)

• 8 уровней приоритета для отображения приоритета CC/TC относительно приоритета других ведущих устройств в системе.

• До 3 очередей событий

• 16 записей о событиях в очереди событий

• Поддерживает три размера передачи

- A-синхронизированные передачи - по одному измерению на событие

- AB-синхронизированные передачи - два измерения, обслуживаемые на событие

- Независимые индексы на источнике и месте назначения

- Не поддерживает прямую передачу 3D передачи в ТК

- Функция цепочки позволяет передавать 3D на основе одного события

• Режимы адресации инкрементной передачи и передачи FIFO (функция TC)

• Механизм связывания позволяет автоматически обновлять PaRAM Entry

• Передача сигналов завершения между TC и CC для формирования цепочки и прерываний.

• Программируемое назначение приоритета каналу TC.

• Proxied Memory Protection для отправки TR

• Параметризуемая поддержка Active Memory Protection для доступа к PaRAM и регистрам.

• Водяные знаки очереди

• Обнаружение пропущенных событий

• Запись ошибок и состояния для облегчения отладки

• Домен Single Clock для всех интерфейсов

• Параметризуемое количество интерфейсов Write Completion (до 8) (задается количество каналов TC)

• Генерация событий AET

**11.1.2.2 Неподдерживаемые функции TPCC**

Это устройство не поддерживает генерацию событий AET, так как выход не подключен.

Это устройство не использует глобальное прерывание завершения. Поддерживается только региональные прерывания завершения.

Канальный контроллер поддерживает только 4 области защиты памяти 0-3.

Канальный контроллер поддерживает только 4 теневых области 0-3.

Только 2 прерывания завершения области подключены на системном уровне. Для получения дополнительной информации см. таблицу 10-1.

Поддерживаются только 256 записей PaRAM.

Поддерживаются только 3 очереди событий.

**11.1.3 Обзор стороннего контроллера передачи данных (TPTC)**

**11.1.3.1 Функции TPTC**

Модуль TPTC включает следующие функции:

• До восьми независимых каналов

• Модель использования управления внешними событиями (TPCC)

• Чтение и запись главных портов на канал 64- или 128-битной конфигурации.

• Параметризуемый размер FIFO

• До четырех запросов на трансфер в полете

• Защита прокси-памяти для передачи данных

• Программируемые уровни приоритета (до 8)

• Возможность фонового программирования

• Поддерживает двухмерные передачи с независимыми индексами по источнику и назначению.

• Поддержка инкрементных или FIFO-режимов передач

• Поддержка прерываний и ошибок

• Один домен синхронизации для всех интерфейсов

**11.1.3.2 Неподдерживаемые функции TPTC**

TPTCx поддерживает 512-байтовый размер FIFO.

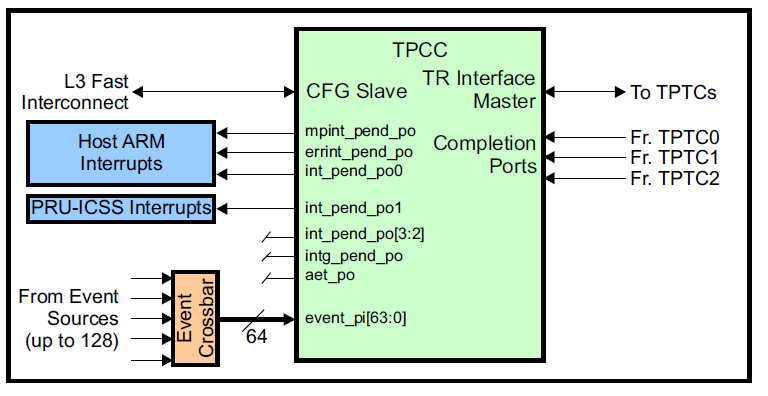
**11.2 Интеграция**

**11.2.1 Интеграция сторонних контроллеров каналов (TPCC)**

Это устройство использует периферийное устройство TPCC для управления сторонними каналами передачи (TPTC).

Интеграция TPCC показывает интеграцию модуля TPCC.

**Интеграция TPCC**



**11.2.1.1 Атрибуты связности TPCC**

Общие характеристики связности TPCC приведены в таблице 11-1.

**Таблица 11-1. Атрибуты связности TPCC**

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power domain | Peripheral Domain |
| Clock domain | PD\_PER\_L3\_GCLK |
| Reset signals | PER\_DOM\_RST\_N |
| Idle/Wakeup signals | Smart Idle |
| Interrupt request | 4 Regional Completion Interrupts:  int\_pend\_po0 (EDMACOMPINT) – to MPU Subsystem  int\_pend\_po1 (tpcc\_int\_pend\_po1) – to PRU-ICSS  Int\_pend\_po[3:2] - unused  Error Interrupt:  errint\_po (EDMAERRINT) – to MPU Subsystem  Memory Protection Error Interrupt:  mpint\_p0 (EDMAMPERR) – to MPU Subsystem |
| DMA request | none |
| Physical address | L3 Fast slave port |

**1.2.1.2 Управление синхросигналами и сбросом TPCC**

TPCC работает от одного тактового генератора и работает с L3\_Fast тактовой частотой.

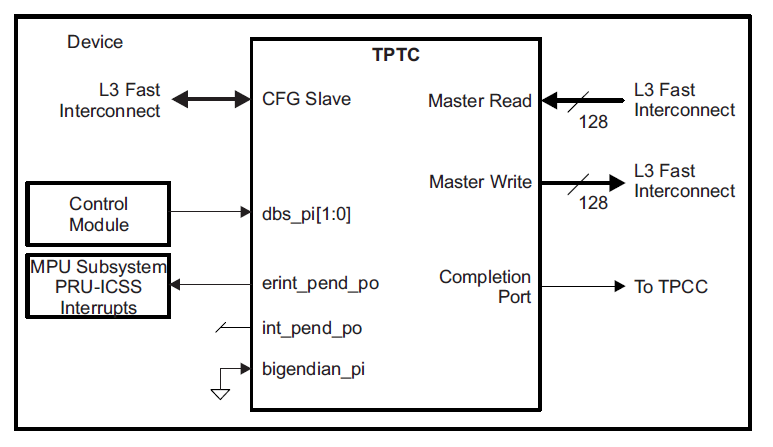
**Таблица 11-2. Синхросигналы TPCC**

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| tpcc\_clk\_pi  Interface / Functional clock | 200 MHz | CORE\_CLKOUTM4 | pd\_per\_l3\_gclk  From PRCM |

**11.2.2 Интеграция стороннего контроллера передачи данных (TPTC)**

В этом устройстве используются три периферийных устройства TPTC (TC0-TC2; TC3 не поддерживается) для выполнения EDMA передачи между ведомыми периферийными устройствами. Подача запросов на передачу в TPTC контролируется TPCC. Рис. ниже показывает интеграцию модулей TPTC

**Интеграция TPTC**



**11.2.2.1 Атрибуты связности TPTC**

Общие атрибуты связности для TPTC показаны в таблице 11-3.

**Таблица 11-3. Атрибуты связности TPTC**

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power domain | Peripheral Domain |
| Clock domain | PD\_PER\_L3\_GCLK |
| Reset signals | PER\_DOM\_RST\_N |
| Idle/Wakeup signals | Standby  Smart Idle |
| Interrupt request | Error interrupt per instance  erint\_pend\_po (TCERRINTx) – to MPU Subsystem and PRUICSS  (tptc\_erint\_pend\_po, TPTC0 only) |
| DMA request | none |
| Physical address | L3 Fast slave port |

**11.2.2.2 Управление тактовыми сигналами и сбросом TPTC**

TPTC работает от одного тактового генератора и работает с L3\_Fast тактовой частотой.

**Таблица 11-4. Тактовые сигналы TPTC**

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| tptc\_clk\_pi  Interface / Functional clock | 200 MHz | CORE\_CLKOUTM4 | pd\_per\_l3\_gclk  From PRCM |

**11.2.2.3 Список выводов TPTC**

Модуль TPTC не содержит контактов внешнего интерфейса.

**11.3 Функциональное описание**

В этой главе рассматривается архитектура контроллера EDMA3.

**11.3.1 Функциональный обзор**

**11.3.1.1 Контроллер канала EDMA3 (EDMA3CC)**

На рисунке 11-2 показана функциональная блок-схема контроллера EDMA3 канала (EDMA3CC).

Основные блоки EDMA3CC:

• Параметр RAM (PaRAM): PaRAM поддерживает наборы параметров для параметров канала и параметров link наборы. Необходимо написать PaRAM с контекстом передачи для нужных каналов и link набором параметров. EDMA3CC обрабатывает наборы на основе события триггера и отправляет запрос на передачу (TR) в контроллер передачи.

• EDMA3 регистры обработки событий и прерываний: Позволяют сопоставлять события с наборами параметров, активизация/деактивизация событий, активизация/деактивизация состояний прерывания и сброс прерываний.

• Обнаружение завершения: Блок обнаружения завершения обнаруживает завершение передач EDMA3TC и/или ведомых периферийных устройств. При необходимости можно использовать завершение переносов для запуска новых переносов по цепочке или утверждать прерывания.

• Очереди событий: Очереди событий формируют интерфейс между логикой обнаружения событий и передачей логики отправки запроса.

• Регистры защиты памяти: Регистры защиты памяти определяют доступы (уровень привилегий и запросчиков (и), которым разрешен доступ к ракурсу (ам) теневой области канала DMA и областям PaRAM.

Другие функции включают следующее:

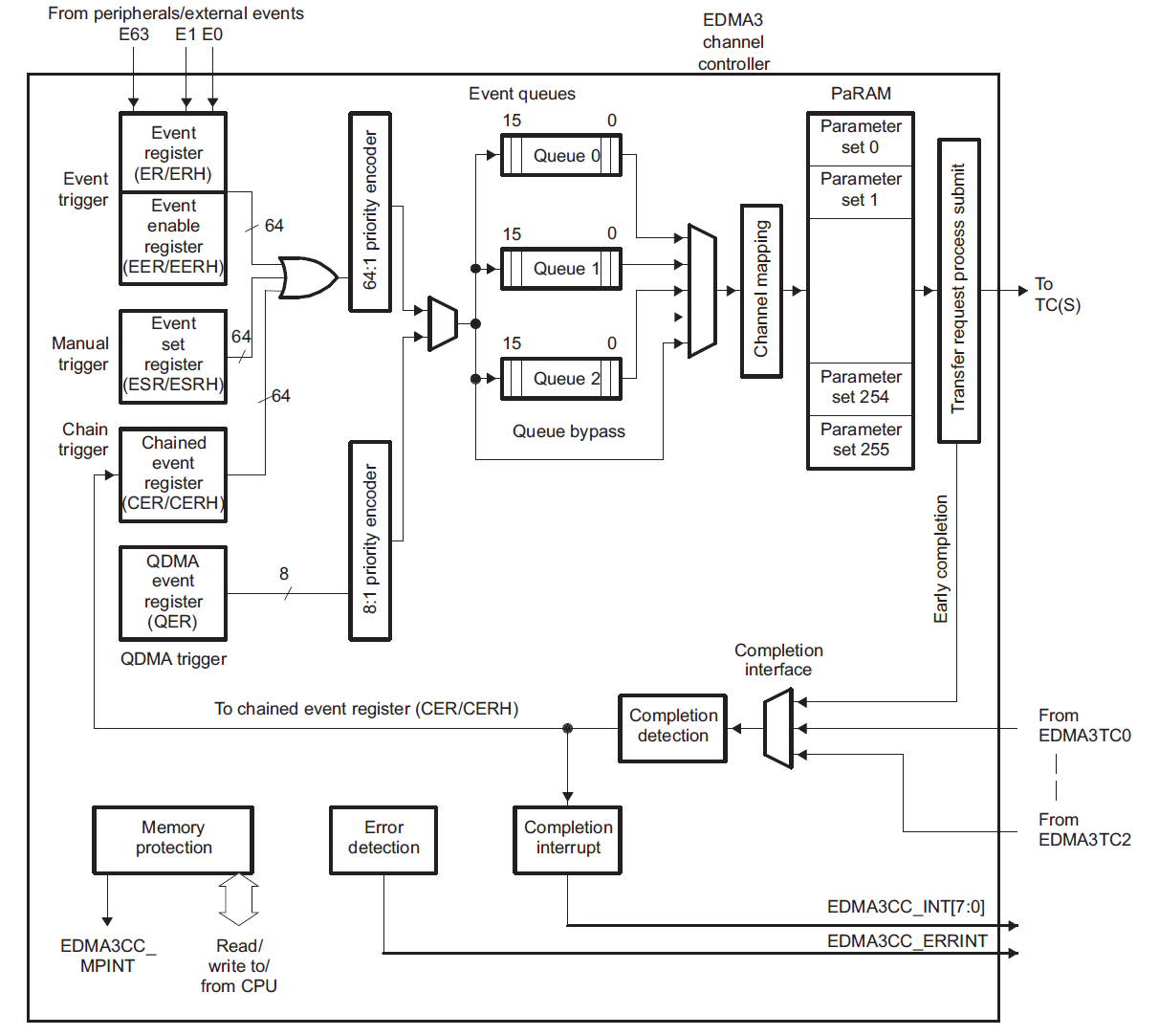
• Региональные регистры: Региональные регистры позволяют назначать ресурсы DMA (каналы DMA и прерывания) в уникальные регионы, которыми владеют разные EDMA3 программисты (например, ARM).

• Регистры отладки: Регистры отладки обеспечивают видимость отладки, предоставляя регистры для чтения состояния очереди, состояние контроллера и состояние пропущенного события.

EDMA3CC включает в себя два типа каналов: Каналы DMA (64 канала) и каналы QDMA (8 каналов).

Каждый канал связан с данным контроллером очереди/передачи событий и с данным набором PaRAM. главное, что отличает канал DMA от канала QDMA, - это метод, который система использует для запуска передачи См. раздел 11.3.4.

**Рис. 11-2. Блок-схема контроллера канала EDMA3 (EDMA3CC)**



Для инициирования передачи необходимо событие триггера. Триггерное событие может быть вызвано внешним событием, вручную, записью в регистр набора событий или в цепочку событий для каналов DMA. Автозапуск каналов QDMA происходит автоматически при записи в слово триггера, которое программируется на соответствующем наборе PaRAM. Все такие триггерные события регистрируются в соответствующих регистрах после распознавания.

После распознавания события триггера соответствующее событие помещается в очередь событий EDMA3CC. Назначение каждого канала DMA/QDMA очереди событий является программируемым. Каждая очередь – глубиной в16 событий; Таким образом, одновременно в EDMA3CC можно помещать до 16 событий (в одной очереди). Дополнительные ожидающие события, которые сопоставлены с полной очередью, ставятся в очередь, когда пространство очереди событий становится доступно. См. раздел 11.3.11.

Если события на разных каналах обнаруживаются одновременно, события ставятся в очередь на основе фиксированной схемы арбитража приоритетов с каналами DMA, имеющими более высокий приоритет, чем каналы QDMA. Среди двух групп каналов самый высокий приоритет имеет канал с самым низким номером.

Каждое событие в очереди событий обрабатывается в порядке FIFO. При достижении начала очереди PaRAM, связанный с этим каналом, считывается для определения деталей передачи. Логика предоставления ТР оценивает действительность TR и несет ответственность за подачу действительного запроса на передачу (TR) в соответствующий EDMA3TC (на основе очереди событий в EDMA3TC, Q0 переходит в TC0, Q1переходит в TC1, а Q2 переходит в TC2). Для получения дополнительной информации см. раздел 11.3.3.

EDMA3TC получает запрос и отвечает за движение данных, как указано в передаче пакета запроса (TRP), другие необходимые задачи, такие как буферизация и обеспечение передачи происходят оптимальным образом везде, где это возможно. Для получения дополнительной информации о EDMA3TC см. раздел 11.3.1.2.

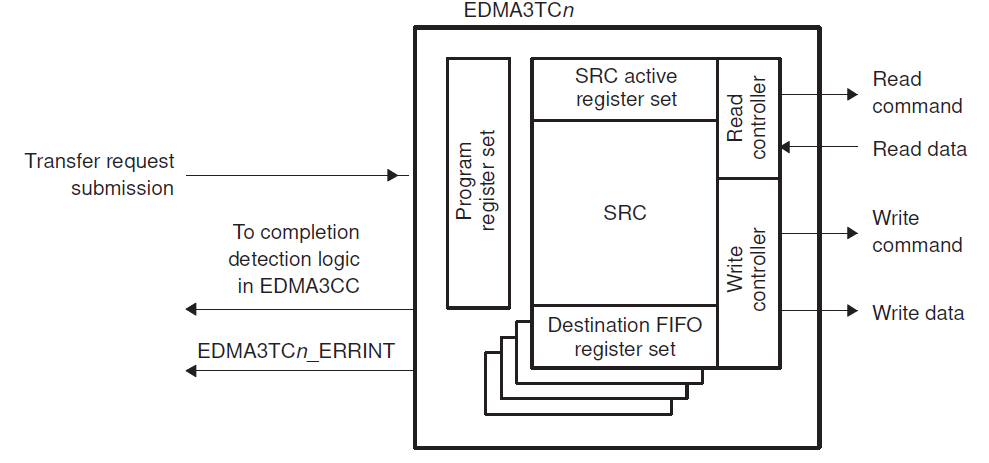
Если вы решили получить прерывание или подключиться к другому каналу по завершении текущей передачи, EDMA3TC сигнализирует о завершении в логике обнаружения завершения EDMA3CC, когда передача завершена. Вы можете альтернативно выбрать запуск завершения, когда TR покидает границу EDMA3CC, вместо того, чтобы ждать завершения всех передач данных. На основе настройки прерывания регистров EDMA3CC , логика генерации прерывания отвечает за генерацию прерывания EDMA3CC в ЦП. Для получения дополнительной информации см. раздел 11.3.5.

Кроме того, EDMA3CC также имеет логику обнаружения ошибок, которая вызывает генерацию прерывания ошибки на различные состояния ошибки (например, пропущенные события, превышение пороговых значений очереди событий и т.д.). Для большей информации об ошибках прерываний см. в разделе 11.3.9.4.

**11.3.1.2 Контроллер передачи EDMA3 (EDMA3TC)**

В разделе 11.3.9.4 приведена функциональная блок-схема контроллера передачи EDMA3 (EDMA3TC).

**Рис. 11-3. Блок-схема контроллера передачи EDMA3 (EDMA3TC)**



Основными блоками EDMA3TC являются:

• Набор регистров программ DMA: Набор регистров программ DMA хранит запросы на передачу, полученные от канального контроллера EDMA3 (EDMA3CC).

• Набор активных регистров источника DMA: Набор активных регистров источника DMA сохраняет контекст запроса на передачу DMA в контроллере чтения.

• Контроллер чтения: Контроллер чтения выдает команды чтения на адрес источника.

• Набор регистров FIFO назначения: набор регистров FIFO назначения (DST) хранит контекст передачи DMA запрос (ы) на передачу в контроллере записи.

• Контроллер записи: Контроллер записи выдает команды записи/записи данных на подчиненное устройство назначения.

• Данные FIFO: Данные FIFO существуют для хранения временных данных в полете.

• Интерфейс завершения: Интерфейс завершения отправляет коды завершения в EDMA3CC, когда передача завершается и генерирует прерывания и связанные события (также см. Раздел 11.3.1.1 для получения дополнительной информации информация о передаче отчетности о завершении).

Когда EDMA3TC находится в состоянии ожидания и принимает свое первое TR, набор регистров программы DMA принимает TR, где он осуществляет немедленный переход к исходному активному набору DMA и целевому регистру FIFO. Второе TR (если ожидает от EDMA3CC) загружается в набор программ DMA, гарантируя, что он может начаться, как только

завершиться активная передача. Как только текущий активный набор исчерпан, TR загружается из программного регистра DMA в активный регистр источника DMA, а также в соответствующую запись в целевом наборе регистров FIFO.

Контроллер чтения выдает команды чтения, регулируемые правилами фрагментации команд и оптимизацией. Они выдаются только в том случае, если в FIFO данных имеется свободное место для считывания данных. Когда достаточные данные находятся в FIFO данных, контроллер записи снова начинает выдавать команду записи после фрагментации и оптимизации команд. Для получения дополнительной информации о фрагментации команд и оптимизации см. раздел 11.3.12.1.1.

В зависимости от количества записей контроллер чтения может обрабатывать до двух или четырех запросов на передачу перед местом назначения при условии объема свободных данных FIFO.

**11.3.2 Виды EDMA3 передачи**

Перенос EDMA3 всегда определяется с точки зрения трех измерений. На рис. 11-4 показаны три аналитики, используемые EDMA3 переводами. Эти три измерения определяются как:

• 1-е измерение или массив (A): 1-е измерение в передаче состоит из смежных байтов ACNT.

• 2-е измерение или кадр (B): 2-е измерение в передаче состоит из массивов BCNT из байтов ACNT.

Каждый перенос массива во 2-м измерении отделяется друг от друга индексом, запрограммированным с помощью SRCBIDX или DSTBIDX.

• 3-е измерение или блок (C): 3-е измерение в передаче состоит из кадров CCNT массивов BCNT байтов ACNT. Каждая передача в 3-м измерении отделена от предыдущей индексом программируется с помощью SRCCIDX или DSTCIDX.

Следует отметить, что опорная точка для индекса зависит от типа синхронизации. Объем данных передается при получении триггера/события синхронизации управляется типами синхронизации (бит SYNCDIM в OPT). Из трех измерений поддерживаются только два типа синхронизации: А-синхронные передачи и AB-синхронизированные передачи.

**Рис. 11-4. Определение ACNT, BCNT и CCNT**



**11.3.2.1 A-Синхронизированные передачи**

При А-синхронизированной передаче каждое EDMA3 событие синхронизации инициирует передачу 1-го измерения ACNT байт или один массив байт ACNT. Другими словами, каждое событие/TR-пакет передает информацию о передаче только для одного массива. Таким образом, события BCNT × CCNT необходимы для полного обслуживания набора PaRAM.

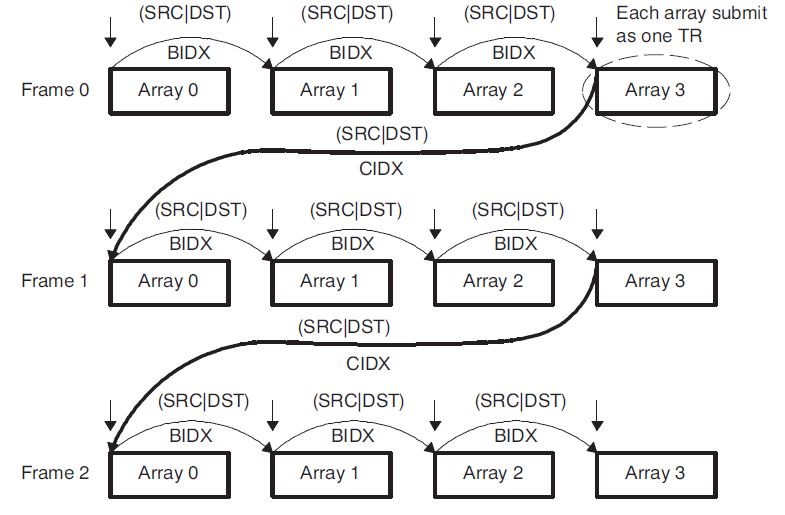
Массивы всегда разделены SRCBIDX и DSTBIDX, как показано на рис. 11-5, где адрес массива N равен начальному адресу массива N - 1 плюс источник (SRC) или место назначения (DST) BIDX.

Кадры всегда разделяются SRCCIDX и DSTCIDX. Для А-синхронизированных передач, после исчерпания кадра, адрес обновляется путем добавления SRCCIDX/DSTCIDX к начальному адресу последнего массива в кадре. Как показано на рис. 11-5, SRCCIDX/DSTCIDX - это разница между началом кадра 0 массива 3 к началу кадра 1 Массива 0.

На фиг.11-5 показана А-синхронизированная передача 3 (CCNT) кадров из 4 (BCNT) массивов из n (ACNT) байтов.

В этом примере в совокупности 12 событий синхронизации (BCNT × CCNT) исчерпывают набор PaRAM. См. Раздел 11.3.3.6 для сведении об обновлениях набора параметров.

**Рис. 11-5. A - синхронизированные передачи (ACNT = n, BCNT = 4, CCNT = 3)**



**11.3.2.2 AB-Синхронизированные передачи**

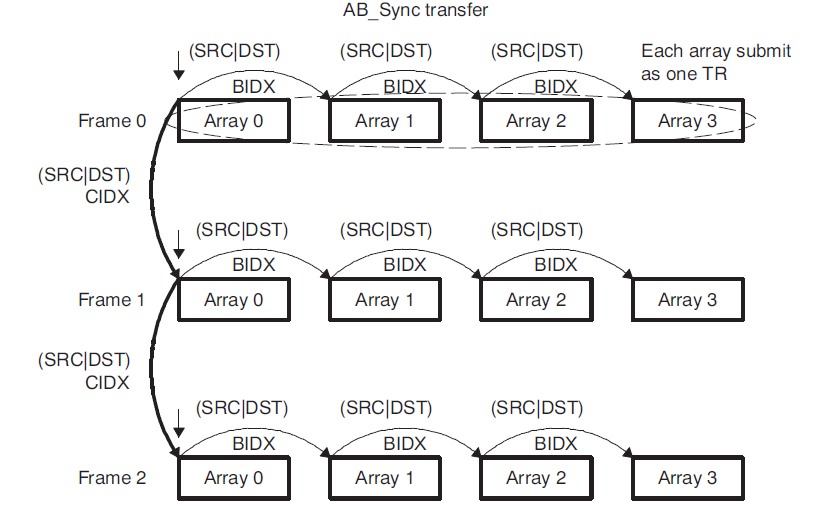
При AB-синхронизированной передаче каждое EDMA3 событие синхронизации инициирует передачу 2 измерений или одного кадра. Другими словами, каждое событие/TR-пакет передает информацию для одного полного кадра массивов BCNT байтов ACNT. Таким образом, события CCNT необходимы для полного обслуживания набора PaRAM.

Массивы всегда разделены SRCBIDX и DSTBIDX, как показано на рисунке 11-6. Кадры всегда разделенны SRCCIDX и DSTCIDX.

Обратите внимание, что для AB-синхронизированных передач после отправки TR для кадра обновление адреса добавьте SRCCIDX/DSTCIDX в начальный адрес начального массива в кадре. Это отличается от А-синхронизированных передач, где адрес обновляется путем добавления SRCCIDX/DSTCIDX к началу адрес последнего массива в кадре. См. раздел 11.3.3.6 для получения более подробной информации об обновлениях набора параметров.

На рисунке 11-6 показана AB-синхронизированная передача 3 (CCNT) кадров из 4 (BCNT) массивов из n (ACNT) байт. В этом примере всего 3 события синхронизации (CCNT) исчерпывают набор PaRAM; то есть всего 3 перевода из 4 массивов каждый завершает передачу.

**Рис. 11-6. AB-синхронизированные передачи (ACNT = n, BCNT = 4, CCNT = 3)**

****

*ПРИМЕЧАНИЕ: ABC-синхронизированные передачи напрямую не поддерживаются. Но может быть логически достигнуто путем организация цепочки между несколькими AB-синхронизированными передачами.*

**11.3.3 Параметр RAM (PaRAM)**

Контроллер EDMA3 представляет собой архитектуру на основе RAM. Контекст передачи (адреса источника/назначения, count, indexes, etc.) для каналов DMA или QDMA программируется в таблице параметров RAM в пределах EDMA3CC, называемый PaRAM. Таблица PaRAM разбита на несколько наборов PaRAM. Каждый набор PaRAM включает восемь четырехбайтовых записей набора PaRAM (всего 32 байта на набор PaRAM), который включает типичные параметры передачи DMA, такие как адрес источника, адрес назначения, счетчики передачи, индексы, варианты и т.д.

Структура PaRAM поддерживает гибкий пинг-понг, круговую буферизацию, цепочку каналов и автоматическую перезагрузку (связывание).

Содержимое PaRAM включает следующее:

• 256 комплектов PaRAM

• 64 канала, которые напрямую отображаются и могут использоваться в качестве канальных аппаратов или аппаратов QDMA, если они не используются для DMA каналы

• 64 канала остаются для канальных аппаратов или аппаратов QDMA

По умолчанию для всех каналов установлено значение 0 в PaRAM. Перед использованием они должны быть переотображены. Для более см. (регистры DCHMAP) и (регистры QCHMAP).

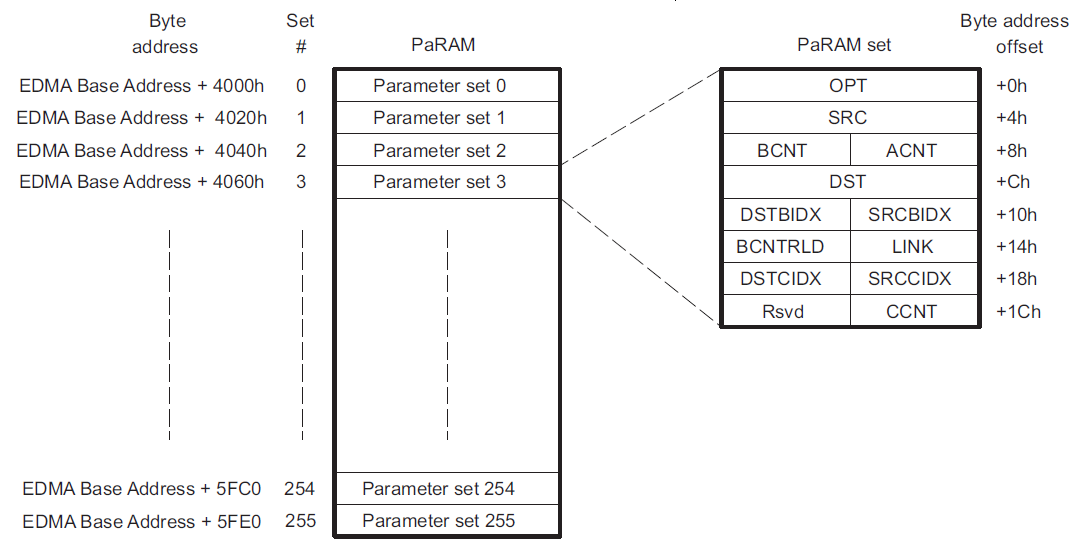
**Таблица 11-5. EDMA3 параметров RAM**

|  |  |  |
| --- | --- | --- |
| **PaRAM Set Number** | **Address** | **Parameters** |
| 0 | EDMA Base Address + 4000h to EDMA Base Address + 401Fh | PaRAM set 0 |
| 1 | EDMA Base Address + 4020h to EDMA Base Address + 403Fh | PaRAM set 1 |
| 2 | EDMA Base Address + 4040h to EDMA Base Address + 405Fh | PaRAM set 2 |
| 3 | EDMA Base Address + 4060h to EDMA Base Address + 407Fh | PaRAM set 3 |
| 4 | EDMA Base Address + 4080h to EDMA Base Address + 409F | PaRAM set 4 |
| 5 | EDMA Base Address + 40A0h to EDMA Base Address + 40BFh | PaRAM set 5 |
| 6 | EDMA Base Address + 40C0h to EDMA Base Address + 40DFh | PaRAM set 6 |
| 7 | EDMA Base Address + 40E0h to EDMA Base Address + 40FFh | PaRAM set 7 |
| 8 | EDMA Base Address + 4100h to EDMA Base Address + 411Fh | PaRAM set 8 |
| 9 | EDMA Base Address + 4120h to EDMA Base Address + 413Fh | PaRAM set 9 |
| ,,, | ,,, | ,,, |
| 63 | EDMA Base Address + 47E0h to EDMA Base Address + 47FFh | PaRAM set 63 |
| 64 | EDMA Base Address + 4800h to EDMA Base Address + 481Fh | PaRAM set 64 |
| 65 | EDMA Base Address + 4820h to EDMA Base Address + 483Fh | PaRAM set 65 |
| ,,, | ,,, | ,,, |
| 254 | EDMA Base Address + 5FC0h to EDMA Base Address + 5FDFh | PaRAM set 254 |
| 255 | EDMA Base Address + 5FE0h to EDMA Base Address + 5FFFh | PaRAM set 255 |

**11.3.3.1 PaRAM**

Каждый набор параметров PaRAM организован в восемь 32-битных слов или 32 байта, как показано на рис. 11-7 и описаны в таблице 11-6. Каждый набор PaRAM состоит из 16-битных и 32-битных параметров.

**Рис. 11-7. Набор PaRAM**



**Таблица 11-6. Описание параметров канала EDMA3**

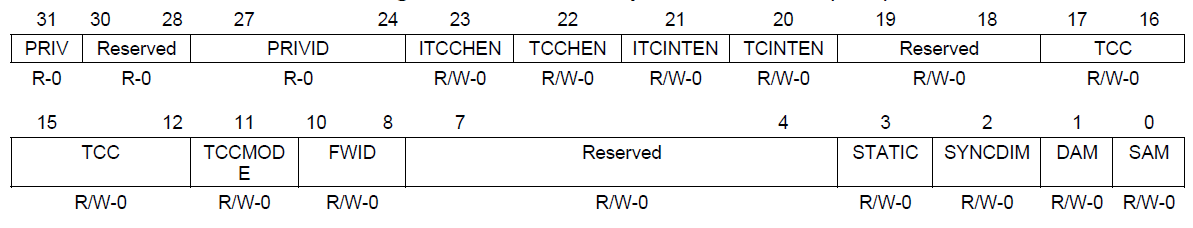
|  |  |  |  |
| --- | --- | --- | --- |
| **Offset Address**  **(bytes)** | **Acronym** | **Parameter** | **Description** |
| 0h | OPT | Channel Options | Параметры конфигурации передачи |
| 4h | SRC | Channel Source Address | Адрес байта, с которого передаются данные |
| 8h(1) | ACNT | Count for 1st Dimension | Значение без знака, указывающее количество смежных байтов  внутри массива (первое измерение переноса). Допустимые значения  диапазон от 1 до 65 535. |
| BCNT | Count for 2nd Dimension | Значение без знака, указывающее количество массивов в кадре,  где массив является байтами ACNT. Диапазон допустимых значений от 1 до  65 535 |
| Ch | DST | Channel Destination Address | Адрес байта, на который передаются данные |
| 10h(1) | SRCBIDX | Source BCNT Index | Значение со знаком, указывающее смещение адреса байта между  исходные массивы в кадре (2-е измерение). Допустимые значения  диапазон от -32 768 до 32 767. |
| DSTBIDX | Destination BCNT Index | Значение со знаком, указывающее смещение адреса байта между  массивы назначения в кадре (2-е измерение). Действительный  от -32 768 до 32 767. |
| 14h(1) | LINK | Link Address | Адрес PaRAM, содержащий набор PaRAM для связывания (копирование из), когда текущий набор PaRAM исчерпан. A  значение FFFFh указывает нулевую ссылку. |
| BCNTRLD | BCNT Reload | Значение счетчика, используемое для перезагрузки BCNT при BCNT  decrements to 0 (TR передается для последнего массива во 2-м  размер). Релевантно только для А-синхронизированных передач. |
| 18h(1) | SRCCIDX | Source CCNT Index | Значение со знаком, указывающее смещение адреса байта между  фреймы внутри блока (3-й размер). Диапазон допустимых значений  от -32 768 и 32 767.  A-синхронизированные передачи: Смещение байтового адреса от  начала последнего исходного массива в кадре до начало первого исходного массива в следующем кадре.  AB-синхронизированные передачи: Смещение байтового адреса от  начало первого исходного массива в кадре к начало первого исходного массива в следующем кадре. |
| DSTCIDX | Destination CCNT index | Значение со знаком, указывающее смещение адреса байта между  фреймы внутри блока (3-й размер). Диапазон допустимых значений  от -32 768 и 32 767.  A-синхронизированные передачи: Смещение байтового адреса от  начало последнего массива назначения в кадре до начало первого массива назначения в следующем кадре.  AB-синхронизированные передачи: Смещение байтового адреса от  начало первого массива назначения в кадре к начало первого массива назначения в следующем кадре. |
| 1Ch | CCNT | Count for 3rd Dimension | Значение без знака, указывающее количество кадров в блоке,  где кадр является массивом BCNT из байтов ACNT. Допустимые значения  диапазон от 1 до 65 535. |
| RSVD | Reserved | Зарезервировано. Всегда записывайте 0 в этот бит; записи 1 в этот бит  не поддерживается, и попытки сделать это могут привести к неопределенным  поведения. |

1. *Если OPT, SRC или DST - это слово триггера для передачи QDMA, то для этого поля требуется 32-битный доступ. TI также рекомендует выполнение только 32-битных доступов к параметру RAM для лучшей совместимости кода. Например, переключение endianness процессора меняет адреса 16-битных полей, но 32-битные доступы полностью избегают этой проблемы.*

**11.3.3.2 Поля ввода набора PaRAM EDMA3 канала**

11.3.3.2.1 Параметр опций канала (OPT) Параметр опций канала (OPT) показан на рис. 11-8 и описан в таблице 11-7.

**Рис. 11-8. Параметр опций канала (OPT)**



**Таблица 11-7. Описание полей параметров каналов (OPT)**

|  |  |  |  |
| --- | --- | --- | --- |
| **Bit** | **Field** | **Value** | **Description** |
| 31 | PRIV | 0 1 | Уровень привилегий (супервизор или пользователь) для хоста/CPU/DMA, запрограммировавшего этот аппарат PaRAM. Это  значение устанавливается со значением привилегии хозяина EDMA3 при записи любой части набора PaRAM.  Привилегии на уровне пользователя.  Привилегия уровня супервизора. |
| 30-28 | Reserved | 0 | Зарезервировано. Всегда записывайте 0 в этот бит; записи 1 в этот бит не поддерживаются, и попытки сделать это могут  приводят к неопределенному поведению. |
| 27-24 | PRIVID | 0-Fh | Идентификация привилегий для внешнего хоста/CPU/DMA, запрограммировавшего этот аппарат PaRAM. Это значение  устанавливается с помощью идентификационного значения привилегии хозяина EDMA3 при записи любой части набора PaRAM. |
| 23 | ITCCHEN | 0 1 | Включение цепочки завершения промежуточной передачи.  Цепочка завершения промежуточной передачи отключена.  Промежуточная передача полная цепочка включена.  Когда этот параметр активизирован, бит регистра связанных событий (CER/CERH) устанавливается для каждой промежуточной связанной передачи  завершение (после завершения каждого промежуточного TR в наборе PaRAM, за исключением окончательного TR в габор PaRAM). Бит (позиция), установленный в CER или CERH, является указанным значением TCC. |
| 22 | TCCHEN | 0 1 | Включение полной цепочки передачи.  Цепочка передачи отключена.  Передача полной цепочки включена.  При включении бит регистра связанных событий (CER/CERH) устанавливается на окончательное завершение связанной передачи (по завершении окончательного ТР в комплекте PaRAM). Бит (позиция), установленный в CER или CERH, является TCC указанное значение. |
| 21 | ITCINTEN | 0 1 | Разрешение прерывания завершения промежуточной передачи.  Прерывание завершения промежуточной передачи отключено.  Прерывание завершения промежуточной передачи включено.  При включении бит регистра ожидания прерывания (IPR/IPRH) устанавливается для каждой промежуточной передачи  завершение (после завершения каждого промежуточного TR в наборе PaRAM, за исключением окончательного TR в Набор PaRAM). Бит (позиция), установленный в IPR или IPRH, является указанным значением TCC. Для создания завершения для прерывания CPU должен быть установлен соответствующий бит IER [TCC ]/IERH [TCC]. |
| 20 | TCINTEN | 0 1 | Передача разрешения полного прерывания.  Прерывание завершения передачи отключено.  Передача полного прерывания включена.  Когда активизировано, бит ожидающего регистра прерывания (IPR/IPRH) устанавливается на завершение передачи (после  завершение окончательного TR в наборе PaRAM). Бит (позиция), установленный в IPR или IPRH, является значением TCC  указано. Для генерации прерывания завершения в CPU соответствующий бит IER [TCC ]/IERH [TCC]  должен быть установлен. |
| 19-18 | Reserved | 0 | Зарезервировано. Всегда записывайте 0 в этот бит; записи 1 в этот бит не поддерживаются, и попытки сделать это могут привести к неопределенному поведению. |
| 17-12 | TCC | 0-3Fh | Передать полный код. Этот 6-битовый код устанавливает соответствующий бит в регистре разрешения цепочки (CER [TCC] / CERH [TCC]) для цепочки или в регистре ожидания прерываний (IPR [TCC ]/IPRH [TCC]) для прерываний. |
| 11 | TCCMODE | 0  1 | Режим передачи полного кода. Указывает точку, в которой передача считается завершенной для цепочка и генерация прерываний.  Нормальное завершение: Передача считается завершенной после передачи данных.  Досрочное завершение: Передача считается завершенной после того, как EDMA3CC представит ТР EDMA3TC. TC может по-прежнему передавать данные при срабатывании прерывания/цепочки. |
| 10-8 | FWID | 0-7h  0  1h 2h 3h 4h 5h  6h-7h | Ширина FIFO. Применяется, если SAM или DAM установлен в режим постоянной адресации.  Ширина FIFO - 8 бит.Ширина  Ширина FIFO - 16 бит.  Ширина FIFO - 32 бита.  Ширина FIFO - 64 бита.  Ширина FIFO - 128 бит.  Ширина FIFO составляет 256 бит.  Зарезервировано. |
| 7-4 | Reserved | 0 | Зарезервировано. Всегда записывайте 0 в этот бит; записи 1 в этот бит не поддерживаются, и попытки сделать это могут  приводят к неопределенному поведению. |
| 3 | STATIC | 0   1 | Статический набор.  - Набор не является статическим. Набор PaRAM обновляется или связывается после отправки TR. Значение 0 должно быть используется для каналов DMA и для нефинансовых передач в связанном списке передач QDMA.  - Набор является статическим. Набор PaRAM не обновляется и не связывается после отправки TR. Значение 1 должно быть использовано для изолированных передач QDMA или для окончательной передачи в связанном списке передач QDMA. |
| 2 | SYNCDIM | 0  1 | Перенести измерение синхронизации.  A - синхронизировано. Каждое событие инициирует передачу одного массива байтов ACNT.  AB-синхронизировано. Каждое событие инициирует передачу массивов BCNT из байтов ACNT. |
| 1 | DAM | 0  1 | Режим адреса назначения.  Режим инкремента (INCR). Адресация назначения в пределах приращения массива. Назначение не является FIFO.  Режим постоянной адресации (CONST). Адресация назначения в пределах массива оборачивается достижение ширины FIFO. |
| 0 | SAM | 0  1 | Режим адреса источника.  - Режим инкремента (INCR). Адресация источника в пределах приращения массива. Источник не является FIFO.  - Режим постоянной адресации (CONST). Адресация источников в пределах массива оборачивается по достижении ширина FIFO. |

**11.3.3.2.2 Адрес источника канала (SRC)**

32-битный параметр адреса источника указывает начальный байт-адрес источника. Для SAM в режим приращения, EDMA3 не накладывает ограничений на выравнивание. Для SAM в постоянной адресации необходимо запрограммировать адрес источника для выравнивания по 256-битному адресу (5 LSB адрес должен быть равен 0). В случае нарушения этого правила EDMA3TC выдаст сигнал об ошибке. См. Раздел 11.3.12.3 для дополнительные детали.

**11.3.3.2.3 Адрес назначения канала (DST)**

32-битный параметр адреса назначения указывает начальный адрес в байтах. Для DAM в инкрементном режиме EDMA3 не накладывает ограничений на выравнивание. Для DAM в постоянной режим адресации, необходимо запрограммировать адрес назначения для выравнивания по 256-битному адресу (5 LSB адреса должны быть равны 0). В случае нарушения этого правила EDMA3TC выдаст сигнал об ошибке. Посмотрите Дополнительные сведения см. в разделе 11.3.12.3.

**11.3.3.2.4 Счет для 1-го измерения (ACNT)**

ACNT представляет число байтов в 1-м измерении передачи. ACNT составляет неподписанных 16 битов стоимость с действительными ценностями между 0 и 65 535. Поэтому максимальное количество байтов во множестве 65 535 байтов (64K – 1 байт). ACNT должен быть больше, чем или равным 1, чтобы TR был представлен EDMA3TC. Передачу с ACNT, равным 0, считают или пустой или фиктивной передачей. Пустышка или пустая передача генерирует код завершения в зависимости от параметров настройки битовых полей завершения в OPT.

Посмотрите Раздел 11.3.3.5 и Раздел 11.3.5.3 для получения дополнительной информации о фиктивных/пустых условиях завершения.

**11.3.3.2.5 Счет для 2-го измерения (BCNT)**

BCNT - 16-битное беззнаковое целое, которое определяет количество множеств длины ACNT. Для нормального операции, действительные значения для BCNT между 1 и 65 535. Поэтому максимальное количество множеств в структуре 65 535 (64K – 1 множество). Передачу с BCNT, равным 0, считают или пустым указателем или передачей-пустышкой. Фиктивная или пустая передача генерирует код завершения в зависимости от параметров настройки битовыч поля завершения в OPT.

Посмотрите Раздел 11.3.3.5 и Раздел 11.3.5.3 для получения дополнительной информации о фиктивных/пустых условиях завершения.

**11.3.3.2.6 Счет для 3-го измерения (CCNT)**

CCNT - 16-битное беззнаковое целое, которое определяет количество структур в блоке. Действительные значения для CCNT между 1 и 65 535. Поэтому максимальное количество структур в блоке 65 535 (64K – 1 структура).

Передачу с CCNT, равным 0, считают или пустой или фиктивной передачей. Фиктивная или пустая передача генерирует код завершения в зависимости от параметров настройки битовых полей завершения в OPT.

Значение CCNT 0 считают или пустой или фиктивной передачей. Посмотрите Раздел 11.3.3.5 и Раздел 11.3.5.3 для получения дополнительной информации о фиктивных/пустых условиях завершения.

**11.3.3.2.7 BCNT перезагрузка (BCNTRLD)**

BCNTRLD - 16-битнаое беззнаковая переменная, используемая, чтобы перезагрузить область BCNT в то время как последний массив ва

2-е измерение передан. Эта область только используется для передач A-synchronized. В этом случае, EDMA3CC уменьшает значение BCNT 1 на каждом подчинении TR. Когда BCNT достигает 0,

EDMA3CC уменьшает CCNT и использует стоимость BCNTRLD, чтобы повторно инициализировать стоимость BCNT.

Для передач AB-synchronized EDMA3CC представляет BCNT в TR и EDMA3TC декременты BCNT соответственно. Для передач AB-synchronized не используется BCNTRLD.

**11.3.3.2.8 Источник B индекс (SRCBIDX)**

SRCBIDX - знаковое значение 16 битов (2 дополнения с) используемый для модификации адреса источника между каждым массивом в 2-м измерении. Действительные ценности для SRCBIDX между –32 768 и 32 767. Это обеспечивает смещение адреса байта с начала источника выстраивает к началу следующего исходного множества. Это относится и к передачам A-synchronized и AB-synchronized. Некоторые примеры:

• SRCBIDX = 0000-й (0): никакое смещение адреса с начала массива к началу следующего массива. Все массивы прикреплены к тому же адресу начала.

• SRCBIDX = 0003-й (+3): смещение адреса с начала массива к началу следующего массива в структуре составляет 3 байта. Например, если текущее множество начинается по 1000-му адресу, следующее множество начинается в 1003-м.

• SRCBIDX = FFFFh (–1): смещение адреса с начала массива к началу следующего массива в структуре составляет-1 байт. Например, если текущее множество начинается по 5054-му адресу, следующее множество начинается в 5053-м.

**11.3.3.2.9 Место назначения B индекс (DSTBIDX)**

DSTBIDX – знаковое значение 16 битов (2 дополнения с) используемый для модификации адреса получателя между каждым массивом в 2-м измерении. Действительные значения для DSTBIDX между –32 768 и 32 767. Это обеспечивает смещение адреса байта с начала места назначения текущего массива к началу следующего массива в текущей структуре. Это относится и к передачам A-synchronized и AB-synchronized. Посмотрите SRCBIDX для примеров.

**11.3.3.2.10 Источник C индекс (SRCCIDX)**

SRCCIDX - подписанная стоимость 16 битов (2 дополнения с) используемый для модификации адреса источника в 3-е измерение. Действительные значения для SRCCIDX между –32 768 и 32 767. Это обеспечивает адрес байта смещения с начала текущего массива (указанный адресом SRC) к началу первого исходное массива в следующей структуре. Это относится и к передачам A-synchronized и AB-synchronized. Отметьте это когда SRCCIDX применен, текущий массива в передаче A-synchronized - последнее массив в структуре

(Рисунок 11-5), в то время как текущий массив в передаче AB-synchronized - первое массив в структуре (Рисунок 11-6).

**11.3.3.2.11 Место назначения C индекс (DSTCIDX)**

DSTCIDX – знаковое значение 16 битов (2 дополнения с) используемый для модификации адреса получателя в 3-е измерение. Действительные значения между –32 768 и 32 767. Это обеспечивает смещение адреса байта от начала текущего массива (указанный адресом DST) к началу первого массива назначения TR в следующей структуре. Это относится и к передачам A-synchronized и AB-synchronized. Отметьте это когда DSTCIDX применен, текущее множество в передаче A-synchronized - последнее множество в структуре (Рисунок 11-5), в то время как текущее множество в передаче AB-synchronized - первое множество в структуре (Рисунок 11-6).

**11.3.3.2.12 Адрес связи (LINK)**

EDMA3CC обеспечивает механизм, названный соединением, чтобы перезагрузить текущий набор PaRAM на его естественное завершение (то есть, после того, как поля счета уменьшены к 0) с новым набором PaRAM. 16 битов LINK параметра определяет смещение адреса байта в PaRAM, от которого EDMA3CC загружает/перезагружает следующий PaRAM установлен во время соединения.

Вы должны программировать адрес связи, чтобы указать на действительный выровненный 32-байтовый набор PaRAM. 5 LSBs поля LINK должны быть очищены к 0.

EDMA3CC игнорирует верхние 2 бита входа LINK, позволяя программисту гибкое программирование адреса связи или как абсолютный/буквальный байт обращается или использует основного родственника PaRAM адрес смещения. Поэтому, если Вы используете буквальный адрес с диапазоном от 4000-го до 7FFFh, то он будет рассматриваться как основное относительное значение PaRAM 0000-х к 3FFFh.

Вы должны удостовериться, что программировали поле LINK правильно, так, чтобы обновление связи требовали от PaRAM адрес, который падает в диапазоне доступных адресов PaRAM на устройстве.

Значение LINK FFFFh упоминается как NULL связь, которая должна заставить EDMA3CC выполнять внутреннюю запись о 0 ко всем записям текущего набора PaRAM, за исключением области LINK, которая установлена в FFFFh.

Кроме того, посмотрите Раздел 11.3.5 для получения дополнительной информации о завершении передачи.

**11.3.3.3 Пустой набор PaRAM**

Пустой PaRAM, определен как набор PaRAM, где все области количества (ACNT, BCNT и CCNT) очищенный к 0. Если набором PaRAM, связанным с каналом, является NULL, то, когда он обслуживается EDMA3CC, бит, соответствующий каналу, установлен в пропущенном регистре связанного события (EMR, EMRH или QEMR). Этот бит остается установленным в связанном вторичном регистре событий (СЕР, SERH, или QSER). Это подразумевает, что любые будущие события на том же канале проигнорированы EDMA3CC и dам требуются очищать бит в СЕРЕ, SERH или QSER для канала. Это считают ошибкой условие, так как события не ожидаются на канале, который настроен как пустая передача. Посмотрите для большей информации о SER и EMR регистрах, соответственно.

**11.3.3.4 Фиктивный набор PaRAM**

Фиктивный PaRAM, определен как набор PaRAM где по крайней мере одна из областей количества (ACNT, BCNT, или CCNT), очищен к 0, и по крайней мере одна из областей количества отличная от нуля.

Если набор PaRAM, связанный с каналом, будет фиктивным набором, то, когда обслуживается EDMA3CC, он не будет устанавливать бит, соответствующий каналу (DMA/QDMA), в регистре (EMR, EMRH, или QEMR), и вторичный регистр событий (СЕР, SERH или QSER) бит будет очищен подобно нормальной передаче. Обслуживаются будущие события на том канале. Фиктивная передача - законная передача 0 байтов. Для больше информации, см. регистры EMR и СЕР.

**11.3.3.5 Сравнение фиктивной и нулевой передачи**

Существуют некоторые различия в том, как логика EDMA3CC обрабатывает фиктивный запрос по сравнению с нулевым запросом на передачу. Нулевой запрос на передачу является условием ошибки, но фиктивная передача является законной передачей 0 байт. Пустой указатель передача приводит к тому, что бит ошибки (En) в EMR устанавливается, а бит En в SER остается установленным, по существу предотвращая любые дальнейшие передачи по этому каналу без очистки соответствующих регистров ошибок.

В таблице 11-8 приведены условия и последствия запросов на передачу null и фиктивных запросов.

**Таблица 11-8. Фиктивный и нулевой запрос на передачу**

|  |  |  |
| --- | --- | --- |
| **Feature** | **Null TR** | **Dummy TR** |
| EMR/EMRH/QEMR is set | Yes | No |
| SER/SERH/QSER remains set | Yes | No |
| Link update (STATIC = 0 in OPT) | Yes | Yes |
| QER is set | Yes | Yes |
| IPR/IPRH CER/CERH is set using early completion | Yes | Yes |

**11.3.3.6 Обновление набора параметров**

Когда TR передается для данного канала DMA/QDMA и его соответствующего набора PaRAM, EDMA3CC отвечает за обновление набора PaRAM в ожидании следующего триггерного события. Для мероприятий которые не являются окончательными, это включает в себя обновление адреса и количества; для финальных событий это включает обновление ссылки.

Конкретные записи набора PaRAM, которые обновляются, зависят от типа синхронизации канала (А-синхронный или B-synchronized) и текущго состояние набора PaRAM. B-обновление относится к уменьшение BCNT в случае А-синхронизированных передач после представления последовательных TR. AC-update относится к декрементации CCNT в случае А-синхронизированных передач после TR отправления BCNT для передачи байтов ACNT. Для AB-синхронизированных передач C-обновление относится к уменьшение CCNT после подачи каждого запроса на передачу.

Подробные сведения и условия обновления параметров приведены в таблице 11-9. Обновление ссылки происходит, когда исчерпан комплект PaRAM, как описано в разделе 11.3.3.7.

После того, как TR считывается из PaRAM (и находится в процессе отправки в EDMA3TC), следующие поля обновляются при необходимости:

• A-синхронизировано: BCNT, CCNT, SRC, DST.

• AB-синхронизированные: CCNT, SRC, DST.

Следующие поля не обновляются (за исключением во время связывания, когда все поля перезаписываются ссылкой набор PaRAM):

• Синхронизированные: ACNT, BCNTRLD, SRCBIDX, DSTBIDX, SRCCIDX, DSTCIDX, OPT, LINK.

• AB-синхронизированные: ACNT, BCNT, BCNTRLD, SRCBIDX, DSTBIDX, SRCCIDX, DSTCIDX, OPT, LINK.

Обратите внимание, что обновления PaRAM относятся только к той информации, которая необходима для правильной отправки следующего запроса на передачу в EDMA3TC. Обновления, которые происходят при перемещении данных в рамках запроса на передачу, отслеживаются контроллером передачи и подробно описаны в разделе 11.3.12. Для А-синхронизированных передач EDMA3CC всегда отправляет TRP для байтов ACNT (BCNT = 1 и CCNT = 1). Для AB-синхронизированных передает, EDMA3CC всегда передает TRP для байтов ACNT массивов BCNT (CCNT = 1).

EDMA3TC отвечает за обновление адресов источника и назначения в массиве на основе ACNT и FWID (на OPT). Для AB-синхронизированных переносов EDMA3TC также несет ответственность за обновление источника и адреса назначения между массивами на основе SRCBIDX и DSTBIDX.

В таблице 11-9 приведены подробные сведения об обновлениях параметров, которые происходят в EDMA3CC для А-синхронизированных и AB-синхронизированные передачи.

**Таблица 11-9. Обновления параметров в EDMA3CC (для не NULL, неDUMMY набора PaRAM)**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **A-Synchronized Transfer** | | | | **AB-Synchronized Transfer** | | |
|  | **B-Update** | **C-Update** | **Link Update** | **B-Update** | **C-Update** | **Link Update** |
| **Condition:** | **BCNT > 1** | **BCNT == 1 &&**  **CCNT > 1** | **BCNT == 1 &&**  **CCNT == 1** | **N/A** | **CCNT > 1** | **CCNT == 1** |
| SRC | += SRCBIDX | += SRCCIDX | = Link.SRC | in EDMA3TC | += SRCCIDX | = Link.SRC |
| DST | += DSTBIDX | += DSTCIDX | = Link.DST | in EDMA3TC | += DSTCIDX | = Link.DST |
| ACNT | None | None | = Link.ACNT | None | None | = Link.ACNT |
| BCNT | –= 1 | = BCNTRLD | = Link.BCNT | in EDMA3TC | N/A | = Link.BCNT |
| CCNT | None | –= 1 | = Link.CCNT | in EDMA3TC | –= 1 | = Link.CCNT |
| SRCBIDX | None | None | = Link.SRCBIDX | in EDMA3TC | None | = Link.SRCBIDX |
| DSTBIDX | None | None | = Link.DSTBIDX | None | None | = Link.DSTBIDX |
| SRCCIDX | None | None | = Link.SRCBIDX | in EDMA3TC | None | = Link.SRCBIDX |
| DSTCIDX | None | None | = Link.DSTBIDX | None | None | = Link.DSTBIDX |
| LINK | None | None | = Link.LINK | None | None | = Link.LINK |
| BCNTRLD | None | None | = Link.BCNTRLD | None | None | = Link.BCNTRLD |
| OPT(1) | None | None | = LINK.OPT | None | None | = LINK.OPT |

*(1) Во всех случаях никаких обновлений не происходит, если OPT.STATIC = = 1 для текущего набора PaRAM*

*ПРИМЕЧАНИЕ: EDMA3CC не включает в себя специальное оборудование для определения, когда обновление индексированного адреса приводит к переполнение. Обновление адреса будет проходить через границы как запрограммировано пользователем. Вы должны убедиться, что передача через внутренний порт запрещена границы между периферийными устройствами. Одно TR должно быть нацелено на одну конечную точку подчиненного устройства источника/назначения.*

**11.3.3.7 Linking Transfers**

EDMA3CC обеспечивает механизм, известный как линковка, которое позволяет всему набору PaRAM быть перезагруженным от местоположения в рамках карты памяти PaRAM (и для DMA и для каналов QDMA). Линковка особенно полезна для поддержания буферов пинг-понга, круглого буферизования и повторяющихся/непрерывных передач без вмешательства центрального процессора. После завершения передачи текущие параметры передачи перезагружаются параметрами установленными указателем на 16-битное адресное поле связи текущих указателей на параметр. Линковка происходит только тогда, когда STATIC бит в OPT очищен.

*Примечание: Вы должны всегда линковать передачу (EDMA3 или QDMA) к другой полезной передаче. Если Вы должны закончить передачу, тогда Вы должны связать передачу в NULL набор параметра. Посмотрите Раздел 11.3.3.3.*

Обновление связи происходит после того, как установленные параметры текущего PaRAM событий были исчерпаны. Параметры события исчерпаны, когда контроллер канала EDMA3 представил все передачи, которые являются связанными с установленным PaRAM.

Обновление связи происходит для пустых и фиктивных передач в зависимости от состояния STATIC бита в поле OPT и поле Link. В обоих случаях (NULL или dummy), если значение LINK - FFFFh, то NULL набор PaRAM (все нули и поле LINK - FFFFh), записывается как текущеий набор PaRAM. Точно так же, если Link установлена в значение отличающееся от FFFFh, тогда соответствующее местоположение PaRAM, на которое указывает link копируется к текущему набору PaRAM.

Как только условия завершения канала встречаются с событием, параметры передачи, которые расположены в адресe link загружаются в текущий DMA или набор параметра, связанный с каналом QDMA. Это указывает, что EDMA3CC читает весь набор (восемь слов) от набора PaRAM, определенного LINK и пишет все восемь слов в набор PaRAM, который связан с текущим каналом. Рисунок 11-9 показывает пример связанной передачи.

Любой набор PaRAM может использоваться в качестве link/reload набора параметра. Наборы PaRAM связанные с периферийными событиями синхронизации (см. Раздел 11.3.6) должен использоваться для соединения если только отключены соответствующие события.

Если местоположение набора PaRAM определено для канала QDMA (QCHMAPn), то копирование связи PaRAM в текущий канал QDMA, который устанавливают PaRAM, определяется как запускающее событие. Это запирает QER, потому что выполняется запись триггерного слова. Вы можете использовать эту функцию, чтобы создать связанный список передачи используя единственный канал QDMA и несколько наборов PaRAM. Посмотрите Раздел 11.3.4.2.

Linking сам по себе копирует поведение автоинициализации, таким образом облегчая использование кольцеовго буферизования и повторяющихся передач. После того, как канал EDMA3 исчерпывает свой текущий набор PaRAM, он перезагружает все записин набора параметров другого набора PaRAM, который инициализирован со значениями, которые идентичны оригинальному PaRAM. Рисунок 11-9 показывает пример связанной на себя передачи. Здесь, PaRAM устанавливают 255 имеет связанное поле, указывающее на адрес набора параметра 255 (связанный с собой).

*Примечание: Если STATIC бит в OPT, установлен для набора PaRAM, то link update не выполняются.*

**11.3.3.8 Проблемы Передач/Выравнивания в режиме constant adressing**

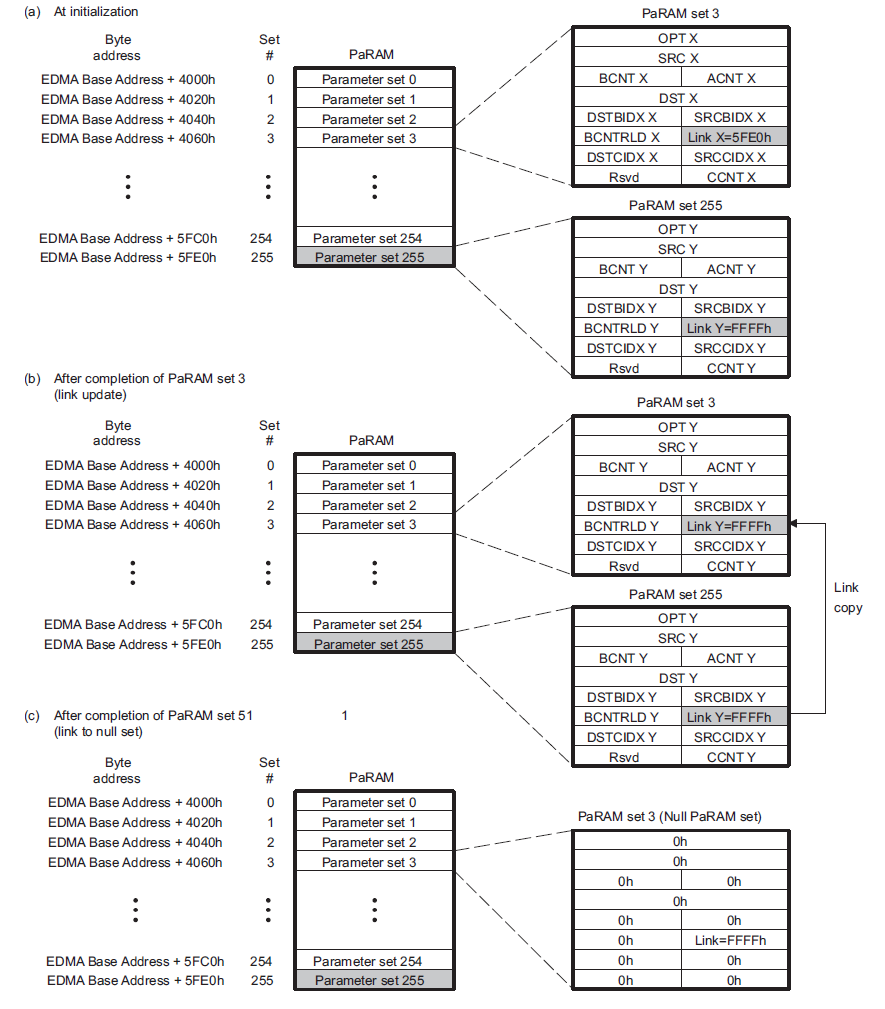
Если или SAM или DAM установлены (постоянный способ обращения), то источник или адрес получателя должны быть выровненны в соответствие с 256 битами выравнивания адреса, соответственно, и соответствующий BIDX должен быть кратен 32 байтам (256 битов). EDMA3CC не распознает ошибок здесь, но EDMA3TC утверждает ошибку если это не верно. Посмотрите Раздел 11.3.12.3.

*Примечание: Режим постоянной адресации (CONST) имеет ограниченную применимость. EDMA3 должен быть настроенн для постоянного способа обращения (SAM/DAM = 1), только если источник передачи или место назначения (память на чипе, диспетчеры памяти вне чипа, подчиненная периферия) поддерживает постоянный способ обращения. См. определенное для устройства руководство данных и/или руководство пользователя периферией, чтобы проверить поддерживается ли постоянный способ адресации. Если способ постоянной адресации не поддерживается, подобная логическая передача может быть достигнута, используя режим приращения (INCR) (SAM/DAM =0), соответственно программируя количество и индексы значений.*

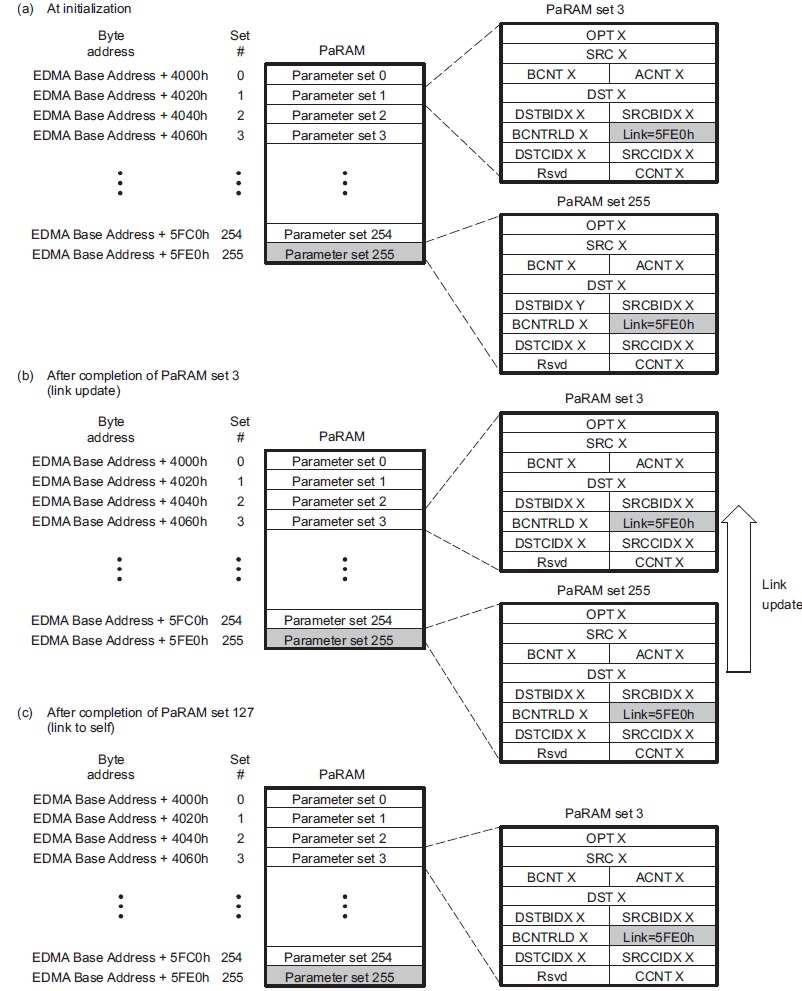
**11.3.3.9 Размер элемента**

Контроллер EDMA3 не использует размер и индексацию элементов. Вместо этого все переводы определены с точки зрения всех трех измерений: ACNT, BCNT и CCNT. Передача с индексацией элементов логически достигается программированием ACNT по размеру элемента и BCNT по количеству элементов, которые нужно перенести. Например, если у вас есть 16-битные аудиоданные и 256 выборок звука, которые должны быть переданы на последовательный порт, это можно сделать только путем программирования ACNT = 2 (2 байта) и BCNT = 256.

**Рис. 11-9. Линкованная прередача**

****

**Рис. 11-10. Линкованная на себя прередача.**



**11.3.4 Инициирование передачи DMA**

Существует несколько способов инициировать запрограммированную передачу данных с использованием контроллера канала EDMA3.

Передачи по каналам DMA инициируются тремя источниками.

Они перечислены следующим образом:

• **Запрос на передачу, инициируемый событием** (это более типичное использование EDMA3): Периферийное устройство, система или внешнее событие инициирует запрос на перенос.

• **Запрос передачи, запускаемый вручную**: CPU для ручного запуска передачи путем записи 1 в соответствующий бит в регистр набора событий (ESR/ESRH).

• **Вызванный цепью запрос о переводе**: передача вызывается по завершении другой передачи или подпередачи.

Передачи на каналах QDMA запускаются двумя источниками. Они следующие:

• **Auto-triggered запрос о передаче**: Запись в запрограммированное триггер-слово вызывает передачу.

• **Link-triggered запросы о передаче**: Запись в запрограммированное триггер-слово вызывает передачу когда происходит линковка.

**11.3.4.1 Канал DMA**

**11.3.4.1.1 Запрос на передачу по событию**

Когда событие утверждается от пинов периферии или устройства, оно запирается в соответствующей части регистра событий (ER.En = 1). Если соответствующее событие в конечном счете разрешено в регистре (EER), (EER.En = 1), тогда EDMA3CC приоритезирует и ставит в очередь событие в соответствующей очереди событий. Когда событие достигает головы очереди, оно оценивается как запрос о передаче к контроллеру передачи.

Если набор PaRAM валидный (не NULL), то пакет запроса о переводе (TRP) представляется EDMA3TC и бит En в ER очищается. На данном этапе новое событие может быть безопасно получено EDMA3CC.

Если набор PaRAM, связанный с каналом, является NULL (см. Раздел 11.3.3.3), то никакой запрос на передачу (TR) не отправляется, и соответствующий бит En в ER очищается и одновременно соответствующий каналу бит устанавливается в регистре пропущенных событий (EMR.En = 1), чтобы указать, что событие было исключено, поскольку была обслужена нулевая TR. Хорошие практики программирования должны включать очистку ошибки пропущенного события прежде, чем повторно привести в действие канал DMA.

То, когда событие получено, соответствующий бит в регистре событий устанавливается (ER.En = 1), независимо от состояния EER.En. Если событие отключено, когда внешнее событие получено (ER.En = 1 и EER.En = 0), бит ER.En остается установленным. Если событие впоследствии позволено (EER.En = 1), то текущее событие обрабатывается EDMA3CC, и TR обрабатывается, после чего бит ER.En очищается.

Если событие обрабатывается (расположенный по приоритетам, или находящееся в очереди событий), и другое синхронизирующее событие получено для того же канала с таким же приоиртетом как и у оригинала (ER.En! = 0), тогда второе событие регистрируется как пропущенное событие в соответствующем бите регистра пропущенных событий(EMR.En = 1).

Посмотрите Раздел 9.2.3, Мультиплексирование событий EDMA, для описания того, как события DMA мултиплексируются с EDMA. Посмотрите Раздел 11.3.20, cобытия EDMA, для получения таблицы прямых и мултиплексированных событий EDMA.

**11.3.4.1.2 Вручную вызванный запрос о передаче**

Программист CPU или любого из EDMA начинают передачу DMA записывая в регистр установки событий (ESR). Запись единицы в бит события в ESR приводит в конечном счете к тому что событию назначается приоритет(постановка в очередь) в соответствующей очереди событий, независимо от статуса бита EER.En. Когда событие достигает головы очереди, оно оценивается для подчинения как запрос на передачу TR к контроллеру передачи TC.

Как и в вызванных событием передачах, если набор PaRAM связанный с каналом - валидный (это не Null набор) тогда TR передается связанному EDMA3TC, и канал может быть приведен в действие снова.

Если набор PaRAM, связанный с каналом, является Null набором (см. Раздел 11.3.3.3), тогда никакой запрос на передачу (TR) не будет отправлен, и соответствующий бит En в ER очищается и одновременно устанавливается соответствующий бит установлен в регистре пропущенных событий (EMR.En = 1), чтобы указать, что событие было исключено по причине обслуженного Null TR. Хорошие практики программирования должны включать очистку ошибки пропущенного прежде, чем повторно привести в действие канал DMA.

Если событие обрабатывается (назначен приоритет, или поставлено в очередь событий), и такой же канал вручную установлен записью соответствующего бита канала в регистре постановки событий (ESR.En = 1) приоритет оригинального канала очищается (ESR.En = 0), тогда второе событие регистрируется как пропущенное событие в соответствующем бите регистра пропущенных событий (EMR.En = 1).

**11.3.4.1.3 Запрос на цепную передачу**

Цепочка - это механизм, с помощью которого завершение одной передачи автоматически устанавливает событие для другого канала. При обнаружении кода завершения по цепи, значение которого диктуется передачей кода завершения (TCC [5:0] в OPT набора PaRAM, связанного с каналом), это приводит к установке соответствующего бита в регистре связанных событий (CER.E [TCC] = 1).

Как только бит установлен в CER, EDMA3CC устанавливает приоритеты и ставит в очередь событие в соответствующую очереди событий. Когда событие достигает головы очереди, оно оценивается для отправки в качестве запроса на передачу в контроллер передачи.

Как и в случае передач, инициируемых событием, если набор PaRAM, связанный с каналом, является действительным (он не является Null набором), то TR передается на соответствующий EDMA3TC, и канал может быть активизирован снова.

Если набор PaRAM, связанный с каналом, является NULL набором (см. раздел 11.3.3.3), то запрос на передачу не выполняется (TR) и соответствующий бит En в CER очищается, и одновременно устанавливается соответствующий бит канала в регистре пропуска события (EMR.En = 1), чтобы указать, что событие было отброшено из-за обслуживания Null TR. В этом случае условие ошибки должно быть очищенно вами до того как канал DMA будет повторно активизирован. Надлежащая практика программирования может включать в себя очистку события пропущенной ошибки перед повторным запуском канала DMA.

Если обрабатывается событие цепочки (с приоритетом или в очереди) и принимается другое событие цепочки для того же канал до сброса исходного (CER.En! = 0), то второе связанное событие регистрируют как пропущенное событие в соответствующем бите канала регистра пропущенных событий (EMR.En = 1).

*ПРИМЕЧАНИЕ: регистры событий цепной передачи, регистры событий и регистры наборов событий работают независимо. Событие (En) может быть инициировано любым из триггерных источников (инициируемым событием, инициируемым вручную, или цепной).*

**11.3.4.2 Каналы QDMA**

**11.3.4.2.1 Автоматически запускаемый и запускаемый при линковке запрос на передачу**

Запросы на передачу на основе QDMA выдаются, когда событие QDMA фиксируется в регистре событий QDMA(QER.En = 1). Бит, соответствующий каналу QDMA, устанавливается в регистре событий QDMA (QER), когда происходит следующее:

• CPU (или любой EDMA3 программист) записывает в адрес PaRAM, который определен как QDMA слово запуска канала (запрограммированное в регистре отображения канала QDMA (QCHMAPn)) для конкретного канала QDMA и канал QDMA активизируются через регистр активизации события QDMA (QEER.En = 1).

• EDMA3CC выполняет обновление линии связи по адресу набора PaRAM, который настроен как канал QDMA (соответствует установкам QCHMAPn), и соответствующий канал активизируется в регистре разрешения событий QDMA enable регистр (QEER.En = 1).

Как только бит установлен в QER, EDMA3CC устанавливает приоритеты и ставит в очередь событие в соответствующей очереди событий. Когда событие достигает головы очереди, оно оценивается для отправки в качестве запроса на передачу в контроллер передачи.

Как и в случае передач, инициируемых событием, если набор PaRAM, связанный с каналом, является действительным (он не является Null набором), то TR передается на соответствующий EDMA3TC, и канал может быть активизирован снова.

Если бит уже установлен в QER (QER.En = 1) и второе событие QDMA для того же канала QDMA происходит до очистки оригинала, второе событие QDMA фиксируется в регистре пропущенных событий QDMA (QEMR.En = 1).

**11.3.4.3 Сравнение каналов DMA и QDMA**

Основным различием между каналами DMA и QDMA является синхронизация события/канала. QDMA события запускаются либо автоматически, либо при выполнении связи (Link). Автоматическое включение позволяет CPU запускать каналы QDMA с минимальным количеством линейных операций записи в PaRAM. Запуск при выполнении связывания (Link) позволяет создать связанный список передач для выполнения, используя один набор PaRAM QDMA и несколько наборов PaRAM установленных полем link.

Передача данных QDMA запускается, когда центральный процессор (или другой программист EDMA3) записывает в триггерное слово набора параметров канала QDMA (автозапуск) или когда EDMA3CC выполняет обновление канала QDMA (автотриггер) или когда EDMA3CC выполняет обновление связи(Link) на PaRAM, который был сопоставлен с каналом QDMA (срабатывание по ссылке). Обратите внимание, что для каналов DMA, запускаемых процессором(срабатывание вручную) каналов DMA, помимо записи в набор PaRAM, требуется запись в регистр в регистр набора событий (ESR), чтобы начать передачу.

Каналы QDMA обычно используются в случаях, когда одно событие выполняет полную передачу, поскольку процессор (или программист EDMA3) должен перепрограммировать некоторую часть набора PaRAM QDMA, чтобы повторно запустить канал. Другими словами, передачи QDMA программируются с BCNT = CCNT = 1 для A-синхронизированной передачи и СCNT = 1 для AB-синхронизированных передач.

Кроме того, поскольку связывание также поддерживается (если STATIC = 0 в OPT) для QDMA-передач, это позволяет вам инициировать связанный список QDMA, поэтому, когда EDMA3CC копирует по ссылке набор PaRAM (включая запись в триггерное слово), текущий набор PaRAM, сопоставленный с каналом QDMA, будет автоматически распознан как действительное событие QDMA и инициирует другой набор передач, заданный связанным набором.

**11.3.5 Завершение передачи DMA**

Набор параметров для данного канала завершается, когда подано необходимое количество запросов на передачу (на основе получения количества событий синхронизации). Ожидаемое количество TR для не-нулевой/не-пустой передачи показано в таблице 11-10 для обоих типов синхронизации вместе с состоянием набора PaRAM перед отправкой последнего TR. Когда счетчики (BCNT и/или CCNT) достигают этого значения, следующий TR приводит к:

- Завершению цепочки прерываний или кодов прерываний, которые должны быть отправлены контроллерами передачи (вместо промежуточных).

- Обновлению связей(Link) (связь с нулевым или другим действительным набором связей).

**Таблица 11-10. Ожидаемое количество пересылок для не нулевой пересылки**

|  |  |  |  |
| --- | --- | --- | --- |
| **Sync Mode** | **Counts at time 0** | **Total # Transfers** | **Counts prior to final TR** |
| A-synchronized | ACNT  BCNT  CCNT | (BCNT × CCNT ) TRs of ACNT bytes each | BCNT == 1 && CCNT == 1 |
| AB-synchronized | ACNT  BCNT  CCNT | CCNT TRs for ACNT × BCNT bytes each | CCNT == 1 |

Вы должны запрограммировать поле PaRAM OPT с определенным кодом завершения передачи (TCC) вместе с другими полями OPT (биты TCCHEN, TCINTEN, ITCCHEN и ITCINTEN), чтобы указать, будет ли код завершения использоваться для генерации цепного события или/и для генерации прерывания по завершении передачи. Код должен использоваться для генерации цепного события или/и для генерации прерывания по завершении передачи.

Запрограммированное конкретное значение TCC (6-битное двоичное значение) определяет, какой из 64 битов регистра цепных событий (CER[TCC]) и/или регистре ожидания прерывания (IPR[TCC]).

Вы также можете выборочно запрограммировать, посылает ли контроллер передачи обратно коды завершения при завершения последнего запроса передачи (TR) набора параметров (TCCHEN или TCINTEN), для всех запросов, кроме последнего запроса на передачу (TR) набора параметров (ITCCHEN или ITCINTEN), или для всех TR набора параметров(оба). Подробности о цепочке (промежуточной/конечной) см. в разделе 11.3.8, а подробности о промежуточном/конечном прерывании - в разделе 11.3.9. подробности о промежуточном/конечном завершении прерывания.

Между контроллером канала EDMA3 и контроллером(ами) передачи существует интерфейс обнаружения завершения.Этот интерфейс передает контроллеру канала информацию от контроллера передачи, указывающую на то, что определенная передача завершена. Завершение передачи используется для генерации цепочечных событий и/или генерирования прерываний для центрального процессора (процессоров).

Все наборы DMA/QDMA PaRAM должны также задавать значение адреса канала. Для повторяющихся передач, таких как пингпонг буферов, значение адреса ссылки должно указывать на другой предопределенный набор PaRAM. В качестве альтернативы, при неповторяющейся передаче необходимо установить значение адреса ссылки на значение нулевой ссылки. Значение нулевой ссылки определяется как 0xFFFF. Более подробную информацию см. в разделе 11.3.3.7.

*ПРИМЕЧАНИЕ: Любые входящие события, сопоставленные с нулевым набором PaRAM, приводят к возникновению ошибки. Состояние ошибки должно быть устранено перед повторным использованием соответствующего канала. См.Раздел 11.3.3.5*.

EDMA3CC получает обновление/информацию о завершении передачи данных тремя способами: нормальное завершение, раннее завершение и фиктивное/нулевое завершение. Это относится как к цепочке событий, так и к генерации прерывания завершения.

**11.3.5.1 Нормальное завершение**

В режиме нормального завершения (TCCMODE = 0 в OPT) передача или субпередача считается завершенной, когда контроллер канала EDMA3 получает коды завершения от контроллера передачи EDMA3. В этом режиме код завершения в контроллер канала отправляется контроллером передачи после получения сигнала от периферийного устройства назначения. Нормальное завершение обычно используется для генерации прерывания, информирующего центральный процессор о том, что набор данных готов к обработке.

**11.3.5.2 Раннее завершение**

В режиме раннего завершения (TCCMODE = 1 в OPT) передача считается завершенной, когда контроллер канала EDMA3 передает запрос на передачу (TR) контроллеру передачи EDMA3. В этом режиме контроллер канала генерирует код завершения внутри. Раннее завершение обычно полезно для цепочки, так как позволяет запускать последующие передачи в цепочку, пока предыдущая передача все еще находится в обработке в контроллере передачи, максимизируя общую пропускную способность набора передач.

**11.3.5.3 Фиктивное или нулевое завершение**

Это разновидность раннего завершения. Фиктивное или нулевое завершение связано с фиктивным набором (Раздел 11.3.3.4) или нулевым набором (Раздел 11.3.3.3). В обоих случаях контроллер канала EDMA3 не передает связанный запрос передачи контроллеру(ам) передачи EDMA3. Однако, если набор (фиктивный/нулевой) поле OPT запрограммировано на возврат кода завершения (промежуточное/финальное прерывание/завершение цепочки), то он установит соответствующие биты в регистрах ожидания прерывания (IPR/IPRH) или регистре событий цепочки (CER/CERH). Внутренний путь раннего завершения используется контроллером канала для возврата кодов завершения внутри устройства (то есть EDMA3CC генерирует код завершения).

**11.3.6 Сопоставление событий, каналов и PaRAM**

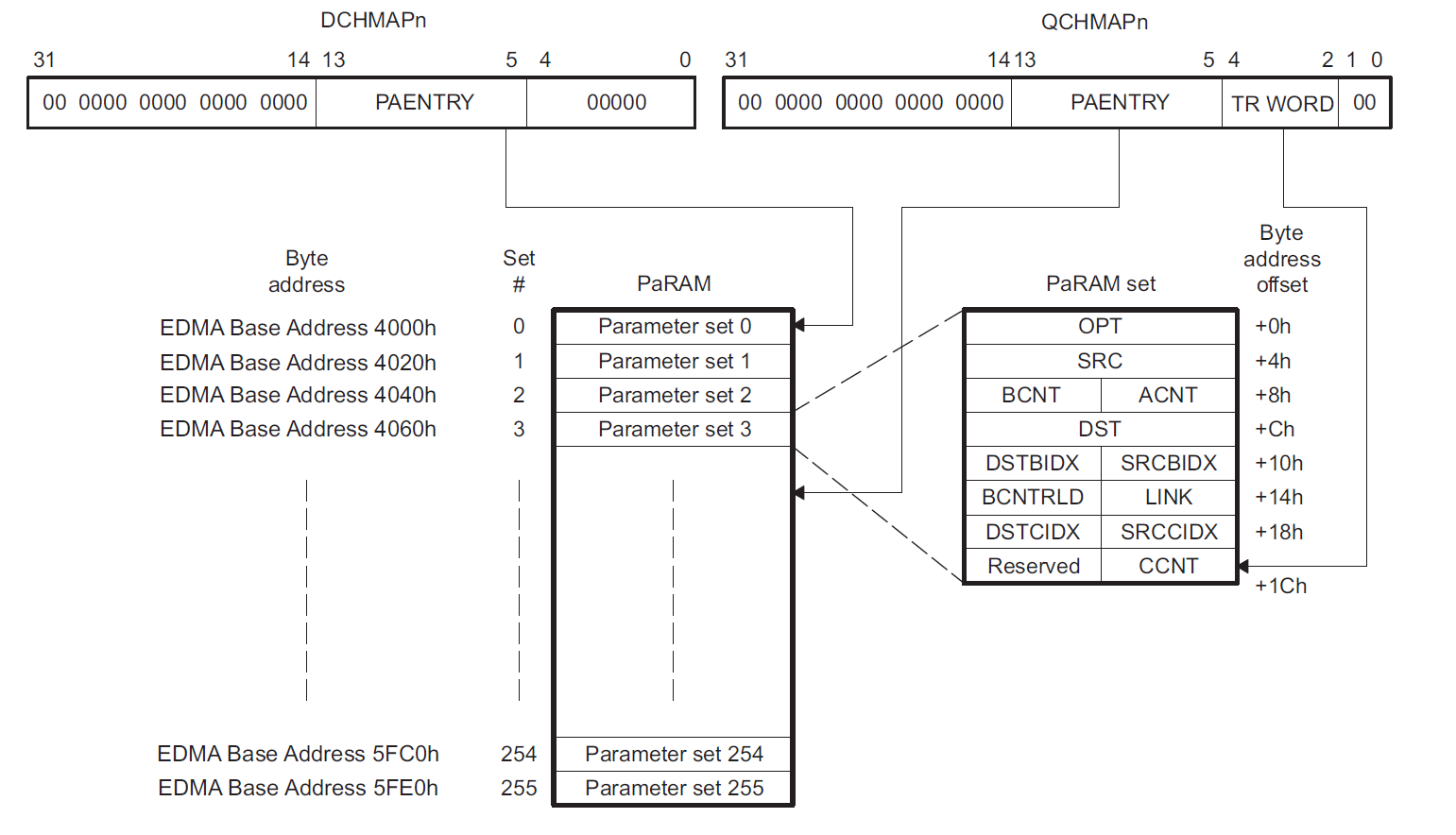
Несколько из 64 каналов DMA привязаны к определённому аппаратному событию, что позволяет запускать события от периферийных устройств или внешнего оборудования для запуска передачи данных. Канал DMA обычно запрашивает передачу данных, когда он получает событие (за исключением передачи данных с ручным триггером, цепным триггером и другие). Количество данных, передаваемых за одно событие синхронизации, зависит от конфигурации канала (ACNT, BCNT, CCNT и т. д.) и типа синхронизации (A-синхронизированный или AB-синхронизированный).

Связь события с каналом фиксирована, каждый канал DMA имеет одно конкретное событие, связанное с ним . См. раздел 9.2.3, Мультиплексирование событий EDMA, для описания того, как события DMA отображаются на перекрестной панели событий EDMA. Таблицу прямых и кроссбарных событий см. в разделе 11.3.20, События EDMA.

В приложении, если канал не использует ассоциированное событие синхронизации или если у него нет связанного событие синхронизации (неиспользуемый), этот канал может использоваться для передачи данных с ручным или цепным триггером передачи, для связывания/перезагрузки или как канал QDMA.

**11.3.6.1 Сопоставление каналов DMA и PaRAM**

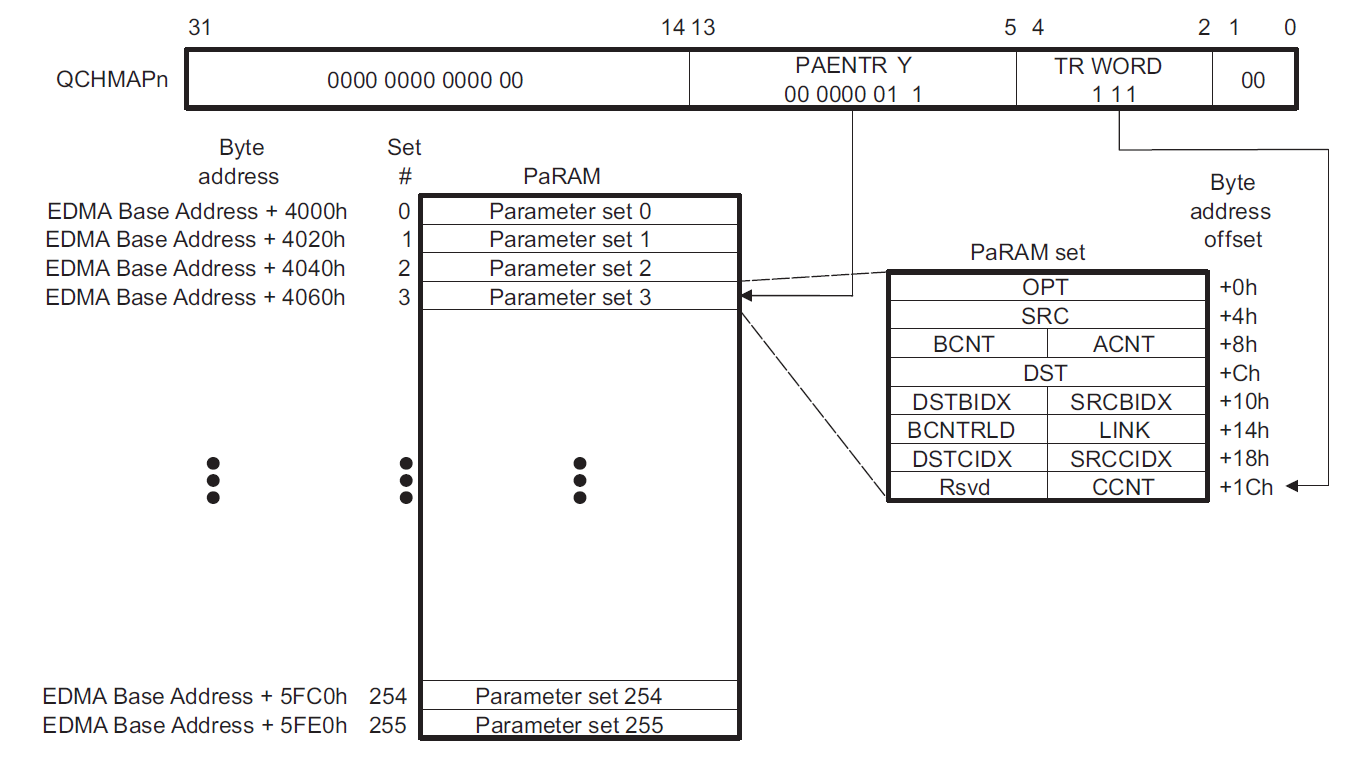
Сопоставление между номерами каналов DMA и наборами PaRAM программируется (см. таблицу 11-5). Регистры отображения каналов DMA (DCHMAPn) в EDMA3CC обеспечивают программирование, которое позволяет сопоставить каналы DMA с любым из наборов PaRAM в карте памяти PaRAM. На рис. 11-11 показано использование DCHMAP. На каждый канал приходится один регистр DCHMAP.

**Рисунок 11-11. Сопоставление каналов DMA и QDMA с PaRAM**

**11.3.6.2 Сопоставление каналов QDMA и PaRAM**

Сопоставление между каналами QDMA и наборами PaRAM является программируемым. Регистр сопоставления каналов QDMA (QCHMAP) в EDMA3CC позволяет сопоставить каналы QDMA с любым из наборов PaRAM в карте памяти PaRAM. Рисунок 11-12 иллюстрирует использование QCHMAP.

Кроме того, QCHMAP позволяет запрограммировать слово триггера в наборе PaRAM для канала QDMA. Триггерное слово - это одно из восьми слов в наборе PaRAM. Для того чтобы произошла передача данных по каналу QDMA, необходимо действительное событие TR для EDMA3CC, которым является запись в триггерное слово в наборе PaRAM, на которое указывает QCHMAP для конкретного канала QDMA. По умолчанию каналы QDMA отображаются на набор PaRAM 0. Вы должны соответствующим образом изменить отображение набора PaRAM 0, прежде чем использовать его.

**Рисунок 11-12. Сопоставление канала QDMA и PaRAM**

**11.3.7 Регионы контроллера каналов EDMA3**

Контроллер каналов EDMA3 делит свое адресное пространство на восемь регионов. Ресурсы отдельных каналов назначаются определенному региону, а каждый регион, как правило, назначается определенному программисту EDMA.

Прикладное программное обеспечение можно спроектировать так, чтобы использовать регионы или вовсе игнорировать их. Можно использовать активную защиту памяти в сочетании с регионами, чтобы только определенный программист EDMA (например, идентификации привилегий) или уровня привилегий (например, пользователь против супервизора) имел доступ к данному региону региону, а значит, и к определенному каналу DMA или QDMA. Это позволяет создать надежный код DMA на уровне системы, где каждый программист EDMA изменяет только состояние назначенных ресурсов. Защита памяти описана в разделе 11.3.10.

**11.3.7.1 Обзор регионов**

Регистры контроллера каналов EDMA3, привязанные к памяти, делятся на три основные категории:

1. Глобальные регистры

2. Регистры каналов глобального региона

3. Регистры каналов теневого региона

Глобальные регистры расположены в одном/фиксированном месте карты памяти EDMA3CC. Эти регистры управляют отображением ресурсов EDMA3 и обеспечивают видимость отладки и информацию об ошибках.

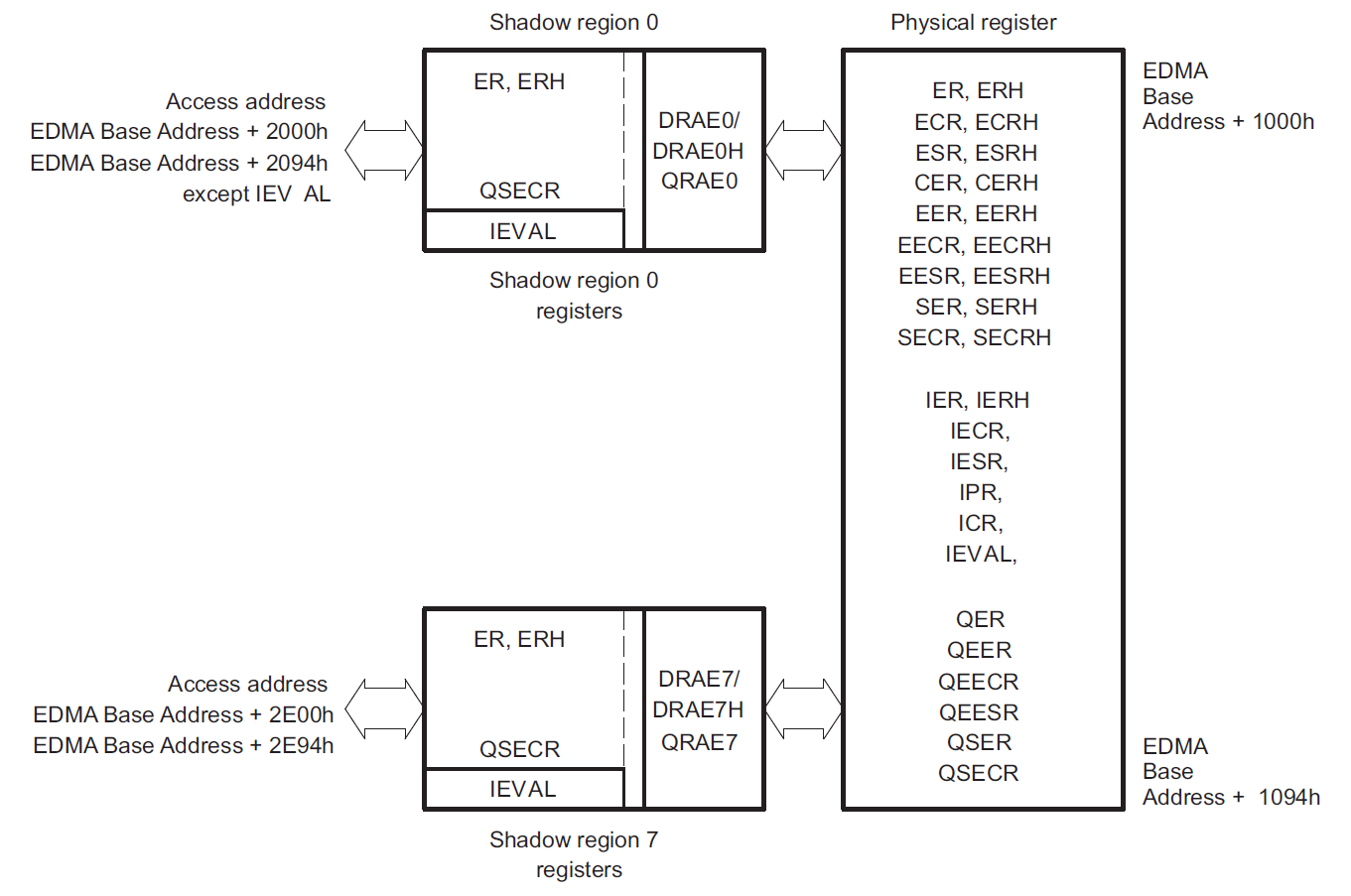
Доступ к регистрам каналов (включая регистры DMA, QDMA и прерываний) осуществляется через глобальный диапазон адресов области каналов или в теневом n диапазоне (диапазонах) адресов области каналов. Например регистр разрешения событий (EER) доступен по глобальному адресу EDMA Base Address + 1020h или по адресу региона адреса EDMA Base Address + 2020h для региона 0, EDMA Base Address + 2220h для региона 1, ...EDMA Base Address + 2E20h для региона 7.

Регистры разрешения доступа к региону DMA (DRAEm) и регистры разрешения доступа к региону QDMA (QRAEn) управляют битами базового регистра управления, которые доступны через адресное пространство теневого региона (за исключением IEVALn). В таблице 11-11 перечислены регистры карты памяти теневого региона. См. Карта памяти EDMA3CC () для получения полной карты памяти глобального и теневого регионов. Рисунок 11-13 иллюстрирует концептуальное представление регионов.

**Таблица 11-11. Регистры теневого региона**

|  |  |  |
| --- | --- | --- |
| **DRAE*m*** | **DRAEH*m*** | **QRAE*n*** |
| ER | ERH | QER |
| ECR | ECRH | QEER |
| ESR | ESRH | QEECR |
| CER | CERH | QEESR |
| EER | EERH |  |
| EECR | EECRH |  |
| EESR | EESRH |  |
| SER | SERH |  |
| SECR | SECRH |  |
| IER | IERH |  |
| IECR | IECRH |  |
| IESR | IESRH |  |
| IPR | IPRH |  |
| ICR | ICRH |  |
| **Register not affected by DRAE\DRAEH** | | |
| IEVAL | | |

**Рисунок 11-13. Регистры теневой области**



**Table 11-12. EDMA Shadow Regions**

|  |  |
| --- | --- |
| **EDMA Address Offset** | **Description** |
| 0x2000-0x2094 | Shadow Region 0 Channel Registers |
| 0x2200-0x2294 | Shadow Region 1 Channel Registers |
| 0x2400-0x2494 | Shadow Region 2 Channel Registers |
| 0x2600-0x2694 | Shadow Region 3 Channel Registers |
| 0x2800-0x2894 | Shadow Region 4-7 Channel Registers |

**11.3.7.2 Регионы контроллера канала**

Существует восемь теневых регионов EDMA3 (и связанных с ними карт памяти). С каждым теневым регионом является набор регистров, определяющих, какие каналы и коды завершения прерывания принадлежат этому региону. Эти регистры программируются пользователем для каждого региона, чтобы назначить право собственности на каналы DMA/QDMA для региона.

- DRAEm и DRAEHm: Одна пара регистров существует для каждого из теневых регионов. Количество битов в каждой паре регистров соответствует количеству каналов DMA (64 канала DMA). Эти регистры необходимо запрограммировать, чтобы присвоить право собственности на каналы DMA и прерывания (или коды TCC) соответствующему региону. Доступ к регистрам DMA и прерываниям через представление адреса теневого региона фильтруется через пару DRAE/DRAEH. Значение 1 в соответствующем бите DRAE(H) означает, что соответствующий канал DMA/прерывания доступен; значение 0 в соответствующем бите DRAE(H) заставляет отбрасывать записи и возвращает значение 0 для чтений.

- QRAEn: Для каждого региона существует один регистр. Количество битов в каждом регистре соответствует количеству каналов QDMA (4 канала QDMA). Эти регистры должны быть запрограммированы, чтобы назначить право собственности на QDMA-каналов соответствующему региону. Чтобы разрешить канал в теневом регионе с используется теневой регион 0 QEER, соответствующий бит в QRAE должен быть установлен, иначе запись в QEESR не приведет к желаемому результату.

- MPPAn и MPPAG: Один регистр существует для каждого региона. Этот регистр определяет уровень привилегий, запросчика и типы доступа к регистрам региона, отображаемым в памяти.

Типичным для приложения является уникальное назначение каналов QDMA/DMA (и, следовательно, заданной позиции бита) для данного региона..Использование теневых регионов позволяет ограничить доступ задачам в системе к ресурсам EDMA3 (каналам DMA, QDMA, TCC, прерываниям), устанавливая или снимая биты в регистрах DRAE/ORAE. Если для региона требуется эксклюзивный доступ к какому-либо каналу/коду TCC, то только для этого региона DRAE/ORAE должен быть установлен соответствующий бит.

**Пример 11-1. Разделение пула ресурсов между двумя регионами**

|  |
| --- |
| Этот пример иллюстрирует разумное разделение пула ресурсов между двумя регионами, предполагая, что региону 0 должно быть выделено 16 каналов DMA (0-15) и 1 канал QDMA (0), а также 32 кода TCC (0-15 и 48-63). Региону 1 должно быть выделено 16 каналов DMA (16-32) и оставшиеся 7 каналов QDMA (1-7) и коды TCC  (16-47). DRAE должно быть равноe ИЛИ битов, необходимых для каналов DMA и кодов TCC:  *Region 0: DRAEH, DRAE = 0xFFFF0000, 0x0000FFFF QRAE = 0x0000001*  *Region 1: DRAEH, DRAE = 0x0000FFFF, 0xFFFF0000 QRAE = 0x00000FE* |

**11.3.7.3 Прерывания региона**

В дополнение к глобальному прерыванию завершения EDMA3CC существует дополнительная линия прерывания завершения которая связана с каждым теневым регионом. Наряду с регистром разрешения прерываний (IER), DRAE действует как вторичноe разрешениe прерывания(interrupt enable) для соответствующих прерываний теневого региона. Дополнительную информацию см. в разделе 11.3.9. информацию.

**11.3.8 Цепочка каналов EDMA3**

Возможность цепочки каналов EDMA3 позволяет завершить передачу одного канала EDMA3 и запустить передачу другого канала EDMA3. Цель заключается в том, чтобы обеспечить возможность цепочки нескольких событий через одно событие.

Цепочка отличается от связывания (раздел 11.3.3.7). Функция связывания EDMA3 перезагружает набор параметров текущего канала с набором параметров связанного канала. Функция связывания EDMA3 не изменяет и не обновляет какой-либо набор параметров канала; она обеспечивает событие синхронизации для связанного канала (см. раздел 11.3.4.1.3 о запросах на передачу с цепным триггером).

Цепочка выполняется либо при окончательном завершении передачи, либо при промежуточном завершении передачи, либо при обоих завершениях текущего канала. Рассмотрим канал m (DMA/QDMA), который необходимо подключить к каналу n. Номер канала n (0-63) должен быть запрограммирован в бит TCC набора параметров опций канала m (OPT).

- Если включена цепочка окончательного завершения передачи (TCCHEN = 1 в OPT), событие, инициированное цепочкой, происходит после того, как последний запрос на передачу данных канала m будет либо передан, либо завершен (в зависимости от раннего или нормального завершения).

- Если включена цепочка промежуточного завершения передачи (ITCCHEN = 1 в OPT), то событие, срабатывающее по цепочке, наступает после каждого запроса передачи, кроме последнего канала m, который либо отправлен, либо завершен(в зависимости от раннего или нормального завершения).

- Если включена цепочка окончательного и промежуточного завершения передачи (TCCHEN = 1 и ITCCHEN = 1 в OPT), то событие триггера цепочки наступает после того, как каждый запрос на передачу передается или завершается(в зависимости от раннего или нормального завершения).

В таблице 11-13 показано количество триггеров цепных событий, возникающих в различных синхронизированных сценариях.Рассмотрим канал 31, запрограммированный с ACNT = 3, BCNT = 4, CCNT = 5 и TCC = 30.

**Таблица 11-13. Триггеры цепных событий**

|  |  |  |
| --- | --- | --- |
| **Options** | **(Number of chained event triggers on channel 30)** | |
| **A-Synchronized** | **AB-Synchronized** |
| TCCHEN = 1, ITCCHEN = 0 | 1 (Owing to the last TR) | 1 (Owing to the last TR) |
| TCCHEN = 0, ITCCHEN = 1 | 19 (Owing to all but the last TR) | 4 (Owing to all but the last TR) |
| TCCHEN = 1, ITCCHEN = 1 | 20 (Owing to a total of 20 TRs) | 5 (Owing to a total of 5 TRs) |

**11.3.9 Прерывания EDMA3**

Прерывания EDMA3 делятся на две категории: прерывания завершения передачи и прерывания ошибок.

Существует девять региональных прерываний, восемь в теневых регионах и одно в глобальном. Прерывания завершения передачи перечислены в таблице 11-14. Прерывания завершения передачи и прерывания ошибок от контроллеров передачи данных направляются в контроллеры прерываний ARM.

**Таблица 11-14. Прерывания завершения передачи данных EDMA3**

|  |  |
| --- | --- |
| **Name** | **Description** |
| EDMA3CC\_INT0 | EDMA3CC Transfer Completion Interrupt Shadow Region 0 |
| EDMA3CC\_INT1 | EDMA3CC Transfer Completion Interrupt Shadow Region 1 |
| EDMA3CC\_INT2 | EDMA3CC Transfer Completion Interrupt Shadow Region 2 |
| EDMA3CC\_INT3 | EDMA3CC Transfer Completion Interrupt Shadow Region 3 |
| EDMA3CC\_INT4 | EDMA3CC Transfer Completion Interrupt Shadow Region 4 |
| EDMA3CC\_INT5 | EDMA3CC Transfer Completion Interrupt Shadow Region 5 |
| EDMA3CC\_INT6 | EDMA3CC Transfer Completion Interrupt Shadow Region 6 |
| EDMA3CC\_INT7 | EDMA3CC Transfer Completion Interrupt Shadow Region 7 |
| EDMA3CC\_ERRINT | EDMA3CC Error Interrupt |
| EDMA3CC\_MPINT | EDMA3CC Memory Protection Interrupt |
| EDMA3TC0\_ERRINT | TC0 Error Interrupt |
| EDMA3TC1\_ERRINT | TC1 Error Interrupt |
| EDMA3TC2\_ERRINT | TC2 Error Interrupt |

**11.3.9.1 Прерывания завершения передачи данных**

EDMA3CC отвечает за генерацию прерываний завершения передачи данных процессору (процессорам) (и другимEDMA3). EDMA3 генерирует одно прерывание завершения на теневой регион, а также одно прерывание для глобального региона от имени всех 64 каналов. Различные регистры управления и битовые поля облегчают генерацию прерываний EDMA3.

Архитектура программного обеспечения должна использовать либо глобальное прерывание, либо теневые прерывания, но не оба.

Значение кода завершения передачи (TCC) непосредственно отображается на биты регистра ожидания прерывания (IPR/IPRH). Например, если TCC = 10 0001b, IPRH[1] устанавливается после завершения передачи и приводит к генерации прерывания для центрального процессора (процессоров), если прерывание завершения разрешено для центрального процессора. См. Раздел 11.3.9.1.1 для получения подробной информации о включении прерываний завершения передачи EDMA3.

Когда возвращается код завершения (в результате раннего или нормального завершения), соответствующий бит в IPR/IPRH устанавливается, если прерывание завершения передачи (окончательное/промежуточное) разрешено в параметрах канала (OPT) для набора PaRAM, связанного с передачей.

**Таблица 11-16. Маппинг прерываний по коду завершения передачи (TCC) в EDMA3CC**

|  |  |  |  |
| --- | --- | --- | --- |
| **TCC Bits in OPT**  **(TCINTEN/ITCINTEN = 1)** | **IPR Bit Set** | **TCC Bits in OPT**  **(TCINTEN/ITCINTEN = 1)** | **IPRH Bit Set(1)** |
| 0 | IPR0 | 20h | IPR32/IPRH0 |
| 1 | IPR1 | 21h | IPR33/IPRH1 |
| 2h | IPR2 | 22h | IPR34/IPRH2 |
| 3h | IPR3 | 23h | IPR35/IPRH3 |
| 4h | IPR4 | 24h | IPR36/IPRH4 |
| … | … | … | … |
| 1Eh | IPR30 | 3Eh | IPR62/IPRH30 |
| 1Аh | IPR31 | 3Fh | IPR63/IPRH31 |

(1) Битовые поля IPR[32-63] соответствуют битам 0-31 в IPRH, соответственно.

Вы можете запрограммировать код завершения передачи (TCC) на любое значение для канала DMA/QDMA. Прямая связь между номером канала и значением кода завершения передачи не обязательна. Это позволяет нескольким каналам с одинаковым значением кода завершения передачи вызывать выполнение процессором одну и ту же процедуру обслуживания прерывания (ISR) для разных каналов.

Если канал используется в контексте теневого региона и вы намерены инициировать прерывание теневого региона то убедитесь, что бит, соответствующий коду TCC, включен в IER/IERH и в соответствующем регионе DMA регистров доступа к теневого региона (DRAE/DRAEH).

Вы можете включить генерацию прерывания либо при окончательном завершении передачи, либо при промежуточном завершении передачи, или при обоих. Рассмотрим в качестве примера канал m.

- Если включено прерывание окончательной передачи (TCCINT = 1 в OPT), прерывание возникает после того, как последний запрос на передачу канала m либо отправлен, либо завершен (в зависимости от раннего или нормального завершения).

- Если разрешено промежуточное прерывание передачи (ITCCINT = 1 в OPT), то прерывание возникает после каждого запроса на передачу, кроме последнего TR канала m, который либо подан на обработку, либо завершен (в зависимости от раннего или нормального завершения).

- Если и конечное, и промежуточное прерывания завершения передачи (TCCINT = 1 и ITCCINT = 1 в OPT) включены, то прерывание происходит после подачи или завершения каждого запроса на передачу (в зависимости отраннего или нормального завершения).

В таблице 11-17 показано количество прерываний, возникающих в различных синхронизированных сценариях. Рассмотрим канал 31, запрограммированный с ACNT = 3, BCNT = 4, CCNT = 5 и TCC = 30.

**Таблица 11-17. Количество прерываний**

|  |  |  |
| --- | --- | --- |
| **Options** | **A-Synchronized** | **AB-Synchronized** |
| TCINTEN = 1, ITCINTEN = 0 | 1 (Last TR) | 1 (Last TR) |
| TCINTEN = 0, ITCINTEN = 1 | 19 (All but the last TR) | 4 (All but the last TR) |
| TCINTEN = 1, ITCINTEN = 1 | 20 (All TRs) | 5 (All TRs) |

**11.3.9.1.1 Включение прерываний завершения передачи данных**

Для того чтобы контроллер канала EDMA3 выдал сигнал завершения передачи во внешнюю среду, необходимо включить прерывания в EDMA3CC. Это делается в дополнение к установке битов TCINTEN и ITCINTEN в OPT соответствующего набора PaRAM.

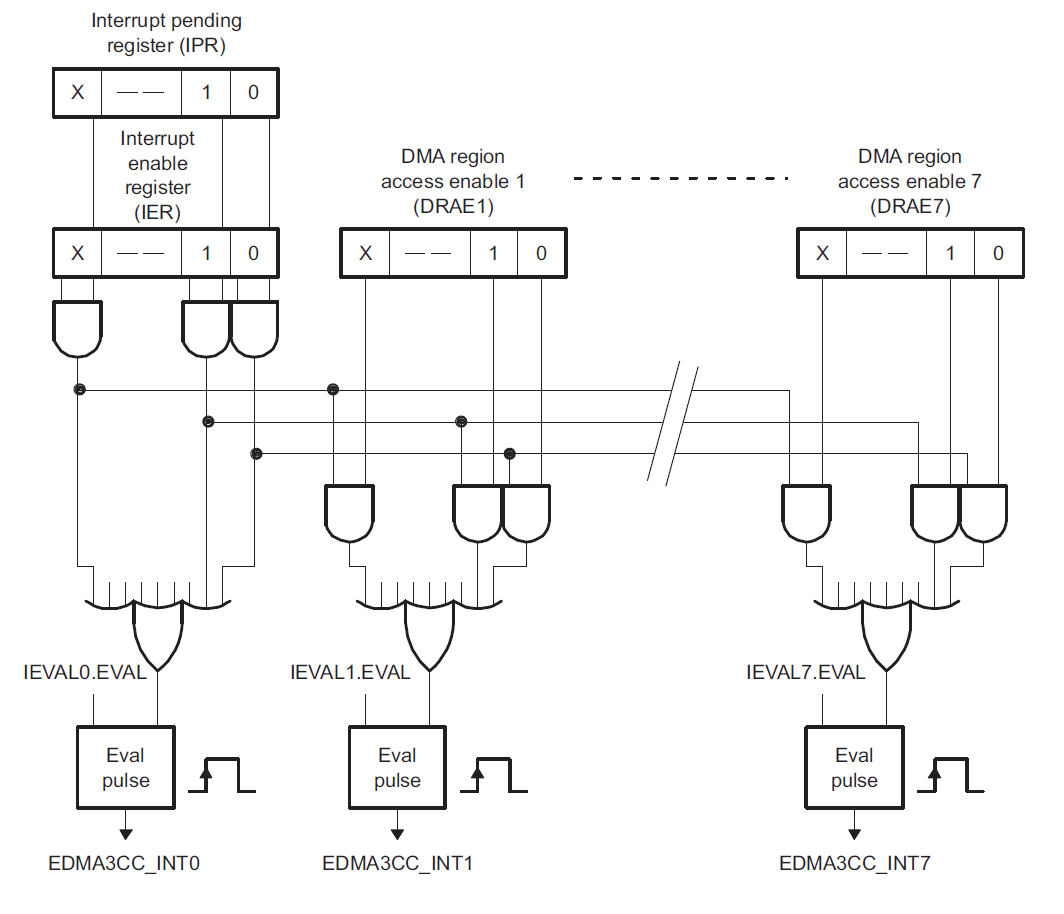
Контроллер канала EDMA3 имеет регистры разрешения прерываний (IER/IERH), и каждое битовое место в IER/IERH служит первичным разрешением для соответствующих регистров ожидания прерываний (IPR/IPRH).

Все регистры прерываний (IER, IESR, IECR и IPR) управляются либо из глобальной области DMA либо из глобального региона канала DMA, либо из теневых регионов канала DMA. Теневые регионы предоставляют доступ к тому же набору физических регистров, что и в глобальном регионе.

Контроллер канала EDMA3 имеет иерархическую схему прерывания завершения, которая использует один набор регистров ожидания прерывания (IPR/IPRH) и один набор регистров разрешения прерывания (IER/IERH).Программируемые регистры разрешения доступа к региону DMA (DRAE/DRAEH) обеспечивают второй уровень маскировки прерываний. Выход прерывания глобального региона регулируется на основе маски разрешения, которая обеспечивается IER/IERH. см. рис. 11-14

Выходы прерываний регионов регулируются IER и конкретными DRAE/DRAEH, связанными с регионом.См. Рисунок 11-14.

**Рисунок 11-14. Диаграмма прерываний**



Чтобы EDMA3CC генерировал прерывания завершения передачи, связанные с каждым теневым регионом, должны выполняться следующие условия:

- EDMA3CC\_INT0: (IPR.E0 & IER.E0 & DRAE0.E0) | (IPR.E1 & IER.E1 & DRAE0.E1) | ...|(IPRH.E63 &IERH.E63 & DRAHE0.E63)

- EDMA3CC\_INT1: (IPR.E0 & IER.E0 & DRAE1.E0) | (IPR.E1 & IER.E1 & DRAE1.E1) | ...| (IPRH.E63& IERH.E63 & DRAHE1.E63)

- EDMA3CC\_INT2 : (IPR.E0 & IER.E0 & DRAE2.E0) | (IPR.E1 & IER.E1 & DRAE2.E1) | ...|(IPRH.E63& IERH.E63 & DRAHE2.E63)....

- До EDMA3CC\_INT7 : (IPR.E0 & IER.E0 & DRAE7.E0) | (IPR.E1 & IER.E1 & DRAE7.E1)| ...|(IPRH.E63 & IERH.E63 & DRAEH7.E63)

*ПРИМЕЧАНИЕ: Предполагается, что значения DRAE/DRAEH для всех регионов будут установлены при инициализации системы и оставаться статичными в течение длительного периода времени. Регистры разрешения прерываний должны использоваться для динамического включения/выключения отдельных прерываний.*

*Поскольку между значением TCC и каналом DMA/QDMA нет никакой связи, например, канал DMA 0 может иметь значение OPT.TCC = 63 в связанном с ним PaRAM. Это будет означать, что если прерывание завершения передачи включено (установлен OPT.TCINTEN или OPT.ITCINTEN), то на основании значения TCC устанавливается IPRH.E63 по завершению. Для корректной работы каналов и генерации прерываний с использованием теневой карты региона, вы должны запрограммировать DRAE/DRAEH, связанный с теневым регионом чтобы иметь доступ на чтение/запись как к биту 0 (соответствующему каналу 0), так и к биту 63 (соответствующий биту IPRH, который устанавливается по завершении работы).*

**11.3.9.1.2 Очистка прерываний завершения передачи данных**

Прерывания завершения передачи, занесенные в регистры ожидания прерываний (IPR/IPRH), очищаются путем записи 1 в соответствующий бит регистра очистки прерываний (ICR/ICRH). Например, запись 1 в ICR.E0 очищает ожидающее прерывание в IPR.E0.

Если входящий код завершения передачи (TCC) защелкивается на бит в IPR/IPRH, то дополнительные биты, которые устанавливаются в результате последующего завершения передачи, не приведут к подаче сигнала о завершении прерывания EDMA3CC. Для того чтобы прерывание завершения было импульсным, необходим переход из состояния, в котором нет разрешенных прерываний, в состояние, в котором установлено хотя бы одно разрешенное прерывание.

**11.3.9.2 Обслуживание прерываний EDMA3**

По завершении передачи (досрочное или нормальное завершение) контроллер канала EDMA3 устанавливает соответствующий бит в регистрах ожидания прерывания (IPR/IPRH), как указано в кодах завершения передачи. Если прерывания по завершению передачи соответствующим образом разрешены, то процессор переходит в процедуру обслуживания прерываний (ISR) при подаче сигнала о прерывании завершения.

После обслуживания прерывания ISR должна очистить соответствующий бит в IPR/IPRH, тем самым разрешая распознавание будущих прерываний. EDMA3CC будет подавать дополнительные прерывания завершения только тогда, когда все биты биты IPR/IPRH очистятся.

При обслуживании одного прерывания множество других завершений передачи могут привести к установке дополнительных битов в IPR/IPRH, что приведет к дополнительным прерываниям. Каждый из битов в IPR/IPRH может нуждаться в различных типах обслуживания; поэтому ISR может проверить все ожидающие прерывания и продолжать до тех пор, пока все размещенные прерывания не будут обслужены должным образом.

Примеры псевдокода для процедуры обслуживания прерываний процессора для прерывания завершения EDMA3CC показаны в примерах 11-2 и 11-2.

Процедура ISR в примере 11-2 является более исчерпывающей и имеет более высокую задержку.

**Пример 11-2. Обслуживание прерывания**

|  |
| --- |
| Псевдокод:  1. Считывает регистр ожидания прерывания (IPR/IPRH).  2. Выполняет необходимые операции.  3. Записывает в регистр очистки ожидающих прерываний (ICR/ICRH), чтобы очистить соответствующий бит(ы) IPR/IPRH.  4. Снова считывает IPR/IPRH:  a. Если IPR/IPRH не равен 0, повторите шаг 2 (подразумевается возникновение нового события между шагом 2 и шагом 4).  b. Если IPR/IPRH равен 0, это должно убедить вас в том, что все включенные прерывания неактивны.  *ПРИМЕЧАНИЕ: Событие может произойти во время шага 4, когда биты IPR/IPRH считаны равными 0 и приложение все еще находится в процедуре обслуживания прерываний. Если это произойдет, новое прерывание будет зарегистрировано в контроллере прерываний устройства контроллера прерываний, и новое прерывание генерируется, как только приложение выйдет из процедуры обслуживания прерываний*. |

Пример 11-3 является менее строгим, с меньшей нагрузкой на программное обеспечение при опросе установленных битов прерывания, но может иногда вызвать состояние гонки, о котором говорилось выше.

**Пример 11-3. Обслуживание прерываний**

|  |
| --- |
| Если вы хотите оставить все разрешенные и ожидающие прерывания (возможно, с более низким приоритетом), вы должны заставить логику прерывания повторно подать импульс прерывания, установив бит EVAL в регистре оценки прерываний (IEVAL).  Псевдокод выглядит следующим образом:   1. Вход в ISR.   2. Считывает IPR/IPRH.  3. Для условия, установленного в IPR/IPRH, которое вы хотите обслужить, выполните следующие действия:  a. Обслужите прерывание в соответствии с требованиями приложения.  b. Очистите бит для обслуживаемых условий (другие могут быть все еще установлены, и другие передачи могли привести к  возврат TCC в EDMA3CC после шага 2).  4. Считывание IPR/IPRH перед выходом из ISR:  a. Если IPR/IPRH равен 0, то выйти из ISR.  b. Если IPR/IPRH не равен 0, то установите IEVAL таким образом, чтобы при выходе из ISR сработало новое прерывание, если какие-либо разрешенные прерывания все еще ожидают своего завершения. |

**11.3.9.3 Операции оценки прерываний**

EDMA3CC имеет регистры оценки прерываний (IEVAL), которые существуют в глобальном регионе и в каждом теневом регионе. Регистры в теневом регионе являются единственными регистрами в теневом регионе канала DMA на которые не влияют настройки регистров разрешения доступа к региону DMA (DRAE/DRAEH). Запись 1 в бит EVAL в регистрах, связанных с определенным теневым регионом, приводит к импульсному прерыванию соответствующего региона (глобального или теневого), если любое разрешенное прерывание (через IER/IERH) все еще ожидается (IPR/IPRH). Этот регистр гарантирует, что процессор не пропустит прерывания (или ведущего устройства EDMA3, связанного с теневым регионом), если программная архитектура решает не использовать все прерывания.

Использование IEVAL в процедуре обслуживания прерываний EDMA3 (ISR) см. в примере 11-3.

Аналогично, в глобальном регионе существует регистр оценки ошибок (EEVAL). Запись 1 в бит EVAL в регистре EEVAL вызывает импульсное прерывание ошибки в EMR/EMRH, QEMR или CCERR. Бит EVAL должен быть записан в 1, чтобы очистить прерывания INTC, даже если все регистры прерываний ошибок очищены.Дополнительную информацию об ошибочных прерываниях см. в разделе 11.3.9.4, Прерывания по ошибкам. прерываний.

*ПРИМЕЧАНИЕ: При использовании IEVAL для прерываний завершения теневого региона убедитесь, что IEVAL работает из конкретной карты памяти теневого региона.*

**11.3.9.4 Прерывания ошибок**

Регистры ошибок EDMA3CC предоставляют возможность дифференцировать условия ошибок (пропуск события,превышение порога и т.д.). Кроме того, установка битов ошибок в этих регистрах приводит к активизации прерывания ошибки EDMA3CC. Если прерывание ошибки EDMA3CC включено в контроллере(ах) прерываний устройства,то это позволяет центральному процессору (процессорам) обрабатывать условия ошибки.

EDMA3CC имеет единственное прерывание ошибки (EDMA3CC\_ERRINT), которое активируется для всех условий ошибки EDMA3CC. Существует четыре условия, которые вызывают импульс прерывания ошибки:

- Пропущенные события DMA: для всех 64 каналов DMA. Пропущенные события DMA фиксируются в регистрах пропущенных событий (EMR/ EMRH).

- Пропущенные события QDMA: для всех 8 каналов QDMA. Пропущенные события QDMA фиксируются в регистре пропущенных событий QDMA (QEMR).

- Превышение порога: для всех очередей событий. Они фиксируются в регистре ошибок EDMA3CC (CCERR).

- Ошибка TCC: для невыполненных запросов передачи, которые должны вернуть код завершения (TCCHEN или TCINTEN в OPT установлен в 1), превышающих максимальный предел 63. Этот код также фиксируется в регистре ошибок EDMA3CC (CCERR).

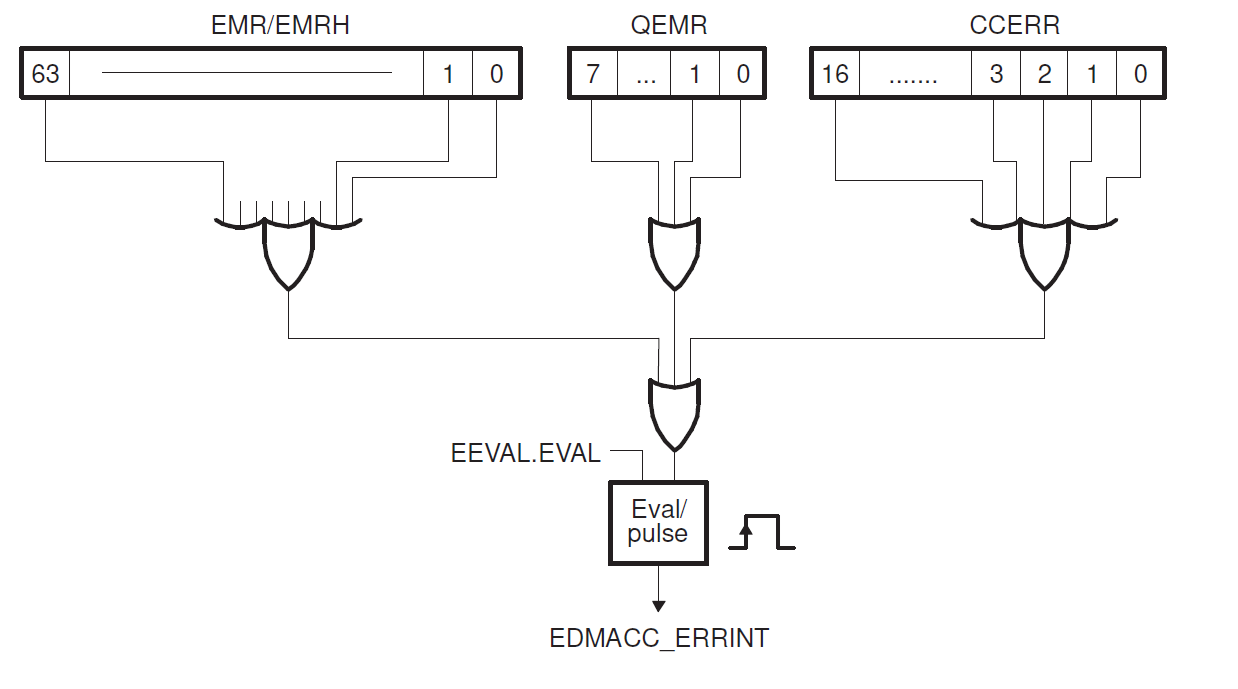
Рисунок 11-15 иллюстрирует операцию генерации прерывания ошибки EDMA3CC.

Если любой из битов в регистрах ошибок установлен в результате какого-либо состояния ошибки, всегда подается сигнал EDMA3CC\_ERRINT так как не существует разрешений для маскировки этих событий. Аналогично прерываниям завершения передачи данных (EDMA3CC\_INT), прерывание ошибки также подает импульс только тогда, когда условие прерывания ошибки переходит от отсутствия ошибок до хотя бы одной ошибки. Если дополнительные события ошибки задерживаются до того, как очищаются исходные биты ошибок, EDMA3CC не генерирует дополнительных импульсов прерывания.

Чтобы уменьшить нагрузку на программное обеспечение, имеется регистр оценки ошибок (EEVAL), который позволяет повторно оценить события/биты ошибки, аналогично регистру оценки прерываний (IEVAL). Вы можете использовать его чтобы процессор(ы) не пропустил ни одного события ошибки. Вы должны записать 1 в бит EEVAL.EVAL, чтобы очистить прерываний для INTC после очистки всех регистров ошибок.

*ПРИМЕЧАНИЕ: Хорошей практикой является включить прерываниу ошибки в контроллере прерываний устройства и связать с ним процедуру обслуживания прерываний, чтобы соответствующим образом реагировать на различные состояния ошибки. Это снижает нагрузку на программное обеспечение (опрос состояния ошибки); Кроме того, это обеспечивает хороший механизм отладки для неожиданных состояний ошибки.*

**Рисунок 11-15. Работа с прерыванием при ошибке**



**11.3.10 Защита памяти**

Контроллер канала EDMA3 поддерживает два вида защиты памяти: активную и прокси.

**11.3.10.1 Активная защита памяти**

Активная защита памяти - это функция, которая разрешает или запрещает доступ на чтение и запись (любым программистом EDMA3) к регистрам EDMA3CC (на основе запрограммированных вами характеристик разрешения). Активная защита памяти обеспечивается набором регистров атрибутов разрешений защиты памяти (MPPA).

Карта регистров EDMA3CC делится на три категории:

- глобальный регион.

- глобальный регион каналов.

- восемь теневых регионов.

Каждый теневой регион состоит из соответствующих регистров теневого региона и связанной с ним PaRAM. Для более подробную информацию о содержимом теневого региона см. в разделе Таблица 11-11.

Каждый из восьми теневых регионов имеет соответствующий регистр MPPA (MPPAn), который определяет конкретные запросчики(ов) и типы запросов, которые разрешены к ресурсам региона.

Регион глобального канала также защищен регистром с привязкой к памяти (MPPAG). MPPAG применяется к глобальному региону и региону глобального канала, за исключением других регистров MPPA.

Для получения более подробной информации о списке регистров в каждом регионе обратитесь к карте памяти регистров в разделе Таблица 11-19.

См. описание битовых полей MPPAn. MPPAn имеют определенный набор правил доступа.

В таблице 11-18 показаны разрешенные и запрещенные доступы к MPPAG и MPPAn. Активная Защита памяти использует атрибуты PRIV и PRIVID программиста EDMA. PRIV – это уровень привилегий (т. е. пользователь против супервизора). PRIVID относится к идентификатору привилегий с номером, который связан с программистом EDMA3. Обратитесь к руководству по данным конкретного устройства для получения информации о PRIVID, которые связаны с потенциальными программистами EDMA3.

**Таблица 11-18. Разрешенные доступы**

|  |  |  |
| --- | --- | --- |
| **Access** | **Supervisor** | **User** |
| Read | Yes | Yes |
| Write | Yes | No |

В таблице 11-19 описано отображение регистров MPPA для теневых областей (включает регистры теневых областей и адреса PaRAM).

Регистры MPPA для регионов используются для защиты доступа к теневым регионам DMA и связанной с ними области PaRAM. Поскольку регионов восемь, существует восемь регистров MPPA(MPPA[0-7]).

**Таблица 11-19. Назначение регистров MPPA регионам**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Register** | **Registers Protect** | **Address Range** | **PaRAM Protect(1)** | **Address Range** |
| MPPAG | Global Range | 0000h-1FFCh | N/A | N/A |
| MPPA0 | DMA Shadow 0 | 2000h-21FCh | 1st octant | 4000h-47FCh |
| MPPA1 | DMA Shadow 1 | 2200h-23FCh | 2st octant | 4800h-4FFCh |
| MPPA2 | DMA Shadow 2 | 2400h-25FCh | 3st octant | 5000h-57FCh |
| MPPA3 | DMA Shadow 3 | 2600h-27FCh | 4st octant | 5800h-5FFCh |
| MPPA4 | DMA Shadow 4 | 2800h-29FCh | 5st octant | 6000h-67FCh |
| MPPA5 | DMA Shadow 5 | 2A00h-2BFCh | 6st octant | 6800h-6FFCh |
| MPPA6 | DMA Shadow 6 | 2C00h-2DFCh | 7st octant | 7000h-77FCh |
| MPPA7 | DMA Shadow 7 | 2E00h-2FFCh | 8st octant | 7800h-7FFCh |

(1) Область PARAM разделена на 8 областей, называемых октантом.

Пример Доступ запрещен.

Доступ на запись к регистру настройки разрешения событий теневого региона 7 (EESR):

1. Исходное значение регистра разрешения событий (EER) по адресному смещению 0x1020 равно 0x0.

2. MPPA[7] настроен на предотвращение доступа на уровне пользователя (UW = 0, UR = 0), но разрешает доступ на уровне супервизора доступа (SW = 1, SR = 1) с идентификатором привилегии 0. (AID0 = 1).

3. Программист EDMA3 с идентификатором привилегий 0 пытается выполнить запись пользовательского уровня со значением 0xFF00FF00 в регистр установки разрешения событий (EESR) теневого региона 7 по адресному смещению 0x2E30. Обратите вниманиечто EER - это регистр, доступный только для чтения, и единственный способ записи в него - это запись в EESR.

Также помните, что существует только один физический регистр для EER, EESR и т.д. и что теневые регионы обеспечивают только один и тот же физический набор.

4. Поскольку MPPA[7] имеет UW = 0, хотя идентификатор привилегии доступа на запись установлен в 0, доступ не разрешен, и запись в EER не производится.

**Таблица 11-20. Пример отказа в доступе**

|  |  |  |
| --- | --- | --- |
| **Register** | **Value** | **Description** |
| EER (offset 0x1020) | 0x0000 0000 | Значение в EER для начала |
| EESR (offset 0x2E30) | 0xFF00 FF00 ↓ | Была произведена попытка записи значения в EESR теневого региона 7.  Это сделал программист EDMA3 с уровнем привилегий User и идентификатором привилегий  0. |
| MPPA[7] (offset 0x082C) | 0x0000 04B0 X | Memory Protection Filter AID0 = 1, UW = 0, UR = 0, SW = 1, SR = 1. Доступ запрещен |
| EER (offset 0x1020) | 0x0000 0000 | Окончательное значение EER |

**Пример разрешенного доступа**

Доступ на запись к регистру настройки разрешения событий теневого региона 7 (EESR):

1. Исходное значение регистра разрешения событий (EER) по адресному смещению 0x1020 равно 0x0.

2. MPPA[7] установлен для разрешения доступа на уровне пользователя (UW = 1, UR = 1) и доступа на уровне супервизора (SW = 1, SR = 1) с идентификатором привилегии 0. (AID0 = 1).

3. Программист EDMA3 с идентификатором привилегий 0 пытается выполнить запись на уровне пользователя значения 0xABCD0123 в регистр установки разрешения событий (EESR) теневого региона 7 по адресному смещению 0x2E30. Обратите внимание что EER - это регистр, доступный только для чтения, и единственный способ записи в него - это запись в EESR.

Также помните, что существует только один физический регистр для EER, EESR и т.д. и что теневые регионы обеспечивают только один и тот же физический набор.

4. Поскольку MPPA[7] имеет UW = 1 и AID0 = 1, доступ на запись на уровне пользователя разрешен.

5. Помните, что доступ к регистрам теневых регионов маскируется соответствующим регистром DRAE. В данном примере регистр DRAE[7] имеет значение 0x9FF00FC2.

6. Окончательное значение, записанное в EER, равно 0x8BC00102.

**Таблица 11-21. Пример разрешенного доступа**

|  |  |  |
| --- | --- | --- |
| **Register** | **Value** | **Description** |
| EER  (offset 0x1020) | 0x0000 0000 | Значение в EER для начала |
| EESR  (offset 0x2E30) | 0xFF00 FF00 | Попытка записи значения в EESR теневого региона 7. Это сделал программист EDMA3  программист с уровнем привилегий User и идентификатором привилегий 0. |
| MPPA[7]  (offset 0x082C) | 0x0000 04B3 V | Фильтр защиты памяти AID = 1, UW = 1, UR = 1, SW = 1, SR = 1. |
|  | ↓ | Доступ разрешен. |
| DRAE[7]  (offset 0x0378) | 0x9FF0 0FC2 ↓ | Фильтр разрешения доступа к региону DMA |
| EESR  (offset 0x2E30) | 0x8BC0 0102  ↓ | Значение записывается в EESR теневого региона 7. Это выполняется программистом EDMA3 с уровнем привилегий  уровнем привилегий User и идентификатором привилегий 0. |
| EER  (offset 0x1020) | 0xBC0 0102 | Final value of EER. |

**11.3.10.2 Защита прокси-памяти**

Защита прокси-памяти позволяет передаче EDMA3, запрограммированной данным программистом EDMA3, иметь разрешения, проходящие вместе с передачей через EDMA3TC. Разрешения перемещаются вместе с транзакциями чтения транзакций чтения к источнику и транзакций записи к конечным точкам назначения. Бит PRIV и PRIVID в параметре опций канала (OPT) устанавливается значение PRIV и PRIVID соответственно, когда записывается любая часть набора PaRAM.

PRIV - это уровень привилегий (т.е. пользователь против супервизора). PRIVID означает идентификатор привилегии с номером, который связан с программистом EDMA3.

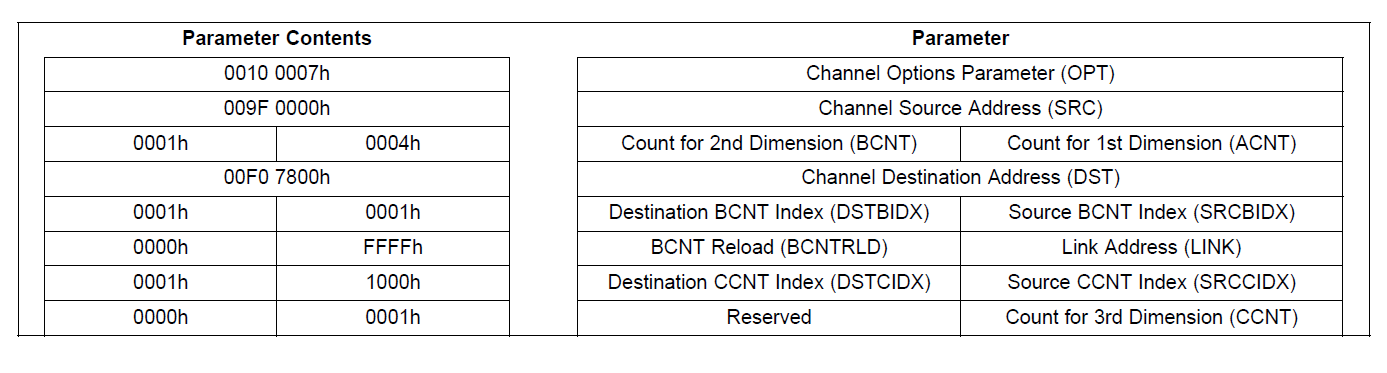
См. руководство по данным для получения информации о PRIVID, которые связаны с потенциальными программистами EDMA3.

Эти опции являются частью TR, которые передаются контроллеру переноса. Контроллер переноса использует вышеуказанные значения на своей соответствующей шине команд чтения и записи, чтобы целевые конечные точки могли выполнить проверку защиты памяти на основе этих значений.

Рассмотрим набор параметров, запрограммированный процессором с уровнем привилегий пользователя для простой передачи с буфером источника на странице L2 и буфером назначения на странице L1D. PRIV равен 0 для уровня пользователя и процессор имеет PRIVID, равный 0.

Набор PaRAM показан на рисунке 11-16.

**Рисунок 11-16. Содержание набора PaRAM для примера защиты прокси-памяти**

(a) Параметры EDMA3 

**Рисунок 11-17. Пример параметра опций канала (OPT)** (b) (b)Содержание параметра опций канала (OPT) 

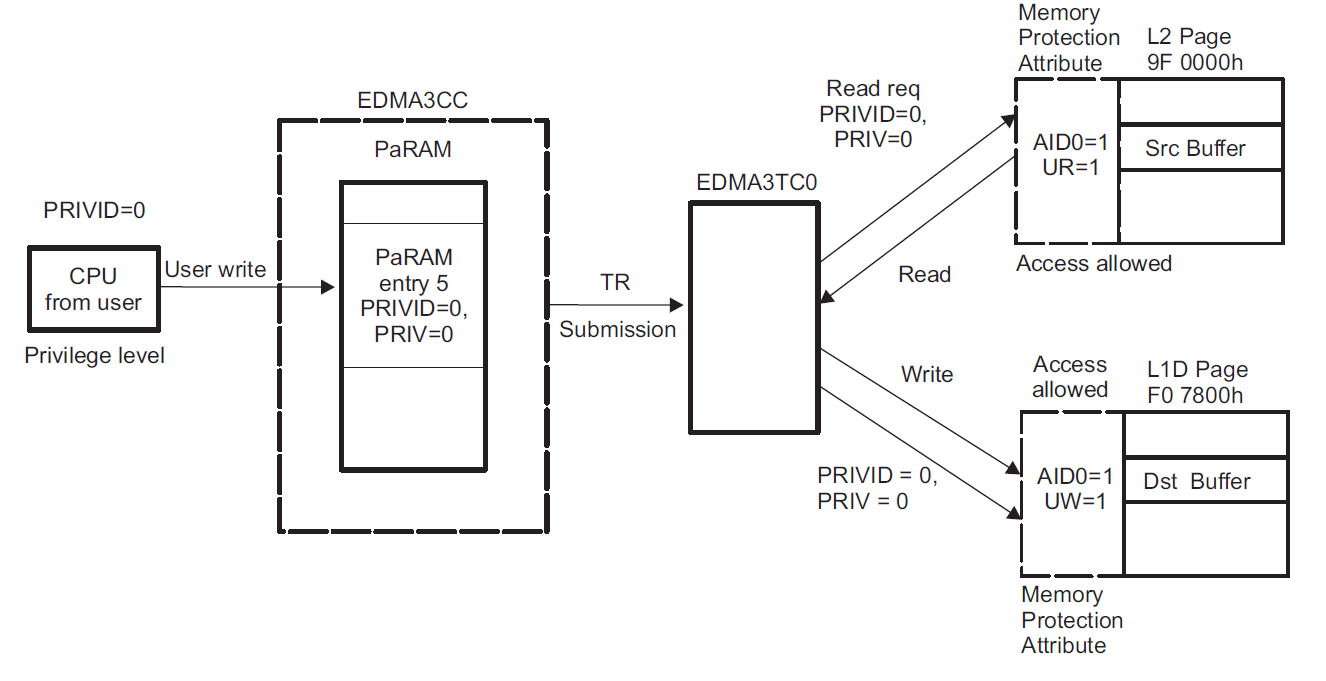
Информация PRIV и PRIVID путешествует вместе с запросами на чтение и запись, которые отправляются на памяти источника и памяти назначения.

Например, если атрибуты доступа, связанные со страницей L2 в исходном буфере, разрешают только супервизорское чтение и запись (SR,SW), то вышеуказанный запрос на чтение на уровне пользователя будет отклонен. Аналогично, если атрибуты доступа, связанные со страницей L1D с буфером назначения, разрешают только супервизорские чтение и запись (SR, SW), то приведенный выше запрос записи на уровне пользователя будет отклонен. Для успешной передачи, страницы источника и назначения должны иметь разрешения на чтение и запись пользователем, соответственно, а также разрешить доступ с PRIVID 0.

Поскольку уровень привилегий программиста и идентификация привилегий передаются вместе с запросами на чтение и запись, EDMA3 действует как прокси.

Рисунок 11-18 иллюстрирует распространение PRIV и PRIVID на границах всех взаимодействующих (процессор, EDMA3CC, EDMA3TC и ведомая память).

**Рисунок 11-18. Пример защиты прокси-памяти**



**11.3.11 Очереди событий**

Очереди событий являются частью контроллера каналов EDMA3. Очереди событий формируют интерфейс между логикой обнаружения событий в EDMA3CC и логикой отправки запросов на передачу (TR) в EDMA3CC.

Каждая очередь имеет глубину 16 записей; таким образом, в каждой очереди событий может быть максимум 16 событий. Если в очереди более 16 событий, то события, которым не нашлось места в очереди событий, остаются установленными и процессор не задерживается.

В устройстве имеется три очереди событий: Queue0, Queue1 и Queue2. События в очереди 0 приводят к отправке связанных с ними запросов на передачу (TR) в TC0. Аналогично, запросы на передачу, связанные с событиями в очереди 2, передаются в TC2.

Событие, получившее приоритет по сравнению с другими ожидающими событиями DMA и/или QDMA, помещается в хвост соответствующей очереди событий. Каждая очередь событий обслуживается в порядке FIFO. Как только событие наступает и соответствующий контроллер передачи готов к приему другого TR, событие снимается с очереди, а набор PaRAM, соответствующий снятому с очереди событию, обрабатывается и отправляется в виде пакета запроса передачи (TRP) на соответствующий контроллер передачи EDMA3.

Queue0 имеет наивысший приоритет, а Queue2 - наименьший приоритет, если в Queue0 и Queue1 есть хотя бы одна запись о событии и если и TC0, и TC1 могут принимать запросы на передачу, то событие в очереди0 откладывается первым, а связанный с ним набор PaRAM обрабатывается и передается в TC0 как запрос на передачу (TR).

О производительности на уровне системы см. раздел 11.3.11.4. Все записи о событиях во всех очередях событий доступны для программного чтения (но не для записи) путем обращения к регистрам записи событий (Q0E0, Q0E1,...Q1E15 и т. д.). Каждый регистр записи события характеризует поставленное в очередь событие с точки зрения его типа (ручное, событие, цепочка или автотриггер) и номера события. См.описание битовых полей в регистрах записи событий очереди.

**11.3.11.1 Сопоставление каналов DMA/QDMA и очередей событий**

Каждый из 64 каналов DMA и восьми каналов QDMA программируется независимо для сопоставления с конкретной очередью, используя регистр номера очереди DMA (DMAQNUM) и регистр номера очереди QDMA (QDMANUM).

(QDMANUM). Сопоставление каналов DMA/QDMA имеет решающее значение для достижения желаемой производительности EDMA и, что особенно важно, для соблюдения сроков в реальном времени. См. .Раздел 11.3.11.4.

*ПРИМЕЧАНИЕ: Если событие готово к постановке в очередь, но и очередь событий, и контроллер передачи EDMA3, связанный с очередью событий, пусты, то событие минует очередь событий и переходит в логику обработки PaRAM, а затем в логику отправки запроса на передачу для отправки в EDMA3TC. В этом случае событие не регистрируется в регистрах состояния очереди событий*.

**11.3.11.2 Видимость отладки ОЗУ очередей**

Существует три очереди событий, и каждая очередь имеет 16 записей. Эти 16 записей управляются по кругу FIFO. С каждой очередью связан регистр состояния очереди (QSTAT). Они вместе со всеми 16 записями в каждой очереди могут быть считаны через регистры QSTATn и QxEy, соответственно.

Эти регистры обеспечивают видимость для пользователя и могут быть полезны при отладке проблем в реальном времени (обычно посмертно), включающих множество событий и источников событий. Регистр записи в очередь событий (QxEy) уникальным образом идентифицирует конкретный тип события (событие-триггер, событие с ручным триггером, событие с цепным триггером и событие QDMA) вместе с номером события (для всех каналов событий DMA/QDMA), которые находятся в очереди или были сняты с очереди (прошли через очередь).

Каждая из 16 записей в очереди событий считывается с помощью регистра EDMA3CC, привязанного к памяти. По адресу чтения очереди событий, вы видите историю последних 16 TR, которые были обработаны EDMA3 в данной очереди. Это обеспечивает видимость для пользователя/программного обеспечения и полезно для отладки проблем в реальном времени (обычно посмертных), включающих множество событий и источников событий.

Регистр состояния очереди (QSTATn) включает поля для начального указателя (STRTPTR), который обеспечивает смещение до головной записи события. Он также включает поле NUMVAL, в котором указывается общее количество действительных записей, находящихся в очереди событий в данный момент времени. Поле STRTPTR может быть использовано для индексации 16 записей событий. Число записей NUMVAL, начиная с STRTPTR, указывают на события, все еще находящиеся в соответствующей очереди. Оставшаяся запись может быть прочитана, чтобы определить что уже снято с очереди и передано на соответствующий контроллер передачи.

**11.3.11.3 Отслеживание ресурсов очереди**

Очередь событий EDMA3CC включает в себя логику водяных знаков/пороговых значений, которая позволяет отслеживать максимальное использование всех очередей событий. Это полезно для отладки нарушений сроков в реальном времени, которые могут быть результатом блокирования очереди событий EDMA3.

Вы можете запрограммировать максимальное количество событий, которые могут быть поставлены в очередь, запрограммировав пороговое значение (от 0 до 15) в регистре порога водяного знака очереди A (QWMTHRA). Значение максимального использования очереди активно записывается в поле водяного знака (WM) регистра состояния очереди (QSTATn), которое постоянно обновляется на основе сравнения количества действительных записей, которое также видно в бите NUMVAL в QSTATn, и максимального количества записей (бит WM в QSTATn).

Если использование очереди превышено, этот статус виден в регистрах EDMA3CC: бит QTHRXCDn в в регистре ошибок контроллера канала (CCERR) и бит THRXCD в QSTATn, где n означает номер события номер очереди событий. Любые биты, установленные в CCERR, также генерируют прерывание по ошибке EDMA3CC.

**11.3.11.4 Учет производительности**

Инфраструктура главной системной шины (L3) осуществляет арбитраж запросов шины от всех ведущих устройств (TC, CPU(S) и других мастеров шины) к общим ведомым ресурсам (периферийным устройствам и памяти).

Приоритеты запросов на передачу (команды чтения и записи) от контроллеров передачи EDMA3 по отношению к другим мастерам системной кросс-шины программируются с помощью регистра приоритета очереди (QUEPRI). QUEPRI программирует приоритет очередей событий (или, косвенно, TC0-TC2, поскольку запросы на передачу QueueN передаются в TCN).

Поэтому приоритет очередей выгрузки имеет второстепенное значение по сравнению с приоритетом пересылок по мере их выполнения EDMA3TC (диктуется приоритетом, установленным с помощью QUEPRI).

**11.3.12 Контроллер передачи данных EDMA3 (EDMA3TC)**

Контроллер каналов EDMA3 является пользовательским интерфейсом EDMA3, а контроллер передачи данных EDMA3 (EDMA3TC) - это механизм перемещения данных в EDMA3. EDMA3CC подает запросы на передачу (TR) в EDMA3TC, а EDMA3TC выполняет передачу данных, продиктованную TR; таким образом, EDMA3TC является ведомым устройством для EDMA3CC.

**11.3.12.1 Детали архитектуры**

**11.3.12.1.1 Фрагментация команд**

Контроллеры чтения и записи TC в сочетании с наборами регистров источника и назначения отвечают за выдачу оптимальных по размеру команд чтения и записи на ведомые конечные точки. Оптимальный размер определяется стандартным размером серии (DBS) контроллера передачи, который определен в Разделе 11.3.12.5.

EDMA3TC пытается выдать максимально возможный размер команды, ограниченный значением DBS или значением ACNT/BCNT TR. EDMA3TC подчиняется следующим правилам:

- Контроллеры чтения/записи всегда выдают команды, размер которых меньше или равен значению DBS.

- Первая команда 1D-команды передачи всегда выравнивает адрес последующих команд по значению DBS.

В таблице 11-22 перечислены правила сегментации TR, которым следует EDMA3TC. В общем случае, если значение ACNT больше значения DBS, то EDMA3TC разбивает массив ACNT на команды размером DBS по адресам источника/назначения. Затем последовательно обслуживаются все массивы BCNT.

Для массивов BCNT из ACNT байт (т. е. двумерная передача), если значение ACNT меньше или равно значению DBS, то TR может быть оптимизирован в 1D-передачу, чтобы максимизировать эффективность. Оптимизация происходит, если EDMA3TC распознает, что 2D-передача организована как одно измерение (ACNT == BIDX) и значение ACNT равно 2.

В таблице 11-22 перечислены условия, при которых выполняется оптимизация.

**Таблица 11-22. Правила оптимизации команд чтения/записи**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **ACNT ≤ DBS** | **ACNT is power of 2** | **BIDX = ACNT** | **BCNT ≤ 1023** | **SAM/DAM =**  **Increment** | **Description** |
| Yes | Yes | Yes | Yes | Yes | Optimized |
| No | x | x | x | x | Not Optimized |
| x | No | x | x | x | Not Optimized |
| x | x | No | x | x | Not Optimized |
| x | x | x | No | x | Not Optimized |
| x | x | x | x | No | Not Optimized |

**11.3.12.1.2 Конвейерная обработка TR**

Под конвейеризацией TR понимается способность исходного активного набора выполняться раньше, чем конечный активный набор. По сути, чтение для данного TR может быть уже в процессе, в то время как запись предыдущего TR может быть еще не завершилась.

Количество невыполненных TR ограничено количеством записей регистра FIFO назначения.Конвейерная обработка TR полезна для поддержания пропускной способности при последовательном выполнении небольших TR. Оно минимизирует стартовые накладные расходы, поскольку чтение начинается на фоне записи предыдущего TR.

**Пример 11-4. Фрагментация команд (DBS = 64)**

|  |
| --- |
| Псевдокод:  1. ACNT = 8, BCNT = 8, SRCBIDX = 8, DSTBIDX = 10, SRCADDR = 64, DSTADDR = 191  Контроллер чтения: Он оптимизирован с 2D-передачи на 1D-передачу таким образом, что сторона чтения эквивалентна ACNT = 64, BCNT = 1.  Cmd0 = 64 байта  Контроллер записи: Поскольку DSTBIDX != ACNT, он не оптимизирован.  Cmd0 = 8 байт, Cmd1 = 8 байт, Cmd2 = 8 байт, Cmd3 = 8 байт, Cmd4 = 8 байт, Cmd5 = 8 байт, Cmd6 = 8 байт, Cmd7 = 8 байт.  2. ACNT = 128, BCNT = 1, SRCADDR = 63, DSTADDR = 513  Контроллер чтения: Адрес чтения не выровнен.  Cmd0 = 1 байт, (теперь SRCADDR выравнивается до 64 для следующей команды)  Cmd1 = 64 байта  Cmd2 = 63 байта  Контроллер записи: Адрес записи также не выровнен.  Cmd0 = 63 байта, (теперь DSTADDR выравнивается до 64 для следующей команды)  Cmd1 = 64 байта  Cmd2 = 1 байт |

**11.3.12.1.3 Настройка производительности**

По умолчанию чтение выполняется настолько быстро, насколько это возможно. В некоторых случаях операции чтения, выдаваемые EDMA3TC могут заполнить доступный буфер команд для ведомого, задерживая другие (потенциально более приоритетные) ведущие устройства от успешной подачи команд этому ведомому. Скорость выдачи команд чтения устройством EDMA3TC контролируется регистром RDRATE. Регистр RDRATE определяет количество циклов, которые контроллер чтения EDMA3TC ожидает перед выдачей последующих команд для данного TR, таким образом минимизируя вероятность того, что EDMA3TC израсходует все доступные ведомые ресурсы. В RDRATE должно быть установлено относительно небольшое значение, если контроллер передачи предназначен для высокоприоритетных передач, и более высокое если контроллер передачи предназначен для низкоприоритетных передач.

В отличие от этого, интерфейс записи не имеет никаких регуляторов производительности, поскольку при записи всегда есть интервал между командами, поскольку команды записи подаются вместе с соответствующими данными записи.

**11.3.12.2 Защита памяти**

Контроллер переноса играет важную роль в защите прокси-памяти. Существует два свойства доступа, связанные с передачей: например, идентификатор привилегий (общесистемный идентификатор, присвоенный master) мастера, инициирующего передачу, и уровень привилегий (пользователь или супервизор), используемый для программирования передачи. Эта информация сохраняется в наборе PaRAM, когда он программируется в контроллер канала. Когда TR подается в контроллер передачи, эта информация становится доступной для EDMA3TC и используется им при выдаче команд чтения и записи. Команды чтения или записи имеют тот же идентификатор привилегий и уровень привилегий, что и команды, запрограммированные в EDMA3 передаче в контроллере канала.

**11.3.12.3 Генерация ошибок**

Ошибки генерируются, если они разрешены, при трех условиях:

- Обнаружение EDMA3TC ошибки, сигнализируемой адресом источника или назначения.

- Попытка чтения или записи по недопустимому адресу в карте памяти конфигурации.

- Обнаружение постоянного режима адресации TR, нарушающего правила передачи постоянного режима адресации (адреса источника/назначения и индексы источника/назначения должны быть выровнены по 32 байтам).

Можно отключить любой из типов ошибок или все. Если бит ошибки установлен и разрешен, генерируется прерывание ошибки для соответствующего контроллера передачи данных.

**11.3.12.4 Функции отладки**

Набор регистров программы DMA, набор активных регистров источника DMA и набор регистров FIFO назначения используются для получения краткой истории TR, обслуживаемых через контроллер передачи.

Кроме того, регистр состояния EDMA3TC (TCSTAT) имеет специальные битовые поля для указания текущей активности в различных частях контроллера передачи:

- Бит SRCACTV указывает, активен ли активный набор источника.

- Бит DSTACTV указывает количество TR, находящихся в активном наборе регистра назначения в данном экземпляре.

- Бит PROGBUSY указывает, присутствует ли действительный TR в программном наборе DMA.

Если TR находятся в прогрессии, необходимо соблюдать осторожность и понимать, что существует вероятность того, что значения, считанные из регистров состояния EDMA3TC, будут противоречивыми, поскольку EDMA3TC может изменять значения этих регистров в результате текущей деятельности.

Рекомендуется исключить дополнительную передачу ТР в EDMA3TC, чтобы облегчитьудобства отладки.

**11.3.12.4.1 Указатель регистра FIFO назначения**

Указатель регистра FIFO назначения реализован в виде кольцевого буфера, начальным указателем которого является DFSTRTPTR и глубиной буфера, обычно равной 2 или 4. EDMA3TC хранит два важных статуса в TCSTAT, которые при необходимости могут быть использованы при расширенной отладке. DFSTRTPTR - это стартовый указатель,то есть указатель на головку регистра FIFO назначения. DSTACTV - это счетчик количествадействительных (занятых) записей. Эти регистры можно использовать для получения краткой истории пересылок.

Примеры значений некоторых регистровых полей и их интерпретации:

- DFSTRTPTR = 0 и DSTACTV = 0 означает, что в регистре FIFO назначения не хранится ни одного TR.

- DFSTRTPTR = 1 и DSTACTV = 2h означает, что в регистре присутствуют два TR. Первый ожидающий TR считывается из записи 1 регистра FIFO назначения, а второй ожидающий TR считывается из записи 2 регистра FIFO назначения.

- DFSTRTPTR = 3h и DSTACTV = 2h означает, что присутствуют два TR. Первый ожидающий TR считывается из записи регистра FIFO назначения 3, а второй ожидающий TR считывается из записи регистра назначения 0 регистра FIFO.

**11.3.12.5 Конфигурация EDMA3TC**

В таблице 11-23 приведена конфигурация отдельных контроллеров передачи EDMA3, имеющихся в устройстве.

Размер серии по умолчанию (DBS) для каждого контроллера передачи настраивается с помощью регистра TPTC\_CFG в модуле управления.

**Таблица 11-23. Конфигурации контроллеров переноса EDMA3**

|  |  |  |  |
| --- | --- | --- | --- |
| **Name** | **TC0** | **TC1** | **TC2** |
| FIFOSIZE | 512 bytes | 512 bytes | 512 bytes |
| BUSWIDTH | 16 bytes | 16 bytes | 16 bytes |
| DSTREGDEPTH | 4 entries | 4 entries | 4 entries |
| DBS | Configurable | Configurable | Configurable |

**11.3.13 Поток данных события**

В этом разделе кратко описывается поток данных одного события, начиная с момента фиксации события в контроллере канала и заканчивая возвратом кода завершения передачи. В следующих шагах перечислена последовательность деятельности EDMA3CC:

1. Событие утверждается от внешнего источника (периферийного устройства или внешнего прерывания). Аналогично происходит и в случае срабатывания вручную, срабатывания по цепочке или срабатывания по QDMA. Событие фиксируется в ER.En/ERH.En (или CER.En/CERH.En, ESR.En /ESRH.En, QER.En).

2. После того как событие определено по приоритету и поставлено в соответствующую очередь событий, устанавливается бит SER.En\SERH.En (или QSER.En), чтобы сообщить логике приоритезации/обработки событий о том, что это событие следует игнорировать, поскольку оно уже находится в очереди. В противном случае, если контроллер передачи и очередь событий пусты, то событие минует очередь.

3. Логика обработки и отправки EDMA3CC оценивает соответствующий набор PaRAM и определяет, является ли он не нулевым и не фиктивным запросом на передачу (TR).

4. EDMA3CC очищает бит ER.En/ERH.En (или CER.En/CERH.En, ESR.En/ESRH.En, QER.En) и бит SER.En/SERH.En, как только определит, что TR не является нулевым. В случае нулевого набора, бит SER.En/SERH.En остается установленным. Он отправляет не нулевой/не фиктивный TR на соответствующий контроллер передачи. Если ТР был запрограммирован на досрочное завершение, EDMA3CC немедленно устанавливает регистр ожидания прерывания (IPR.I[TCC]/IPRH.I[TCC]-32).

5. Если ТР был запрограммирован на нормальное завершение, EDMA3CC устанавливает регистр ожидания прерывания (IPR.I[TCC]/IPRH.I[TCC]), когда EDMA3TC информирует EDMA3CC о завершении передачи (возвращает коды завершения передачи).

6. EDMA3CC программирует набор регистров программ соответствующего EDMA3TCn с помощью TR.

7. Затем TR передается в набор Source Active и набор регистров DST FIFO, если оба набора регистров доступны.

8. Контроллер чтения обрабатывает TR, выдавая команды чтения на конечную точку ведомого источника. Данные чтения попадают в FIFO данных EDMA3TCn.

9. Как только становится доступно достаточно данных, контроллер записи начинает обработку TR, выдавая команды записи на конечную ведомую точку назначения.

10. Это продолжается до тех пор, пока ТР не завершится, после чего EDMA3TCn сигнализирует о статусе завершения на EDMA3CC.

**11.3.14 Приоритет EDMA3**

Контроллер EDMA3 имеет множество правил реализации для работы с одновременными событиями/каналами, передачами, и т. д. В следующих подразделах подробно описаны различные детали арбитража при возникновении одновременной активности. На рисунке 11-19 показаны различные места, где вступают в игру приоритеты EDMA3.

**11.3.14.1 Приоритет канала**

Регистры событий DMA (ER и ERH) фиксируют до 64 событий; аналогично, регистр событий QDMA (QER) фиксирует события QDMA для всех каналов QDMA; поэтому возможно одновременное возникновение событий на входах DMA/QDMA. Для событий, поступающих одновременно, приоритет отдается событию, связанному с наименьшим номером канала, для отправки в очередь событий (для событий DMA канал 0 имеет наивысший приоритет, а канал 63 - наименьший; аналогично, для событий QDMA канал 0 имеет наивысший приоритет, а канал 7 - наименьший). Этот механизм сортирует только одновременные события для отправки в очереди событий.

Если события DMA и QDMA происходят одновременно, событие DMA всегда имеет приоритет перед событием QDMA для отправки в очередь событий.

**11.3.14.2 Приоритет источника триггера**

Если канал DMA связан с более чем одним источником триггера (триггер события, ручной триггер и цепной триггер), и если для одного и того же канала одновременно установлено несколько событий (ER.En = 1, ESR.En = 1 , CER.En = 1), то EDMA3CC всегда обслуживает эти события в следующем порядке приоритета: событие триггер (через ER) имеет более высокий приоритет, чем триггер цепи (через CER), а триггер цепи имеет более высокий приоритет, чем ручноq триггера (через ESR).

Это означает, что если для канала 0 одновременно ER.E0 = 1 и CER.E0 = 1, то событие ER.E0 всегда ставится в очередь перед событием CER.E0.

**11.3.14.3 Приоритет выгрузки**

Приоритет связанного запроса на передачу (TR) дополнительно зависит от того, какая очередь событий используется для отправки события (диктуется DMAQNUM и QDMAQNUM). Для отправки TR в запрос на передачу события оно должно быть исключено из очередей событий. Очередь 0 имеет наивысший приоритет исключения события, а очередь 2 - наименьший.

**11.3.14.4 Приоритет системы (контроллера передачи)**

Регистры INIT\_PRIORITY\_0 и INIT\_PRIORITY\_1 в модуле конфигурации микросхемы используются для конфигурирования приоритета EDMA TC через инфраструктуру системной шины.

*ПРИМЕЧАНИЕ: Приоритет по умолчанию для всех ТС одинаков, 0 или наивысший приоритет по отношению к другим мастерам. Рекомендуется изменить этот приоритет, исходя из соображений системного уровня, таких как сроки выполнения в реальном времени для всех мастеров, включая приоритет контроллеров передачи относительно друг друга.*

**11.3.15 Рабочая частота EDMA3 (управление тактовыми частотами**)

Контроллер канала EDMA3 и контроллер переноса получают тактовую частоту от PLL\_L3 SYSCLK4. Система EDMA3 работает на тактовой частоте L3.

**11.3.16 Учет сброса**

Аппаратный сброс сбрасывает регистры EDMA3 (EDMA3CC и EDMA3TC) и регистры конфигурации EDMA3.Содержимое памяти PaRAM не определено после сброса устройства, поэтому не следует полагаться на то, что параметры будут сброшены в известное состояние. Перед использованием запись PaRAM должна быть инициализирована до нужного значения.

**11.3.17 Управление питанием**

Микросхемы EDMA3 (EDMA3CC и EDMA3TC) могут быть переведены в режимы пониженного энергопотребления для экономии энергии в периоды низкой активности. Управление питанием периферийного устройства контролируется PRCM. PRCM действует как главный контроллер управления питанием для всех периферийных устройств.

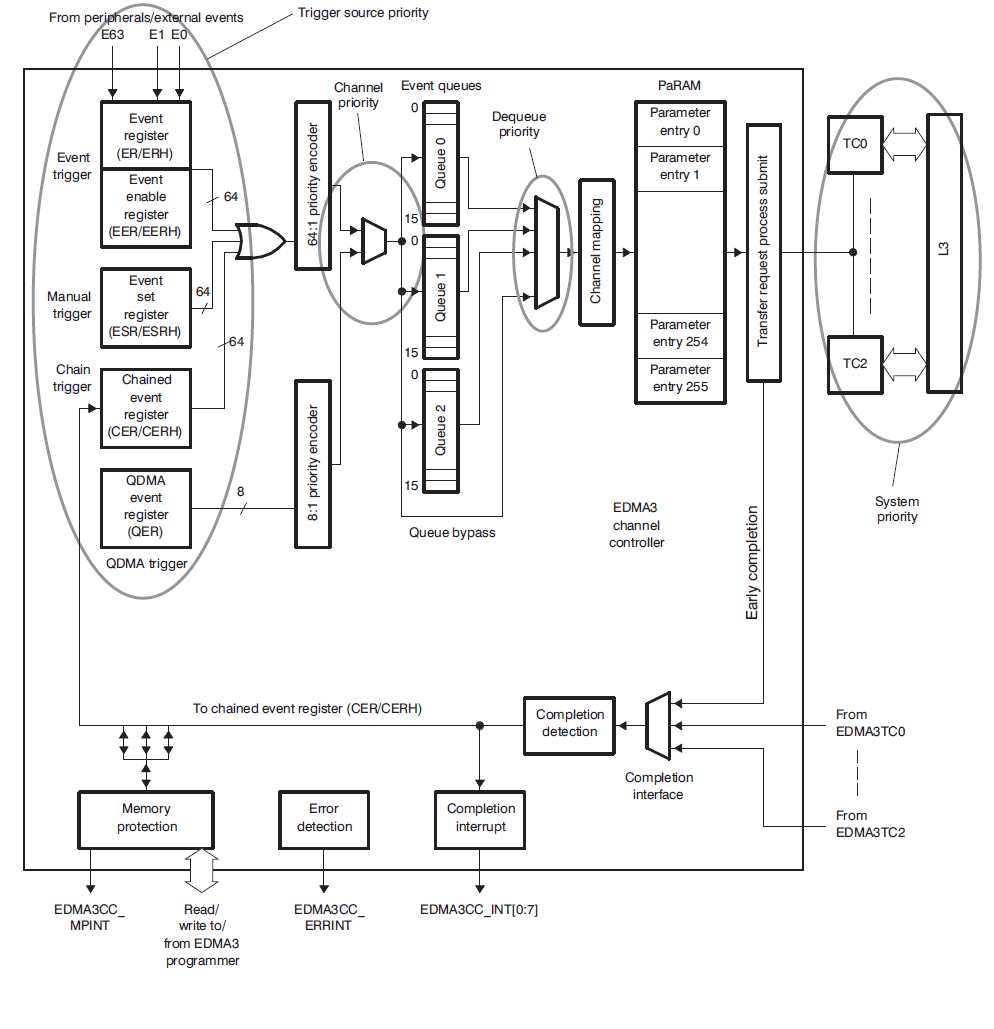
Контроллер EDMA3 может быть переведен в режим ожидания при получении запроса на остановку тактового генератора от PRCM. Запросы на EDMA3CC и EDMA3TC являются отдельными. В общем случае необходимо убедиться, что в контроллере EDMA3 нет незавершенных активностей.

**11.3.18 Соображения по эмуляции**

Во время отладки при использовании эмулятора процессор(ы) могут быть остановлены на границе пакета выполнения для одиночного шага, бенчмаркинга, профилирования или других целей отладки. Во время остановки эмуляции работа контроллера каналов EDMA3 и контроллер передачи данных продолжают свою работу. События продолжают фиксироваться и обработка событий, а запросы на передачу данных продолжают отправляться и обслуживаться.

Поскольку EDMA3 участвует в обслуживании нескольких ведущих и ведомых периферийных устройств, не представляется возможным обеспечить независимое поведение EDMA3 при эмуляции остановок. Функциональность EDMA3 будет связана с периферийными устройствами, которые он обслуживает, и которые могут иметь различное поведение во время остановок эмуляции. Например, если McASP остановлен во время доступа к эмуляции (FREE = 0 и SOFT = 0 или 1 в регистрах McASP), то McASP перестает генерировать события приема или передачи McASP (REVT или XEVT) для EDMA. С точки зрения McASP, работа EDMA3 приостановлена, но другие периферийные устройства (например, таймер) по-прежнему подают сигналы о событиях и будут обслуживаться EDMA.

**Рисунок 11-19. Приоритеты EDMA3**

****

**11.3.19 Примеры передачи данных EDMA**

Контроллер канала EDMA3 выполняет различные передачи в зависимости от конфигурации параметров. В следующих разделах приведено описание и конфигурация PaRAM для некоторых типичных сценариев использования.

**11.3.19.1 Пример перемещения блока**

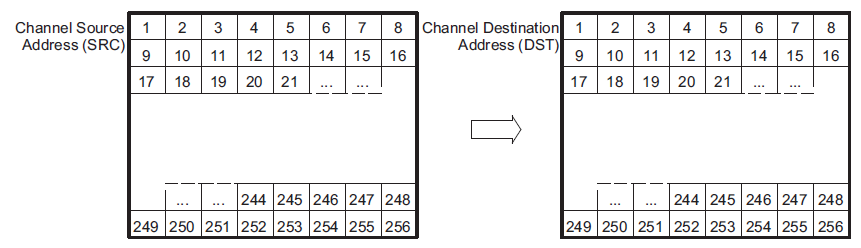
Самой основной передачей, выполняемой EDMA3, является перемещение блока. Во время работы устройства часто необходимо переместить блок данных из одного места в другое, обычно между встроенной и внешней памятью.

В данном примере необходимо скопировать участок данных из внешней памяти во внутреннюю L2 SRAM, как показано на Рисунке 11-20. На рисунке 11-21 показаны параметры этого переноса.

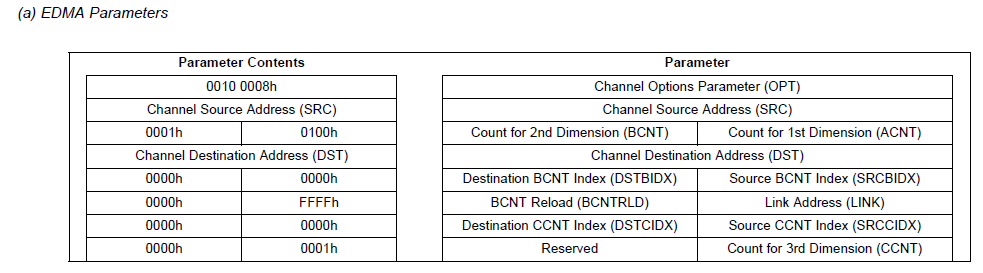
Адрес источника для переноса устанавливается в начало блока данных во внешней памяти, а адрес назначения устанавливается на начало блока данных в L2. Если блок данных меньше 64K байт, то конфигурация PaRAM, показанная на рисунке 11-21, соответствует действительности, при этом тип синхронизации установлен на A-синхронизацию ,а индексы очищены до 0. Если объем данных превышает 64 Кбайт, BCNT и B-индексы должны быть установлены соответствующим образом, а тип синхронизации установлен на AB-синхронизированный. Бит STATIC в OPT устанавливается для предотвращения связывания.

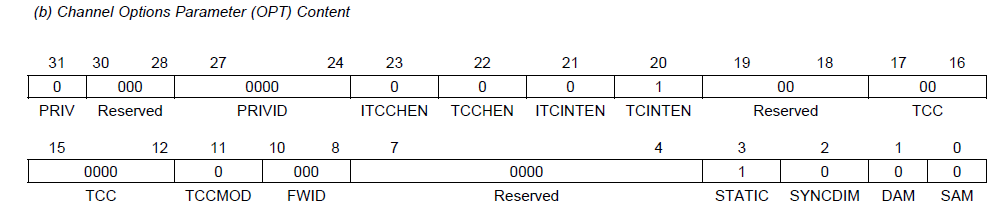
Этот пример передачи может быть также настроен с использованием QDMA. Для последовательных представлений передачи аналогичной природы, количество циклов, используемых для передачи, будет меньше в зависимости от количества изменяющихся параметров передачи. Вы можете запрограммировать триггерное слово QDMA как старшее по номеру смещение в PaRAM, которое подвергается изменению.

**Рисунок 11-20. Пример перемещения блока**



**Рисунок 11-21. Пример блочного перемещения конфигурации PaRAM**

****



**11.3.19.2 Пример извлечения подкадра**

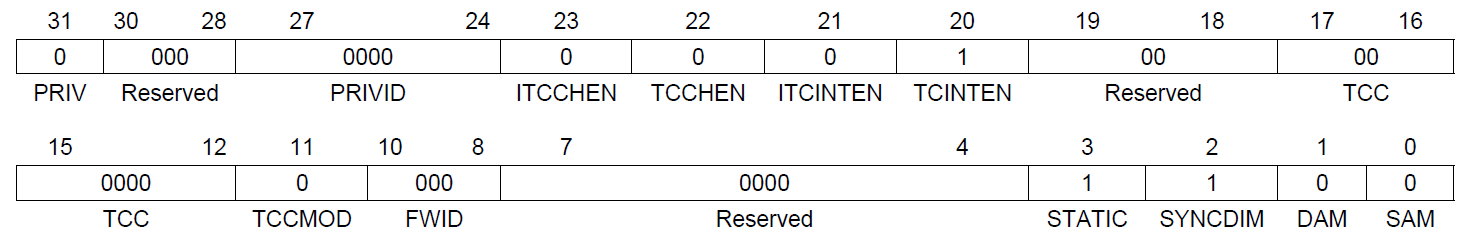
EDMA3 может эффективно извлекать небольшой кадр данных из большего кадра данных. Выполняя передачу из 2D в 1D, EDMA3 извлекает часть данных для обработки центральным процессором. В данном примере 640 × 480-пиксельный кадр видеоданных хранится во внешней памяти. Каждый пиксель представлен 16-битным полусловом. Центральный процессор извлекает для обработки подкадра изображения размером 16 × 12 пикселей. Для более эффективной обработки процессором, EDMA3 помещает подкадр во внутреннюю память L2 SRAM. На рис. 11-22 показан процесс передачи субкадра из внешней памяти в L2. На рисунке 11-23 показаны параметры для этого переноса.

Для каналов QDMA, как и для каналов DMA, используются те же параметры записи в PaRAM. Бит STATIC в OPT установлен для предотвращения связывания. При последовательных передачах необходимо программировать только измененные параметры перед запуском канала.

**Рисунок 11-22. Пример извлечения подкадров**



**Рисунок 11-23. Пример извлечения субкадров Конфигурация PaRAM**

**11.3.19.3 Пример сортировки данных**

Многие приложения требуют использования нескольких массивов данных; часто желательно, чтобы массивы были расположены таким образом, чтобы первые элементы каждого массива были соседними, вторые элементы - соседними и так далее.

Часто данные представляются устройству не так. Либо данные передаются через периферийное устройство с массивами данных поступающих один за другим, либо массивы располагаются в памяти, причем каждый массив занимает часть смежных областей памяти. В этих случаях EDMA3 может реорганизовать данные в нужный формат. На рисунке 11-24 показана сортировка данных.

Чтобы определить значения набора параметров, необходимо учесть следующее:

- ACNT - Задайте размер элемента в байтах.

- BCNT - число элементов в кадре.

- CCNT - число кадров.

- SRCBIDX - Запрограммируйте это как размер элемента или ACNT.

- DSTBIDX - CCNT × ACNT

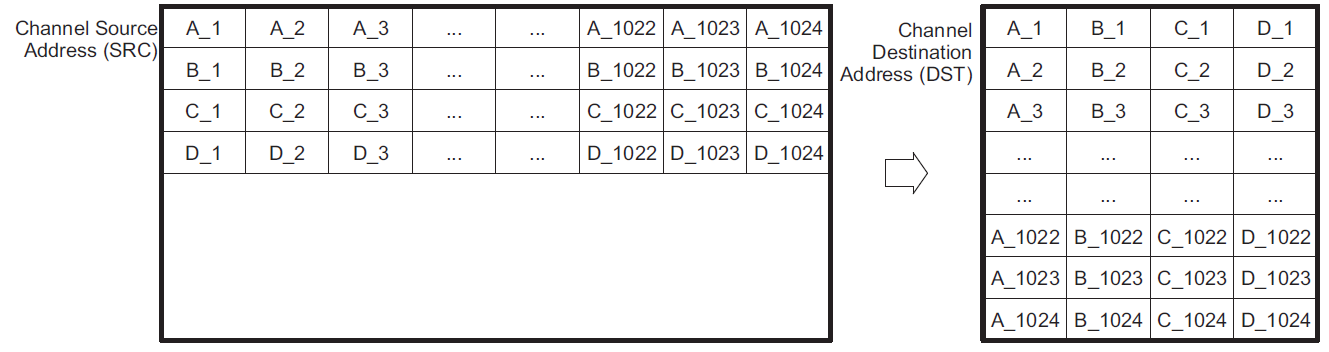
- SRCCDX - ACNT × BCNT

- DSTCIDX - ACNT

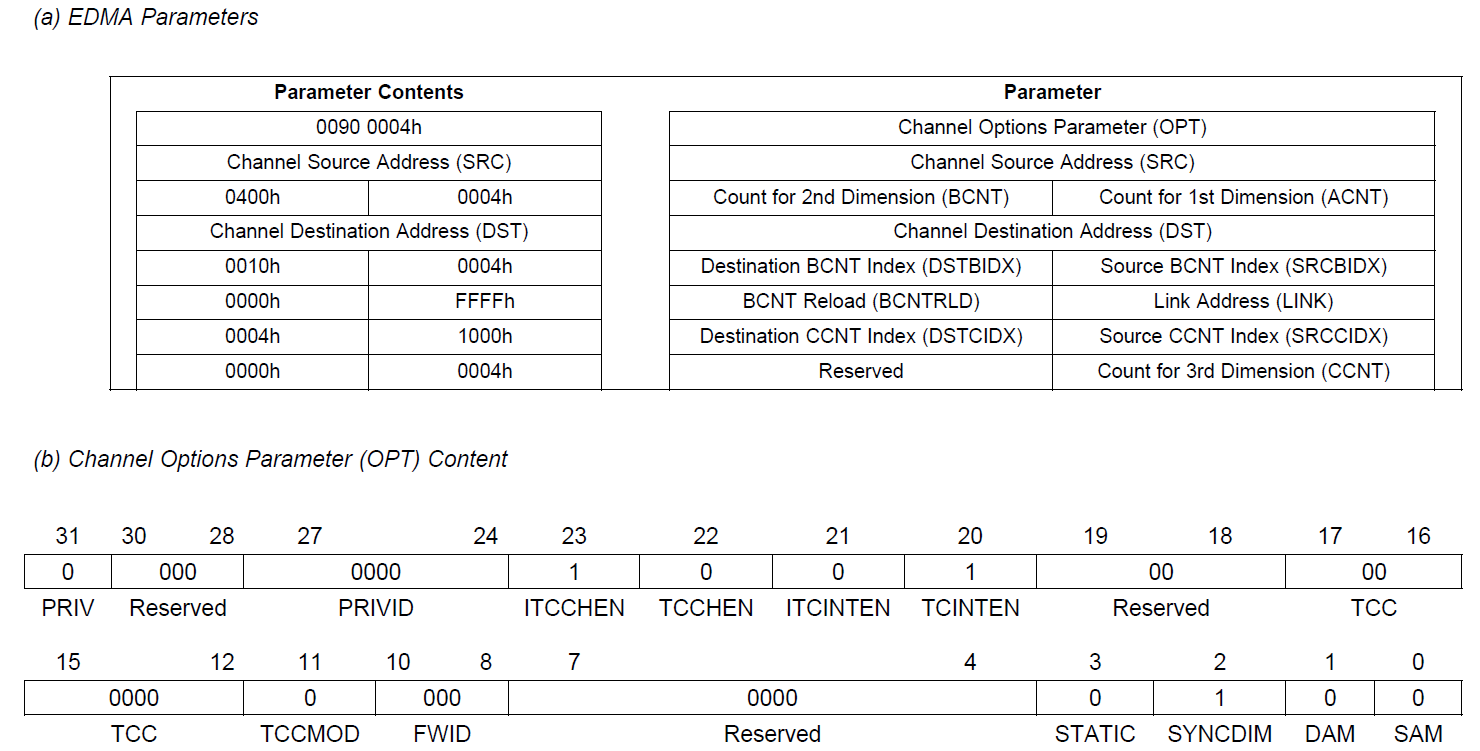
Тип синхронизации должен быть AB-синхронизированным, а бит STATIC равен 0, чтобы разрешить обновление набор параметров. Для сортировки рекомендуется использовать обычные каналы EDMA3.

Невозможно выполнить сортировку с помощью одного триггерного события. Вместо этого канал может быть запрограммирован на работу цепочкой. После сортировки элементов BCNT промежуточная цепочка может быть использована для повторного запуска канала, вызывающего передачу следующих элементов BCNT, и так далее. На рисунке 11-25 показано программирование набора параметров для такой передачи, предполагая канал 0 и размер элемента 4 байта.

**Рисунок 11-24. Пример сортировки данных**



**Рисунок 11-25. Пример сортировки данных Конфигурация PaRAM**



**11.3.19.4 Пример обслуживания периферийных устройств**

Контроллер канала EDMA3 также обслуживает периферийные устройства в фоновом режиме работы процессора, не требуя вмешательства процессора. Благодаря правильной инициализации каналов EDMA3 их можно сконфигурировать для непрерывного обслуживания периферийных устройств на кристалле и вне кристалла в течение всего времени работы устройства. Каждое событие, доступное EDMA3, имеет свой собственный выделенный канал, и все каналы работают одновременно.

Единственное требование - использовать соответствующий канал для конкретной передачи и включить канал в регистре разрешения событий (EER). При программировании канала EDMA3 для обслуживания периферийного устройства, необходимо знать, как данные будут представлены процессору. Данные всегда предоставляются с каким-либо событием синхронизации: либо одним элементом на событие (не всплеск), либо несколькими элементами на событие (всплеск).

**11.3.19.4.1 Неразрывные периферийные устройства**

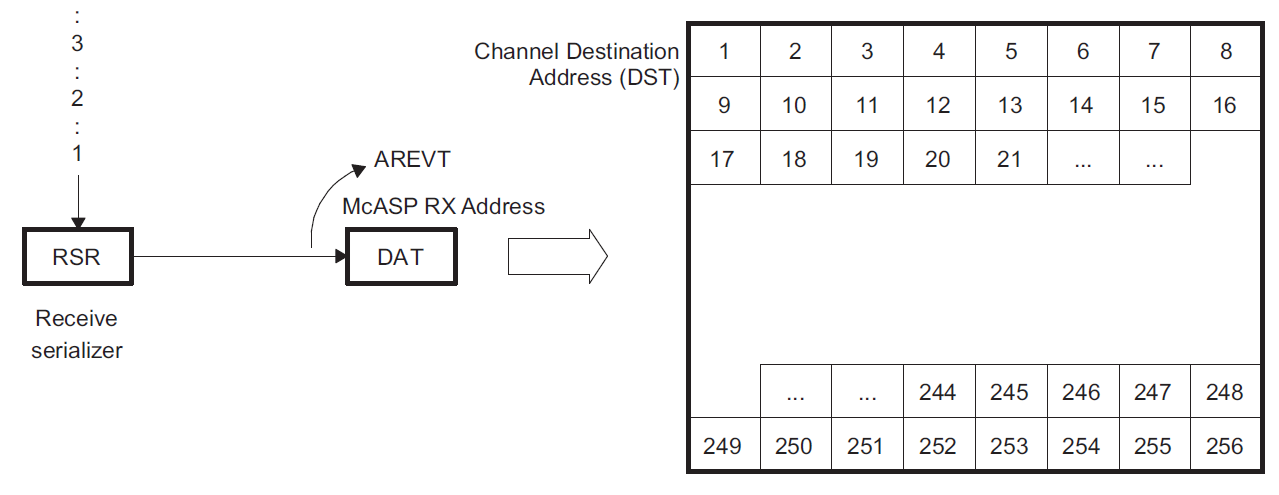
К периферийным устройствам без всплесков относятся встроенный в микросхему многоканальный последовательный аудиопорт (McASP) и многие внешние устройства, такие как кодеки. Независимо от периферийного устройства, конфигурация канала EDMA3 одинакова.

Потоки данных передачи и приема McASP обрабатываются EDMA3 независимо друг от друга. Передача и приемные потоки данных могут иметь совершенно разные счетчики, размеры и форматы данных. На рисунке 11-26 показано обслуживание входящих данных McASP.

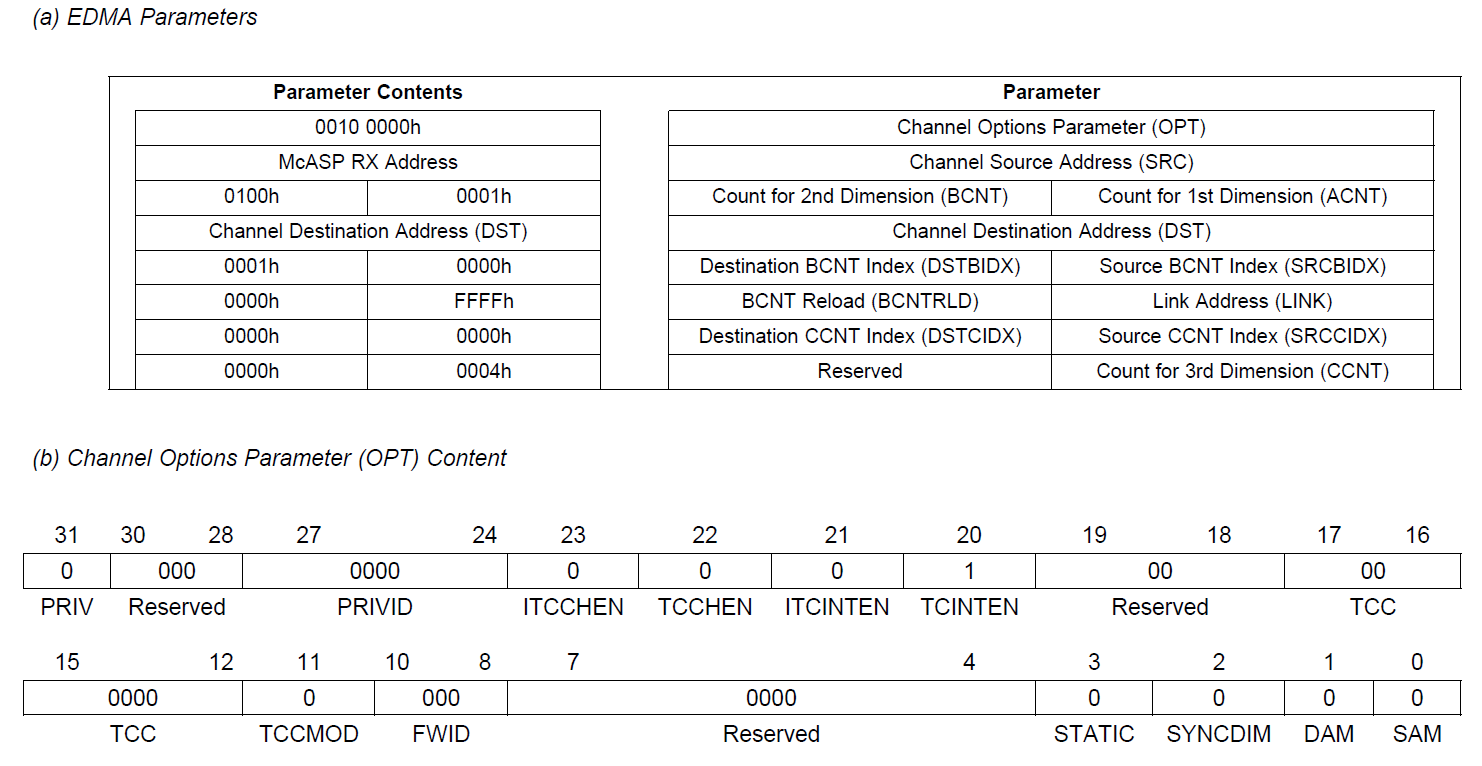
Чтобы передать входящий поток данных в нужное место в памяти DDR, канал EDMA3 должен быть настроен на передачу из 1D в 1D с A-синхронизацией. Поскольку событие (AREVT) генерируется для каждого слова, необходимо, чтобы EDMA3 выдавал запрос на передачу для каждого элемента по отдельности. На рисунке 11-27 показаны параметры такой передачи. Адрес источника EDMA3 установлен на адрес порта данных (DAT) для McASP, а адрес назначения установлен на начало блока данных в DDR. Поскольку адрес буфера сериализатора фиксирован, индекс источника B очищается до 0 (без модификации), а индекс назначения B устанавливается в 01b (инкремент).

Исходя из того, что последовательные данные обычно имеют высокий приоритет, канал EDMA3 должен быть запрограммирован на очередь 0.

**Рисунок 11-26. Пример обслуживания входящих данных McASP**



**Рисунок 11-27. Обслуживание входящих данных McASP Пример конфигурации PaRAM**



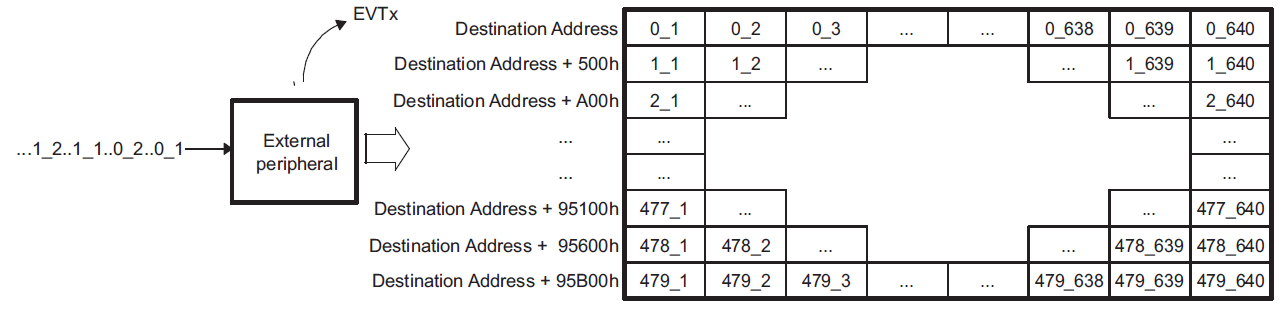
**11.3.19.4.2 Периферийные устройства c раздельной передачей**

Приложения с высокой пропускной способностью требуют представления процессорному ядру нескольких элементов данных для каждого события синхронизации. Эти кадры данных могут поступать либо от нескольких источников, работающих одновременно или от одного высокопроизводительного периферийного устройства, которое передает данные процессору.

В данном примере порт получает видеокадр от камеры и представляет его процессору по одному массив за раз. Видеоизображение имеет размер 640 × 480 пикселей, каждый пиксель представлен 16-битным элементом. Изображение должно быть сохранено во внешней памяти. На рисунке 11-28 показан этот пример.

Для передачи данных из внешнего периферийного устройства во внешний буфер по одному массиву за раз на основе EVTn , необходимо сконфигурировать канал n. Из-за природы данных (видеокадр, состоящий из массивов пикселей) получатель является по сути двумерным объектом. На рисунке 11-29 показаны параметры для обслуживания входящих данных при передаче из 1D в 2D с использованием AB-синхронизации. Адрес источника устанавливается в местоположение периферийного устройства видео фреймера, а адрес назначения - начало буфера данных. Поскольку входной адрес статичен, SRCBIDX равен 0 (адрес источника не изменяется). Адрес назначения состоит из массивов смежных линейных элементов; поэтому DSTBIDX устанавливается в размер пикселя, 2 байта. ANCT равен размеру пикселя, 2 байта. BCNT равно количеству пикселей в массиве, 640. CCNT равно общему количество массивов в блоке, 480. SRCCIDX равен 0, поскольку адрес источника не инкрементируется DSTCIDX равен разнице между начальными адресами каждого массива. Поскольку пиксель имеет размер 16 бит (2 байта), DSTCIDX равен 640 × 2.

**Рисунок 11-28. Пример обслуживания периферийных устройств**



**Рисунок 11-29. Пример конфигурации PaRAM при обслуживании периферийных устройств**



**11.3.19.4.3 Непрерывная работа**

Конфигурирование канала EDMA3 для приема одного кадра данных полезно и применимо в некоторых системах. Однако в большинстве случаев данные будут передаваться и приниматься непрерывно на протяжении всего времени работы процессора. В этом случае необходимо реализовать некоторую форму связывания, чтобы каналы EDMA3 постоянно перезагружали необходимые наборы параметров. В данном примере, McASP настроен на передачу и прием данных по массиву T1. Для упрощения примера только два канала активны как для передачи, так и для приема потоков данных. Каждый канал принимает пакеты из 128 элементов. Пакеты передаются из последовательного порта во внутреннюю память и из внутренней памяти в последовательный порт, как показано на рис. 11-30.

McASP генерирует AREVT для каждого принятого элемента и генерирует AXEVT для каждого переданного элемента. Для обслуживания потоков данных каналы DMA, связанные с McASP, должны быть настроены на передачу из 1D в 1D с A-синхронизацией.

На рисунке 11-31 показаны записи параметров канала для этих передач. Чтобы обслуживать McASP каналы должны быть связаны с дублирующим набором PaRAM в PaRAM. После того как все кадры были переданы, каналы EDMA3 перезагружаются и продолжают работу. На рисунке 11-32 показаны параметры перезагрузки для канала.

**11.3.19.4.3.1 Канал приема**

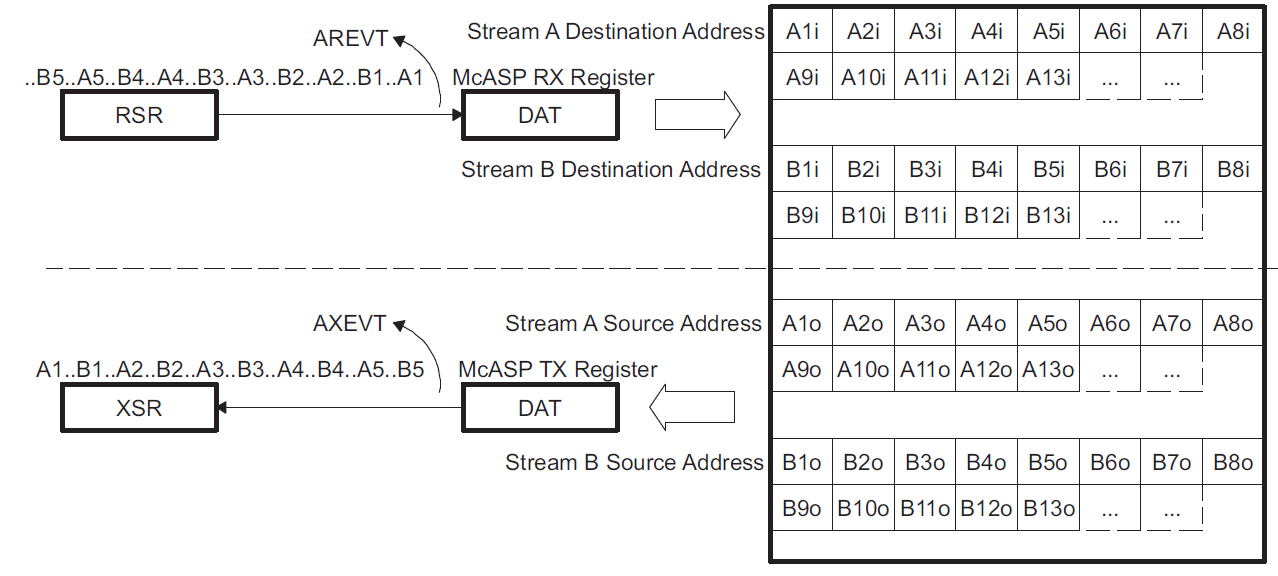
Канал номер 15 EDMA3 обслуживает входящий поток данных McASP. Адрес источника устанавливается в адрес буфера сериализатора приема, а адрес назначения устанавливается на первый элемент блока данных. Поскольку обслуживаются два канала данных, A и B, они должны располагаться отдельно в L2 SRAM.

Чтобы облегчить непрерывную работу, копия набора PaRAM для канала помещается в набор PaRAM номер 64. Устанавливается опция LINK, и в наборе PaRAM указывается адрес канала. После исчерпания набора параметров канала 15 параметры, расположенные по адресу ссылки, загружаются в набор параметров канала 15 и работа продолжается. Эта функция продолжается в течение всей работы устройства, пока не будет остановлена процессором.

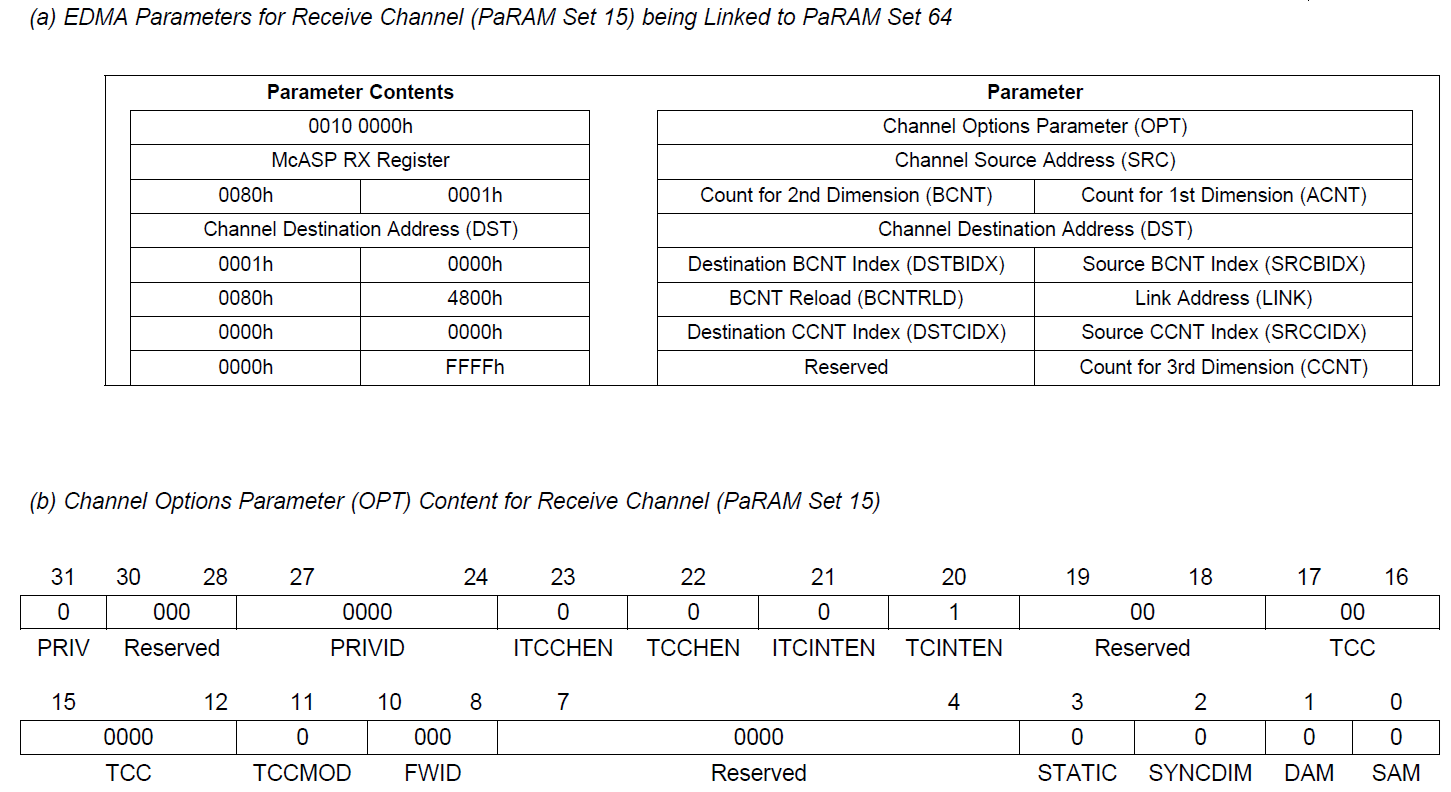
**11.3.19.4.3.2 Канал передачи**

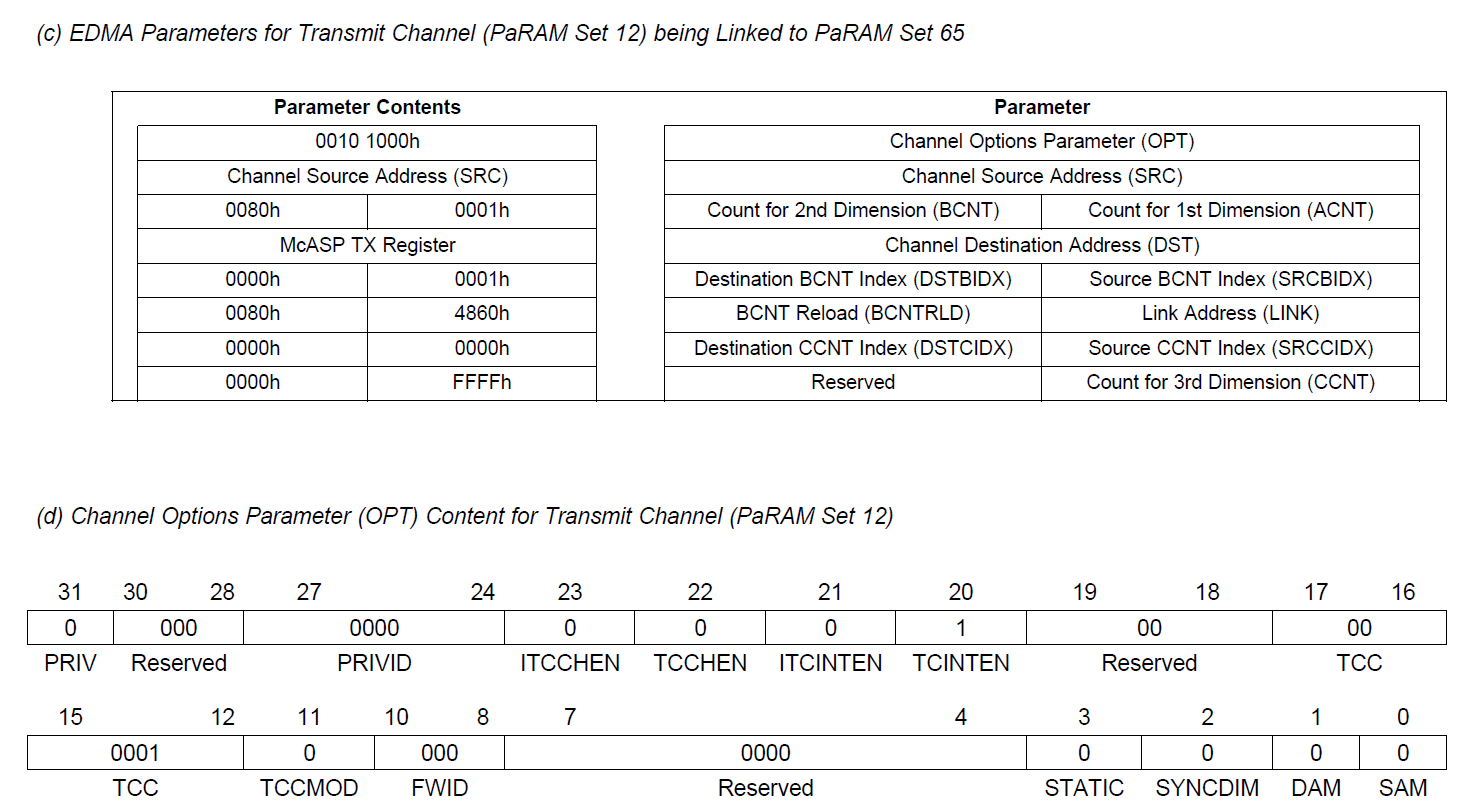
Канал номер 12 EDMA3 обслуживает исходящий поток данных McASP. В этом случае адрес назначения не требует обновления, следовательно, набор параметров изменяется соответствующим образом. Связывание также используется для обеспечения непрерывной работы канала EDMA3 с дублированием записей набора PaRAM в наборе PaRAM номер 65.

**Рисунок 11-30. Пример обслуживания непрерывных данных McASP**

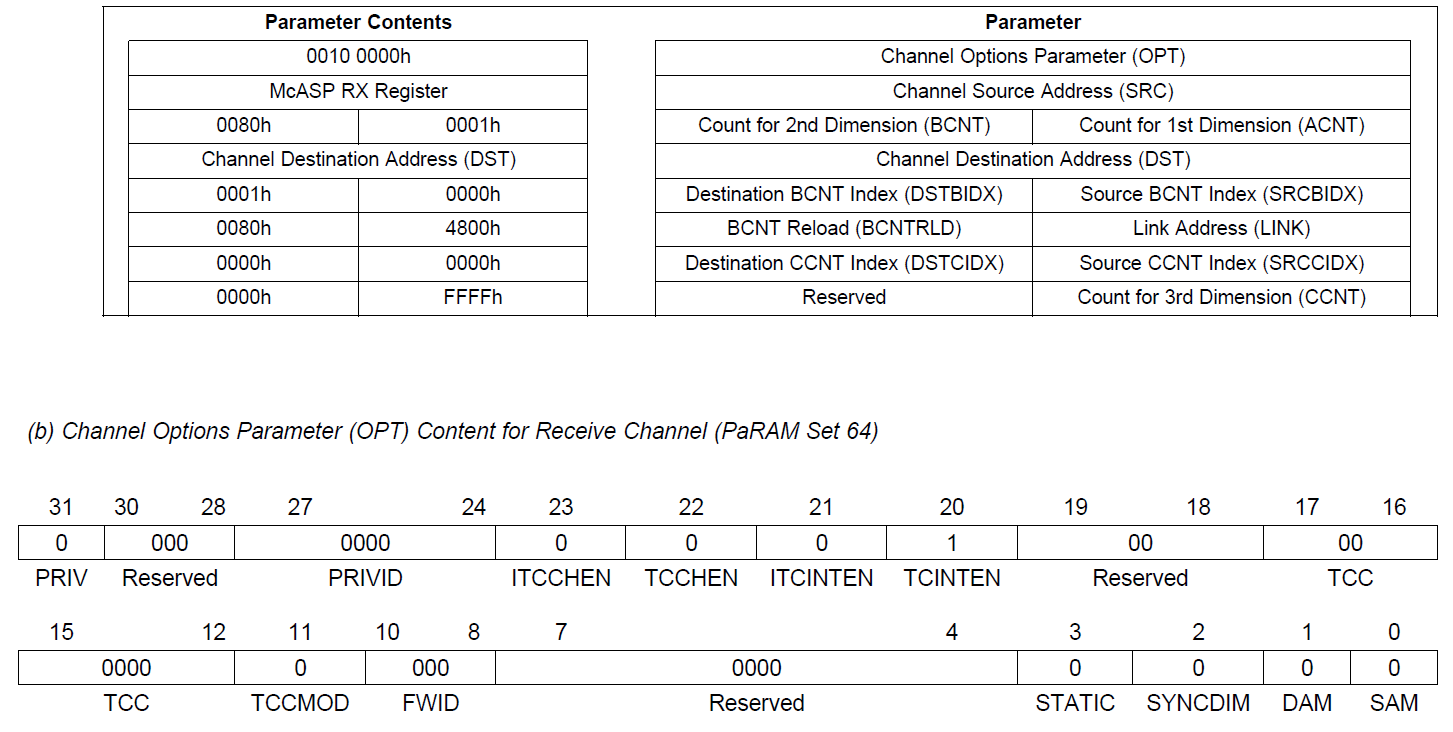


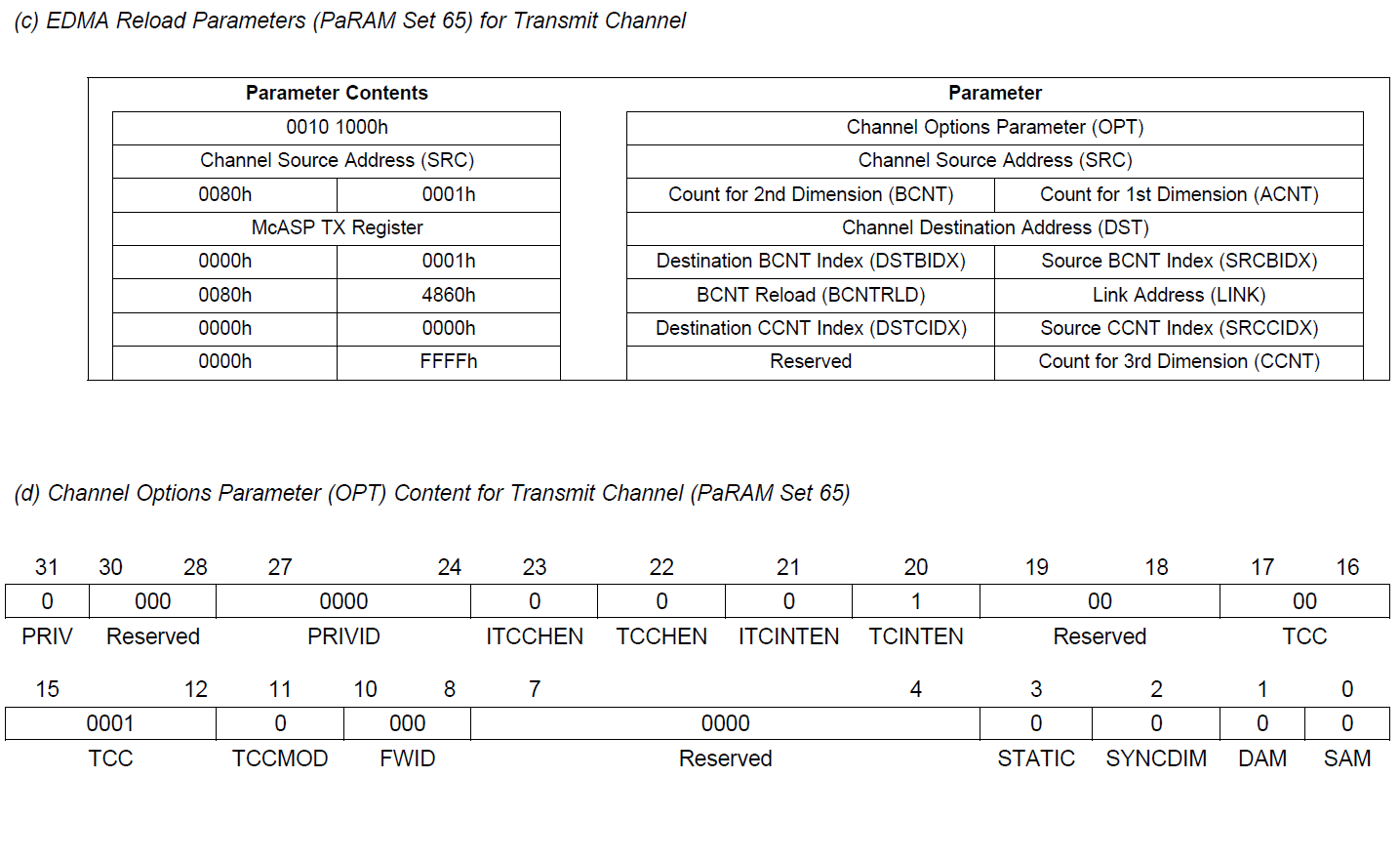
**Рисунок 11-31. Пример конфигурации PaRAM для непрерывного обслуживания данных McASP**





**Рисунок 11-32. Обслуживание непрерывных данных McASP Пример перезагрузки конфигурации PaRAM**





**11.3.19.4.4 Буферизация типа “пинг-понг”**

Хотя предыдущая конфигурация позволяет EDMA3 непрерывно обслуживать периферийные устройства, она накладывает ряд ограничений для центрального процессора. Поскольку входные и выходные буферы постоянно заполняются/опустошаются, процессор должен очень точно соответствовать темпу работы EDMA3, чтобы обрабатывать данные. EDMA3 должны быть помещены в память до того, как к ним обратится CPU, а CPU должен предоставить выходные данные до того, как EDMA3 передаст их. Хотя это и не невозможно, но это излишняя сложность. Это

особенно сложно в двухуровневой схеме кэша.

Буферизация «пинг-понг» - это простая техника, которая позволяет отдалить активность процессора от активности EDMA3. Это означает, что существует несколько (обычно два) наборов буферов данных для всех входящих и исходящих потоков данных. В то время как EDMA3 передает данные в буферы ping и из них, центральный процессор манипулирует данными в буферах pong. Когда деятельность CPU и EDMA3 завершается, они переключаются. EDMA3 записывает старые входные данные и передает новые выходные данные. На рисунке 11-33 показана схема ping-pong для этого примера.

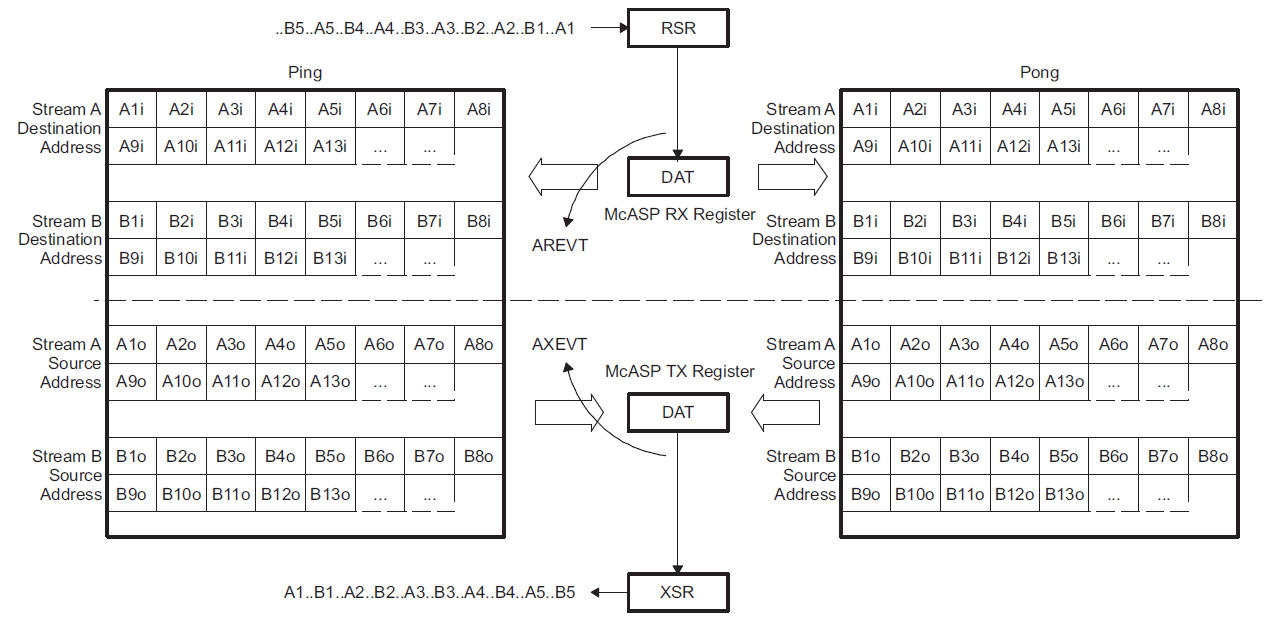
Чтобы изменить пример непрерывной работы и использовать схему буферизации типа «пинг-понг», каналам EDMA3 требуется лишь умеренная нагрузка.Вместо одного набора параметров - два; один для передачи данных в/из буферов ping и один для передачи данных в/из буферов pong. Как только одна передача завершается, канал загружает набор PaRAM для другой, и передача данных продолжается.На рисунке 11-34 показана необходимая конфигурация канала EDMA3.

Каждый канал имеет два набора параметров, ping и pong. Изначально канал EDMA3 загружается с параметрами ping (Рисунок 11-34). Адрес канала для набора параметров ping равен смещению PaRAM набора параметров pong (Рисунок 11-35). Адрес ссылки для набора pong равен смещению PaRAM набора параметров ping (Рисунок 11-36). Параметры канала, значения счета и индекса идентичны между параметрами ping и pong для каждого канала. Единственными различиями являются адрес канала и адрес буфера данных.

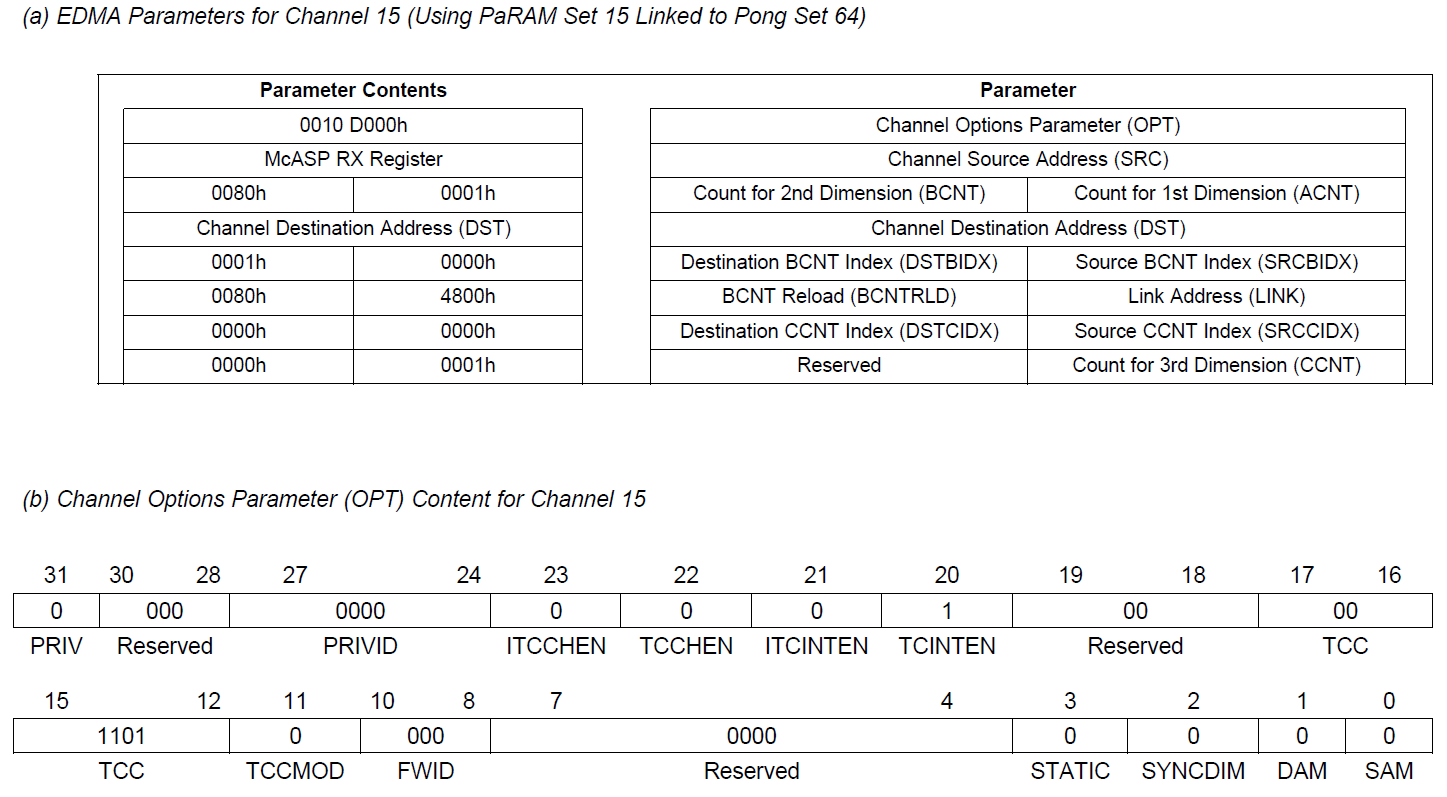
**11.3.19.4.4.1 Синхронизация с центральным процессором**

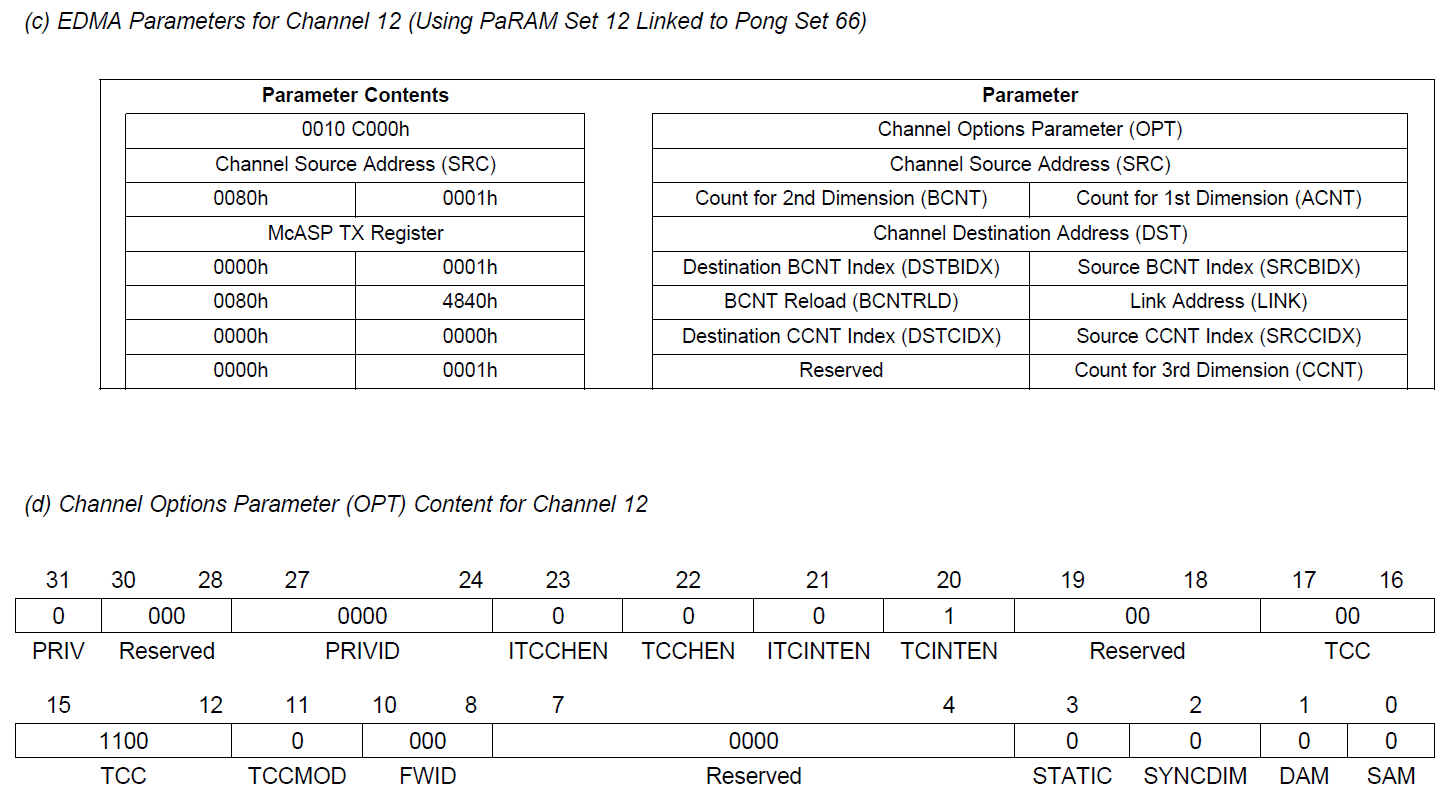
Чтобы использовать технику буферизации ping-pong, система должна сигнализировать центральному процессору, когда начинать доступ к новому набору данных. После того как ЦП завершает обработку входного буфера (ping), он ожидает завершения работы EDMA3 перед переключением на альтернативный буфер (pong). В этом примере оба канала предоставляют свои канальные номера своих каналов в качестве слова отчета и устанавливают бит TCINTEN для генерации прерывания после завершения. Когда когда канал 15 заполняет входной буфер, устанавливается бит E15 в регистре ожидания прерывания (IPR); когда канал 12 опустошает выходной буфер, устанавливается бит E12 в IPR. Процессор должен вручную очистить эти биты. При установленных параметрах канала, процессор опрашивает IPR, чтобы определить время переключения. EDMA3 и центральный процессор могут быть альтернативно сконфигурированы таким образом, что завершение канала прерывает CPU. В этом случае центральный процессор может обслуживать фоновую задачу в ожидании завершения работы EDMA3.

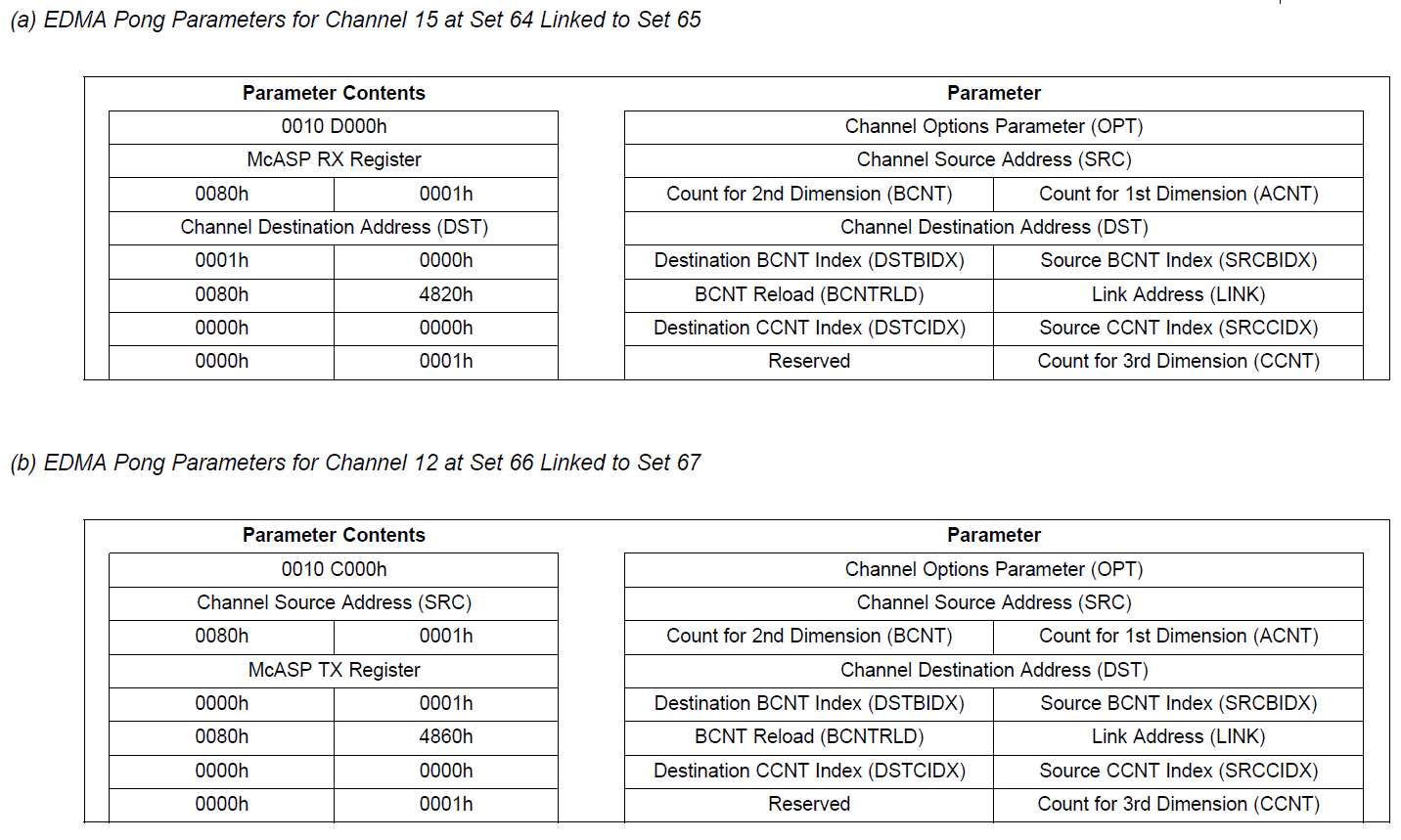
**Рисунок 11-33. Пример буферизации данных McASP с помощью пинг-понга**

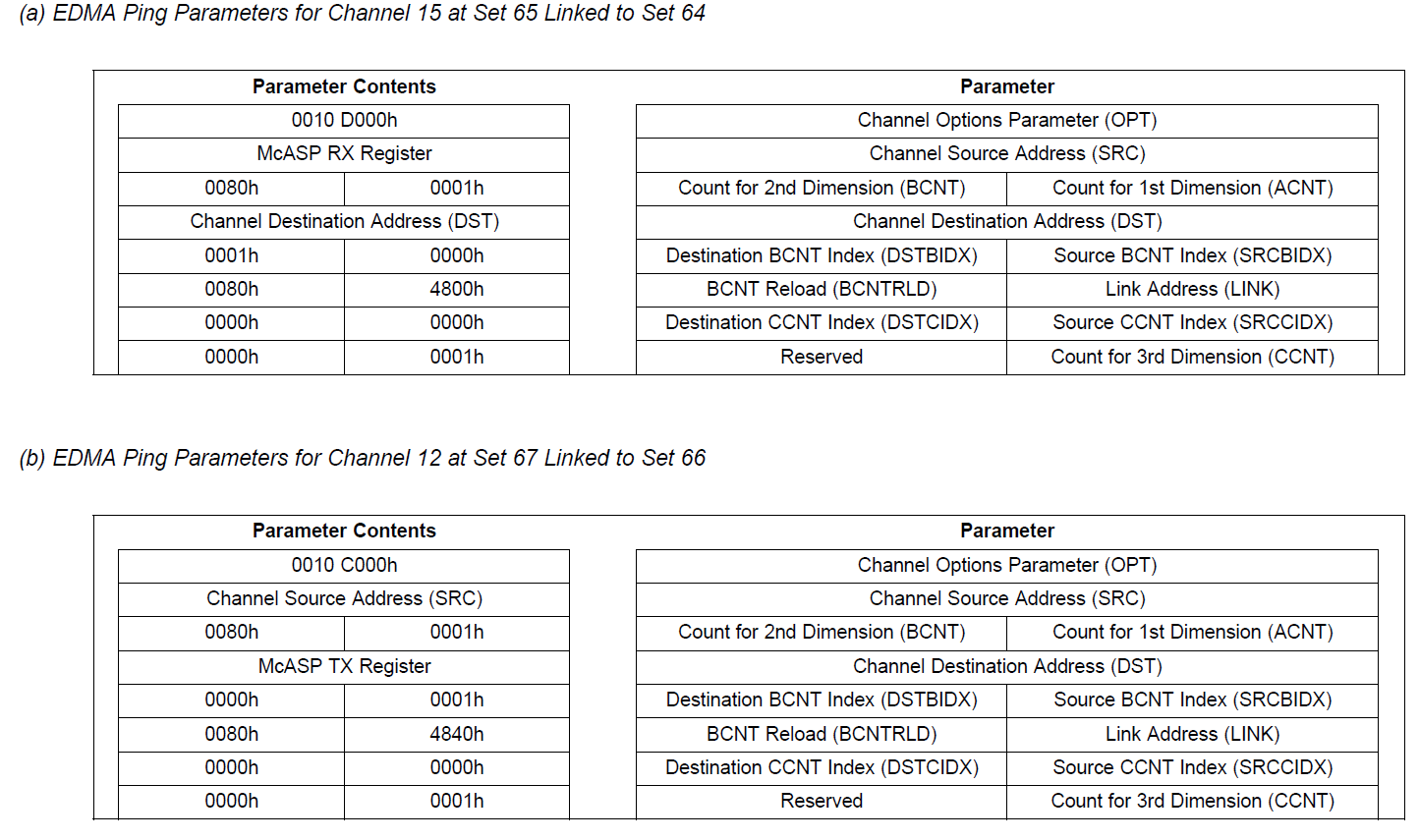


**Рисунок 11-34. Буферизация Ping-Pong для McASP Пример конфигурации PaRAM**





**Рисунок 11-35. Буферизация Ping-Pong для McASP Пример конфигурации Pong PaRAM**

**Рисунок 11-36. Буферизация Ping-Pong для McASP Пример конфигурации Ping PaRAM** 

**11.3.19.4.5 Примеры цепной передачи**

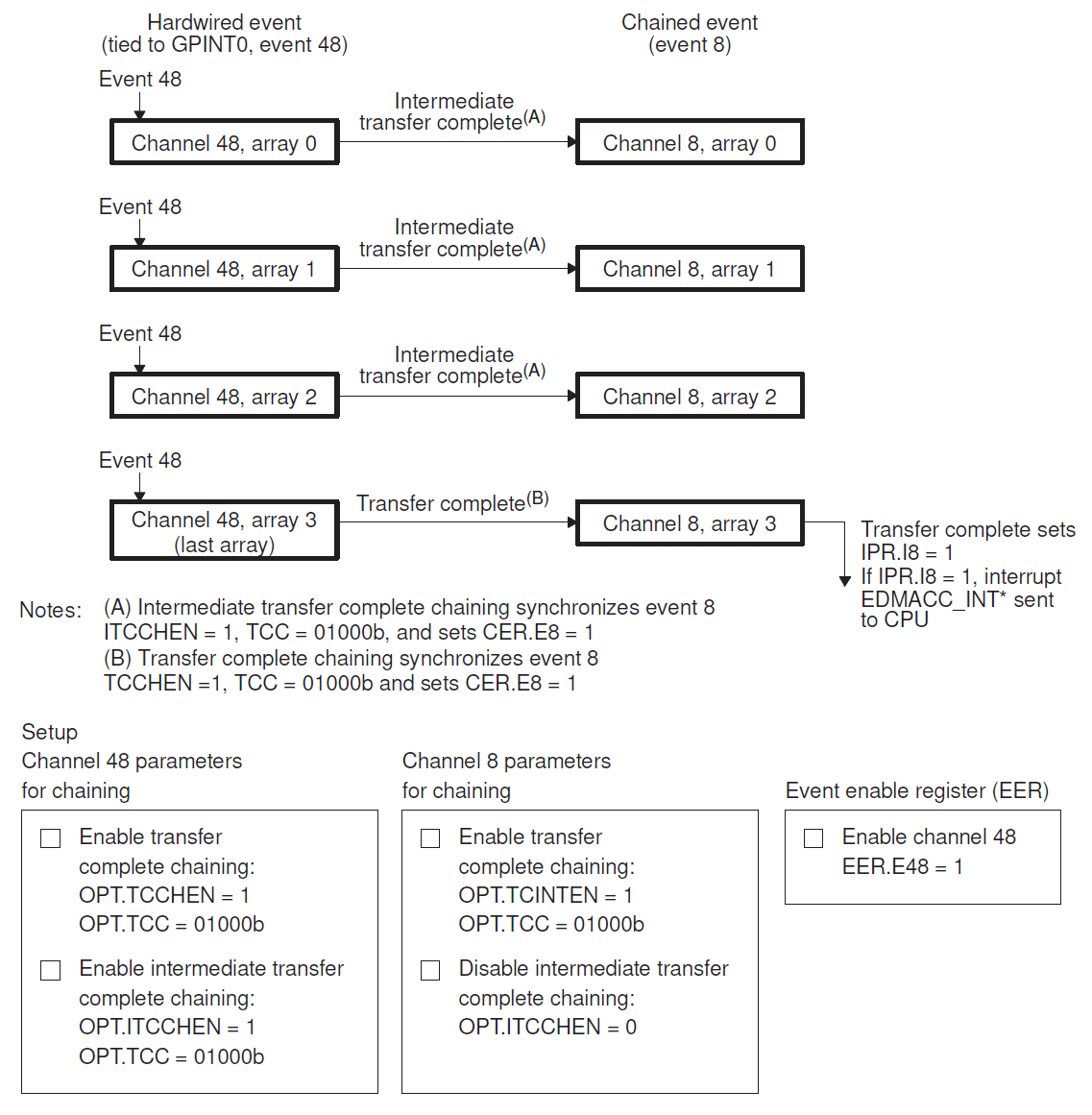
Следующие примеры объясняют функцию промежуточной передачи в цепочку.

**11.3.19.4.5.1 Обслуживание входных/выходных FIFO с помощью одного события**

Многие системы требуют использования пары внешних FIFO, которые должны обслуживаться с одинаковой скоростью. Один FIFO буферизует входные данные, а другой - выходные. Каналы EDMA3, обслуживающие эти FIFO могут быть настроены на AB-синхронизированную передачу. Хотя каждый FIFO обслуживается с разным набором параметров, оба могут сигнализироваться одним событием. Например, внешний вывод прерывания может быть привязан к флагам состояния одного из FIFO. При наступлении этого события EDMA3 должен выполнить обслуживание входного и выходного потоков. Без функции завершения цепочки промежуточных передач это потребовало бы два события, а значит, и два внешних вывода прерывания. Функция промежуточной передачи в цепочку позволяет использовать одно внешнее событие (например, событие GPIO). На рисунке 11-37 показана настройка EDMA3 и иллюстрация к этому примеру.

Событие GPIO (в данном случае GPINT0) запускает передачу массива. По завершении каждой промежуточной передачи массива канала 48, промежуточная передача завершает цепочку, устанавливая бит E8 (заданный TCC из 8) в регистре событий цепочки (CER) и обеспечивает событие синхронизации для канала 8. По адресу завершения последней передачи массива канала 48, передача завершается цепочкой - не промежуточная передачей полной цепочка - устанавливает бит E8 в CER (заданный TCCMODE:TCC) и обеспечивает событие синхронизации для канала 8. Завершение канала 8 устанавливает бит I8 (указанный TCCMODE:TCC) в регистре ожидания прерывания (IPR), который может генерировать прерывание процессора, если установлен бит I8 в регистре разрешения прерывания (IER).

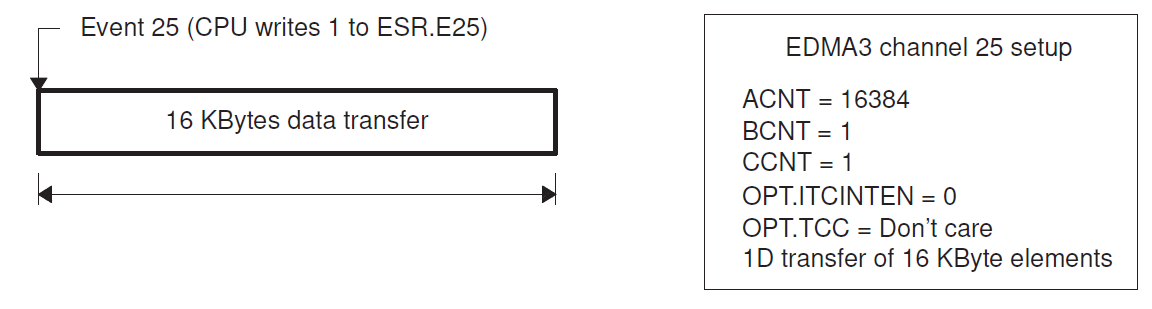
**Рисунок 11-37. Пример цепочки завершения промежуточной передачи**



**11.3.19.4.5.2 Разбиение больших пересылок с помощью промежуточной цепочки**

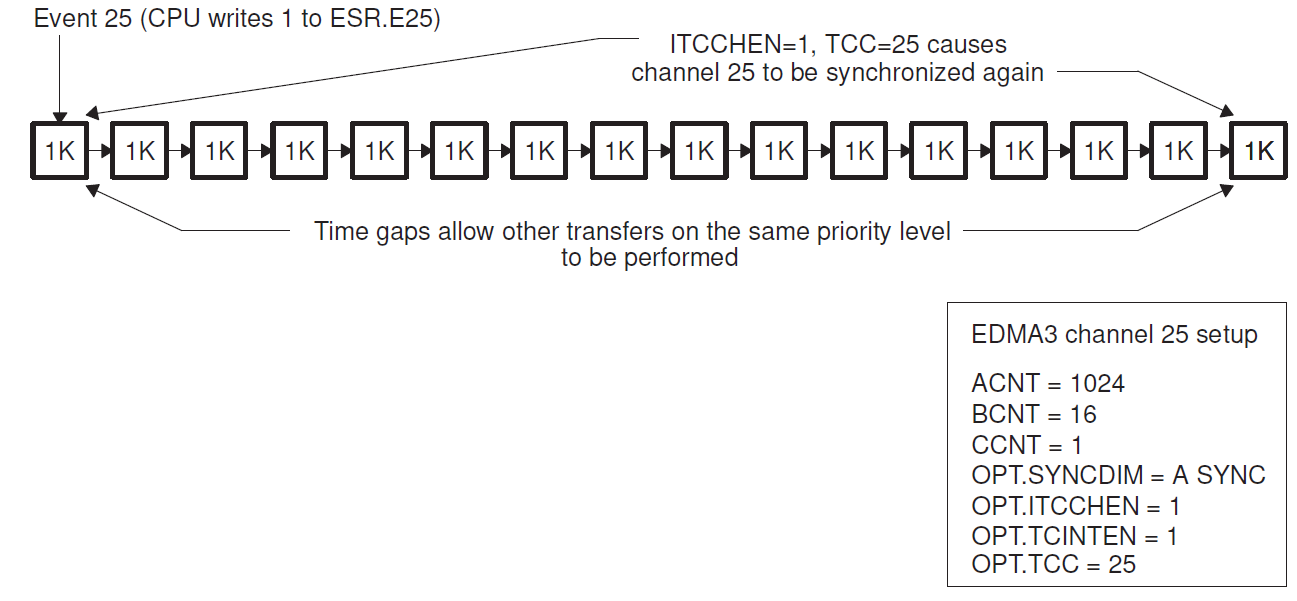
Еще одна особенность цепочки промежуточных передач (ITCCHEN) - разделение больших передач. Большая передача может блокировать другие передачи того же уровня приоритета на время передачи. Например, большая передача в очереди 0 из внутренней памяти во внешнюю с помощью EMIF может заблокировать другие передачи EDMA3 в той же очереди. Кроме того, эта большая передача с высоким приоритетом может помешать EMIF на длительное время, чтобы обслужить другие передачи с более низким приоритетом. Если большая передача считается высокоприоритетной, ее следует разделить на несколько более мелких. На рисунке 11-38 показана настройка EDMA3 ииллюстрация примера передачи одного большого блока.

**Рисунок 11-38. Пример передачи одного большого блока**



Разрешение цепочки промежуточных передач (ITCCHEN) обеспечивает метод разбиения большой передачи на меньшие передачи. Например, чтобы переместить один большой блок памяти (16 Кбайт), EDMA3 выполняет A-синхронизированную передачу. Количество элементов устанавливается на разумное значение, где разумное определяется от количества времени, которое потребуется для перемещения этого меньшего объема данных. Предположим, что 1 Кбайт – это разумный небольшой объем передачи в данном примере. EDMA3 настроен на передачу 16 массивов элементов по 1 Кбайт, в общей сложности 16 Кбайт элементов. Поле TCC в параметре опций канала (OPT) установлено в то же значение, что и номер канала и ITC, так же установлен ITCCHEN. В этом примере используется канал EDMA3 25, и TCC также устанавливается на 25. TCINTEN также может быть установлен для запуска прерывания 25 при передаче последнего массива размером 1 Кбайт. Центральный процессор запускает передачу EDMA3, записывая соответствующий бит регистра установки событий (ESR.E25). EDMA3 передает первый массив размером 1 Кбайт. По завершении передачи первого массива промежуточная цепочка кодов завершения передачи генерирует событие синхронизации на канал 25, значение которого задается полем TCC. Это событие цепочки промежуточного завершения передачи заставляет канал 25 EDMA3 передавать следующий массив размером 1 Кбайт. Этот процесс продолжается до тех пор, пока параметры передачи не будут исчерпаны, и тогда EDMA3 завершает передачу 16 Кбайт. Этот метод разбивает большую передачу на более мелкие пакеты,таким образом, обеспечивая естественные временные интервалы в передаче, чтобы можно было обработать другие события. На рис. 11-39 показана настройка EDMA3 и иллюстрация разбиения передачи на более мелкие пакеты.

**Рисунок 11-39. Пример передачи данных малыми пакетами**



**11.3.20 События EDMA**

**Таблица 11-24. Direct Mapped**

|  |  |  |
| --- | --- | --- |
| **Event Number** | **Event Name** | **Source Module** |
| 0 | pr1\_host[7](1) | PRU-ICSS |
| 1 | pr1\_host[6](1) | PRU-ICSS |
| 2 | SDTXEVT1 | MMCHS1 |
| 3 | SDRXEVT1 | MMCHS1 |
| 4 | Reserved | Reserved |
| 5 | Reserved | Reserved |
| 6 | Reserved | Reserved |
| 7 | Reserved | Reserved |
| 8 | AXEVT0 | McASP0 |
| 9 | AREVT0 | McASP0 |
| 10 | AXEVT1 | McASP1 |
| 11 | AREVT1 | McASP1 |
| 12 | Open | Open |
| 13 | Open | Open |
| 14 | ePWMEVT0 | ePWM 0 |
| 15 | ePWMEVT1 | ePWM 1 |
| 16 | SPIXEVT0 | McSPI0 |
| 17 | SPIREVT0 | McSPI0 |
| 18 | SPIXEVT1 | McSPI0 |
| 19 | SPIREVT1 | McSPI0 |
| 20 | Open | Open |
| 21 | Open | Open |
| 22 | GPIOEVT0 | GPIO0 |
| 23 | GPIOEVT1 | GPIO1 |
| 24 | SDTXEVT0 | MMCHS0 |
| 25 | SDRXEVT0 | MMCHS0 |
| 26 | UTXEVT0 | UART0 |
| 27 | URXEVT0 | UART0 |
| 28 | UTXEVT1 | UART1 |
| 29 | URXEVT1 | UART1 |
| 30 | UTXEVT2 | UART2 |
| 31 | URXEVT2 | UART2 |
| 32 | Open | Open |
| 33 | Open | Open |
| 34 | Open | Open |
| 35 | Open | Open |
| 36 | Open | Open |
| 37 | Open | Open |
| 38 | eCAPEVT0 | eCAP 0 |
| 39 | eCAPEVT1 | eCAP 1 |
| 40 | CAN\_IF1DMA | DCAN 0 |
| 41 | CAN\_IF2DMA | DCAN 0 |
| 42 | SPIXEVT0 | McSPI1 |
| 43 | SPIREVT0 | McSPI1 |
| 44 | SPIXEVT1 | McSPI1 |

(1) pr1\_host\_intr[0:7] соответствует Host-2 - Host-9 контроллера прерываний PRU-ICSS.

**Таблица 11-24. Direct Mapped (continued)**

|  |  |  |
| --- | --- | --- |
| **Event Number** | **Event Name** | **Source Module** |
| 45 | SPIREVT1 | McSPI1 |
| 46 | eQEPEVT0 | eQEP 0 |
| 47 | CAN\_IF3DMA | DCAN 0 |
| 48 | TINT4 | Timer 4 |
| 49 | TINT5 | Timer 5 |
| 50 | TINT6 | Timer 6 |
| 51 | TINT7 | Timer 7 |
| 52 | GPMCEVT | GPMC |
| 53 | tsc\_adc\_FIFO0 | ADC/TSC |
| 54 | Open | Open |
| 55 | Open | Open |
| 56 | eQEPEVT1 | eQEP 1 |
| 57 | tsc\_adc\_FIFO1 | ADC/TSC |
| 58 | I2CTXEVT0 | I2C0 |
| 59 | I2CRXEVT0 | I2C0 |
| 60 | I2CTXEVT1 | I2C1 |
| 61 | I2CRXEVT1 | I2C1 |
| 62 | eCAPEVT2 | eCAP 2 |
| 63 | eHRPWMEVT2 | eHRPWM 2 |

**Таблица 11-25. Crossbar Mapped**

|  |  |  |
| --- | --- | --- |
| **Event Number** | **Event Name** | **Source Module** |
| 1 | SDTXEVT2 | MMCHS2 |
| 2 | SDRXEVT2 | MMCHS2 |
| 3 | I2CTXEVT2 | I2C2 |
| 4 | I2CRXEVT2 | I2C2 |
| 5 | Open | Open |
| 6 | Open | Open |
| 7 | UTXEVT3 | UART3 |
| 8 | URXEVT3 | UART3 |
| 9 | UTXEVT4 | UART4 |
| 10 | URXEVT4 | UART4 |
| 11 | UTXEVT5 | UART5 |
| 12 | URXEVT5 | UART5 |
| 13 | CAN\_IF1DMA | DCAN 1 |
| 14 | CAN\_IF2DMA | DCAN 1 |
| 15 | CAN\_IF3DMA | DCAN 1 |
| 16 | Open | Open |
| 17 | Open | Open |
| 18 | Open | Open |
| 19 | Open | Open |
| 20 | Open | Open |
| 21 | Open | Open |
| 22 | TINT0 | Timer 0 |
| 23 |  |  |
| 24 | TINT2 | Timer 2 |

**Таблица 11-25. Crossbar Mapped (continued)**

|  |  |  |
| --- | --- | --- |
| **Event Number** | **Event Name** | **Source Module** |
| 25 | TINT3 | Timer 3 |
| 26 | Open | Open |
| 27 | Open | Open |
| 28 | pi\_x\_dma\_event\_intr0 | External pin (XDMA\_EVENT\_INTR0) |
| 29 | pi\_x\_dma\_event\_intr1 | External pin (XDMA\_EVENT\_INTR1) |
| 30 | pi\_x\_dma\_event\_intr3 | External pin (XDMA\_EVENT\_INTК2) |
| 31 | eQEPEVT2 | eQEP 2 |
| 32 | GPIOEVT2 | GPIO2 |
| 33 | Open | Open |
| 34 | Open | Open |
| 35 | Open | Open |
| 36 | Open | Open |
| 37 | Open | Open |
| 38 | Open | Open |
| 39 | Open | Open |
| 40 | Open | Open |
| 41 | Open | Open |
| 42 | Open | Open |
| 43 | Open | Open |
| 44 | Open | Open |
| 45 | Open | Open |
| 46 | Open | Open |
| 47 | Open | Open |
| 48 | Open | Open |
| 49 | Open | Open |
| 50 | Open | Open |
| 51 | Open | Open |
| 52 | Open | Open |
| 53 | Open | Open |
| 54 | Open | Open |
| 55 | Open | Open |
| 56 | Open | Open |
| 57 | Open | Open |
| 58 | Open | Open |
| 59 | Open | Open |
| 60 | Open | Open |
| 61 | Open | Open |
| 62 | Open | Open |
| 63 | Open | Open |