11.1 Введение

Основной целью контроллера с расширенным прямым доступом к памяти (EDMA3) является обслуживание программируемых пользователем передач данных между двумя конечными точками подчиненного устройства с привязкой к памяти.

Типичное использование включает, но не ограничивается следующим:

• Обслуживание программно управляемых передач пейджинга (например, передачи из внешней памяти, такой как DDR2 во внутреннюю память устройства).

• Обслуживание периферийных устройств, управляемых событиями, таких как последовательный порт.

• Выполнение сортировки или извлечения подкадров различных структур данных.

• Выгрузка данных из ЦП основного устройства.

Контроллер EDMA3 состоит из двух основных блоков:

• Контроллер канала EDMA3 (EDMA3CC).

• Контроллер (ы) передачи EDMA3 (EDMA3TC).

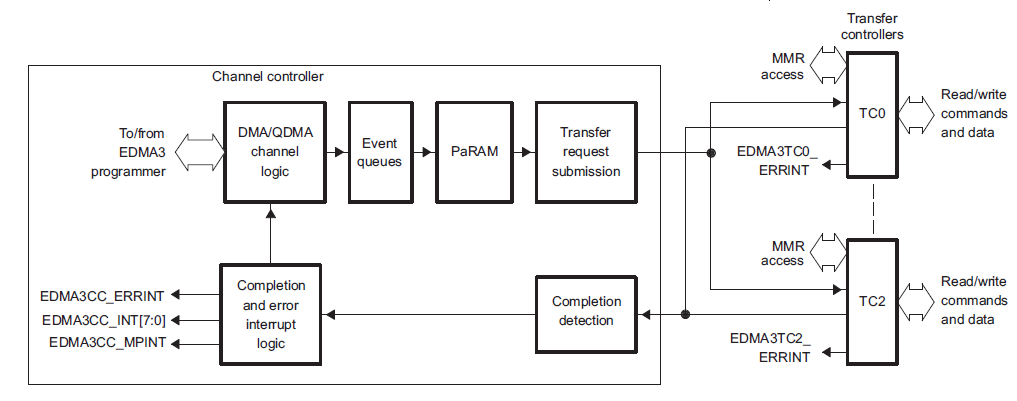
Контроллер канала EDMA3 служит пользовательским интерфейсом для контроллера EDMA3. EDMA3CC включает в себя параметрическое ОЗУ (PaRAM), регистры управления каналами и регистры управления прерываниями. EDMA3CC служит для определения приоритетности входящих запросов или событий программного обеспечения с периферийных устройств и передачи запросов (TR) к контроллеру передачи.

Контроллеры передачи EDMA3 подчиняются контроллеру канала EDMA3, который отвечает за пермещение данных. Контроллер передачи выдает команды чтения/записи на адреса источника и назначения которые запрограммированы для данной передачи. Операция прозрачна для пользователя.

11.1.1 Блок-схема контроллера EDMA3

На рис. 11-1 показана блок-схема контроллера EDMA3.

**Рис. 11-1. Блок-схема контроллера EDMA3**



**11.1.2 Обзор стороннего канального контроллера (TPCC)**

**11.1.2.1 Характеристики TPCC**

Общие характеристики модуля TPCC:

• До 64 каналов DMA

- Каналы, инициируемые:

• Синхронизация событий

• Ручная синхронизация (запись CPU в «Event Set Register»)

• Синхронизация цепочки (завершение одной цепочки передачи к следующей)

- Параметризуемая поддержка программируемого преобразования канала DMA в PaRAM

• До 8 каналов QDMA

- Каналы QDMA запускаются автоматически при записи в PaRAM

- Поддержка программируемого преобразования канала QDMA в PaRAM

• До 64 входов событий

• До 8 прерываний для поддержки многоядерных процессоров

• До 256 записей PaRAM

- Каждая запись PaRAM может использоваться как запись DMA (до 64), запись QDMA (до 8) или Link Entry (оставшиеся)

• 8 уровней приоритета для отображения приоритета CC/TC относительно приоритета других ведущих устройств в системе.

• До 3 очередей событий

• 16 записей о событиях в очереди событий

• Поддерживает три размера передачи

- A-синхронизированные передачи - по одному измерению на событие

- AB-синхронизированные передачи - два измерения, обслуживаемые на событие

- Независимые индексы на источнике и месте назначения

- Не поддерживает прямую передачу 3D передачи в ТК

- Функция цепочки позволяет передавать 3D на основе одного события

• Режимы адресации инкрементной передачи и передачи FIFO (функция TC)

• Механизм связывания позволяет автоматически обновлять PaRAM Entry

• Передача сигналов завершения между TC и CC для формирования цепочки и прерываний.

• Программируемое назначение приоритета каналу TC.

• Proxied Memory Protection для отправки TR

• Параметризуемая поддержка Active Memory Protection для доступа к PaRAM и регистрам.

• Водяные знаки очереди

• Обнаружение пропущенных событий

• Запись ошибок и состояния для облегчения отладки

• Домен Single Clock для всех интерфейсов

• Параметризуемое количество интерфейсов Write Completion (до 8) (задается количество каналов TC)

• Генерация событий AET

**11.1.2.2 Неподдерживаемые функции TPCC**

Это устройство не поддерживает генерацию событий AET, так как выход не подключен.

Это устройство не использует глобальное прерывание завершения. Поддерживается только региональные прерывания завершения.

Канальный контроллер поддерживает только 4 области защиты памяти 0-3.

Канальный контроллер поддерживает только 4 теневых области 0-3.

Только 2 прерывания завершения области подключены на системном уровне. Для получения дополнительной информации см. таблицу 10-1.

Поддерживаются только 256 записей PaRAM.

Поддерживаются только 3 очереди событий.

**11.1.3 Обзор стороннего контроллера передачи данных (TPTC)**

**11.1.3.1 Функции TPTC**

Модуль TPTC включает следующие функции:

• До восьми независимых каналов

• Модель использования управления внешними событиями (TPCC)

• Чтение и запись главных портов на канал 64- или 128-битной конфигурации.

• Параметризуемый размер FIFO

• До четырех запросов на трансфер в полете

• Защита прокси-памяти для передачи данных

• Программируемые уровни приоритета (до 8)

• Возможность фонового программирования

• Поддерживает двухмерные передачи с независимыми индексами по источнику и назначению.

• Поддержка инкрементных или FIFO-режимов передач

• Поддержка прерываний и ошибок

• Один домен синхронизации для всех интерфейсов

**11.1.3.2 Неподдерживаемые функции TPTC**

TPTCx поддерживает 512-байтовый размер FIFO.

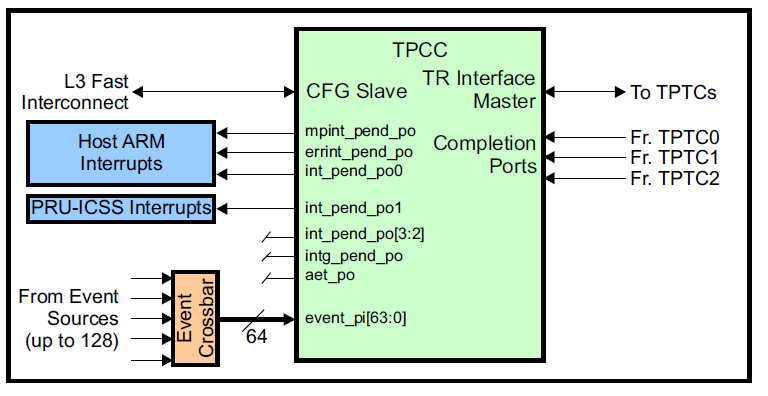
**11.2 Интеграция**

**11.2.1 Интеграция сторонних контроллеров каналов (TPCC)**

Это устройство использует периферийное устройство TPCC для управления сторонними каналами передачи (TPTC).

Интеграция TPCC показывает интеграцию модуля TPCC.

**Интеграция TPCC**



**11.2.1.1 Атрибуты связности TPCC**

Общие характеристики связности TPCC приведены в таблице 11-1.

Таблица 11-1. Атрибуты связности TPCC

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power domain | Peripheral Domain |
| Clock domain | PD\_PER\_L3\_GCLK |
| Reset signals | PER\_DOM\_RST\_N |
| Idle/Wakeup signals | Smart Idle |
| Interrupt request | 4 Regional Completion Interrupts:  int\_pend\_po0 (EDMACOMPINT) – to MPU Subsystem  int\_pend\_po1 (tpcc\_int\_pend\_po1) – to PRU-ICSS  Int\_pend\_po[3:2] - unused  Error Interrupt:  errint\_po (EDMAERRINT) – to MPU Subsystem  Memory Protection Error Interrupt:  mpint\_p0 (EDMAMPERR) – to MPU Subsystem |
| DMA request | none |
| Physical address | L3 Fast slave port |

**1.2.1.2 Управление синхросигналами и сбросом TPCC**

TPCC работает от одного тактового генератора и работает с L3\_Fast тактовой частотой.

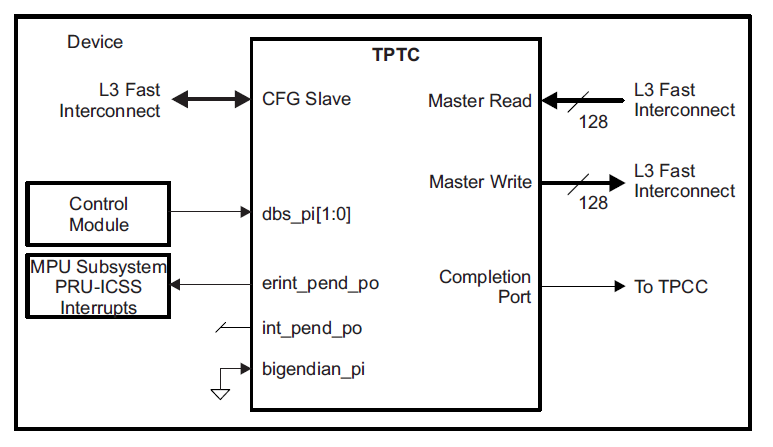
Таблица 11-2. Синхросигналы TPCC

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| tpcc\_clk\_pi  Interface / Functional clock | 200 MHz | CORE\_CLKOUTM4 | pd\_per\_l3\_gclk  From PRCM |

**11.2.2 Интеграция стороннего контроллера передачи данных (TPTC)**

В этом устройстве используются три периферийных устройства TPTC (TC0-TC2; TC3 не поддерживается) для выполнения EDMA передачи между ведомыми периферийными устройствами. Подача запросов на передачу в TPTC контролируется TPCC. Рис. ниже показывает интеграцию модулей TPTC

**Интеграция TPTC**



**11.2.2.1 Атрибуты связности TPTC**

Общие атрибуты связности для TPTC показаны в таблице 11-3.

Таблица 11-3. Атрибуты связности TPTC

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power domain | Peripheral Domain |
| Clock domain | PD\_PER\_L3\_GCLK |
| Reset signals | PER\_DOM\_RST\_N |
| Idle/Wakeup signals | Standby  Smart Idle |
| Interrupt request | Error interrupt per instance  erint\_pend\_po (TCERRINTx) – to MPU Subsystem and PRUICSS  (tptc\_erint\_pend\_po, TPTC0 only) |
| DMA request | none |
| Physical address | L3 Fast slave port |

**11.2.2.2 Управление тактовыми сигналами и сбросом TPTC**

TPTC работает от одного тактового генератора и работает с L3\_Fast тактовой частотой.

Таблица 11-4. Тактовые сигналы TPTC

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| tptc\_clk\_pi  Interface / Functional clock | 200 MHz | CORE\_CLKOUTM4 | pd\_per\_l3\_gclk  From PRCM |

11.2.2.3 Список выводов TPTC

Модуль TPTC не содержит контактов внешнего интерфейса.

**11.3 Функциональное описание**

В этой главе рассматривается архитектура контроллера EDMA3.

**11.3.1 Функциональный обзор**

**11.3.1.1 Контроллер канала EDMA3 (EDMA3CC)**

На рисунке 11-2 показана функциональная блок-схема контроллера EDMA3 канала (EDMA3CC).

Основные блоки EDMA3CC:

• Параметр RAM (PaRAM): PaRAM поддерживает наборы параметров для параметров канала и параметров link наборы. Необходимо написать PaRAM с контекстом передачи для нужных каналов и link набором параметров. EDMA3CC обрабатывает наборы на основе события триггера и отправляет запрос на передачу (TR) в контроллер передачи.

• EDMA3 регистры обработки событий и прерываний: Позволяют сопоставлять события с наборами параметров, активизация/деактивизация событий, активизация/деактивизация состояний прерывания и сброс прерываний.

• Обнаружение завершения: Блок обнаружения завершения обнаруживает завершение передач EDMA3TC и/или ведомых периферийных устройств. При необходимости можно использовать завершение переносов для запуска новых переносов по цепочке или утверждать прерывания.

• Очереди событий: Очереди событий формируют интерфейс между логикой обнаружения событий и передачей логики отправки запроса.

• Регистры защиты памяти: Регистры защиты памяти определяют доступы (уровень привилегий и запросчиков (и), которым разрешен доступ к ракурсу (ам) теневой области канала DMA и областям PaRAM.

Другие функции включают следующее:

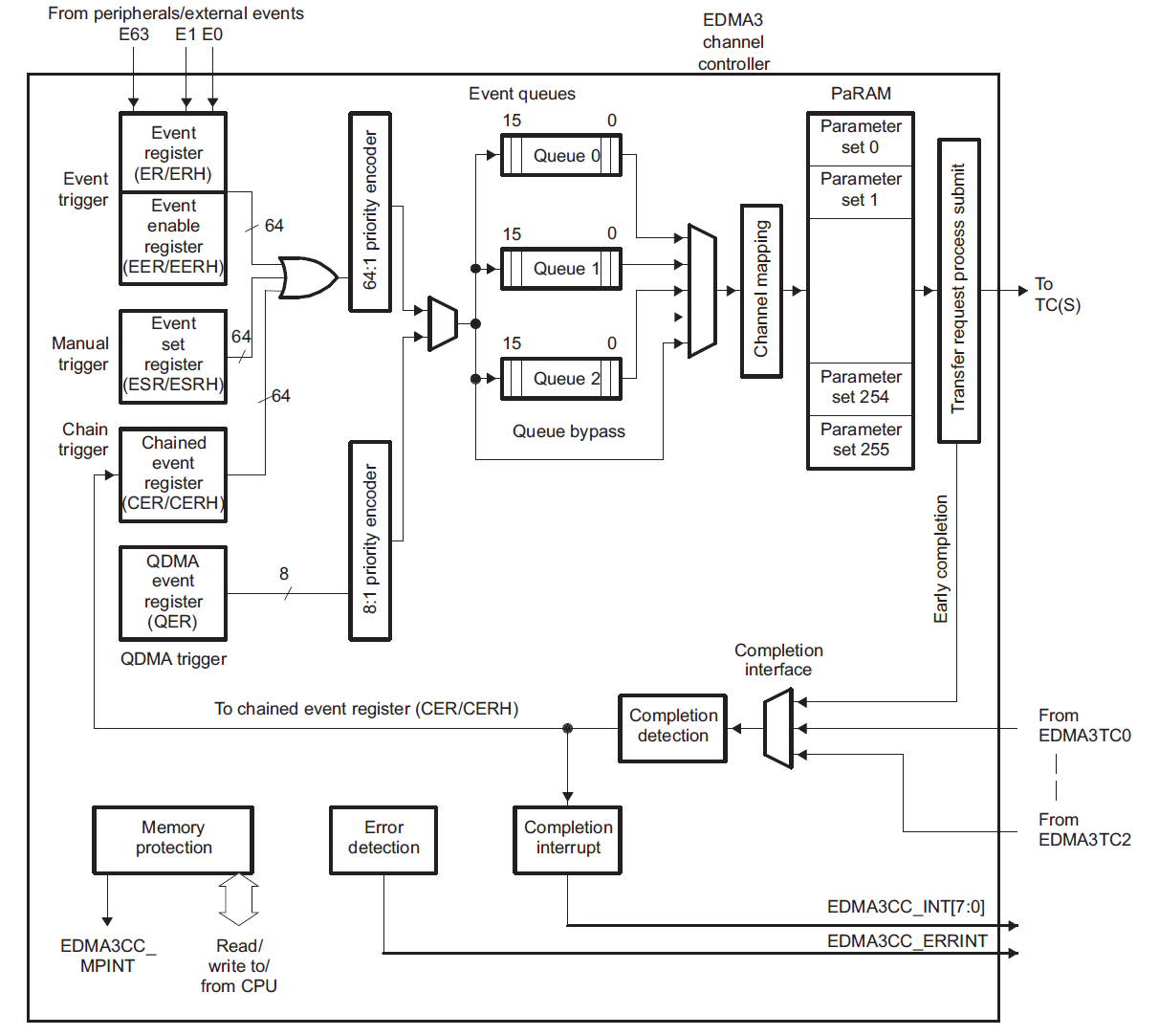
• Региональные регистры: Региональные регистры позволяют назначать ресурсы DMA (каналы DMA и прерывания) в уникальные регионы, которыми владеют разные EDMA3 программисты (например, ARM).

• Регистры отладки: Регистры отладки обеспечивают видимость отладки, предоставляя регистры для чтения состояния очереди, состояние контроллера и состояние пропущенного события.

EDMA3CC включает в себя два типа каналов: Каналы DMA (64 канала) и каналы QDMA (8 каналов).

Каждый канал связан с данным контроллером очереди/передачи событий и с данным набором PaRAM. главное, что отличает канал DMA от канала QDMA, - это метод, который система использует для запуска передачи См. раздел 11.3.4.

Рис. 11-2. Блок-схема контроллера канала EDMA3 (EDMA3CC)



Для инициирования передачи необходимо событие триггера. Триггерное событие может быть вызвано внешним событием, вручную, записью в регистр набора событий или в цепочку событий для каналов DMA. Автозапуск каналов QDMA происходит автоматически при записи в слово триггера, которое программируется на соответствующем наборе PaRAM. Все такие триггерные события регистрируются в соответствующих регистрах после распознавания.

После распознавания события триггера соответствующее событие помещается в очередь событий EDMA3CC. Назначение каждого канала DMA/QDMA очереди событий является программируемым. Каждая очередь – глубиной в16 событий; Таким образом, одновременно в EDMA3CC можно помещать до 16 событий (в одной очереди). Дополнительные ожидающие события, которые сопоставлены с полной очередью, ставятся в очередь, когда пространство очереди событий становится доступно. См. раздел 11.3.11.

Если события на разных каналах обнаруживаются одновременно, события ставятся в очередь на основе фиксированной схемы арбитража приоритетов с каналами DMA, имеющими более высокий приоритет, чем каналы QDMA. Среди двух групп каналов самый высокий приоритет имеет канал с самым низким номером.

Каждое событие в очереди событий обрабатывается в порядке FIFO. При достижении начала очереди PaRAM, связанный с этим каналом, считывается для определения деталей передачи. Логика предоставления ТР оценивает действительность TR и несет ответственность за подачу действительного запроса на передачу (TR) в соответствующий EDMA3TC (на основе очереди событий в EDMA3TC, Q0 переходит в TC0, Q1переходит в TC1, а Q2 переходит в TC2). Для получения дополнительной информации см. раздел 11.3.3.

EDMA3TC получает запрос и отвечает за движение данных, как указано в передаче пакета запроса (TRP), другие необходимые задачи, такие как буферизация и обеспечение передачи происходят оптимальным образом везде, где это возможно. Для получения дополнительной информации о EDMA3TC см. раздел 11.3.1.2.

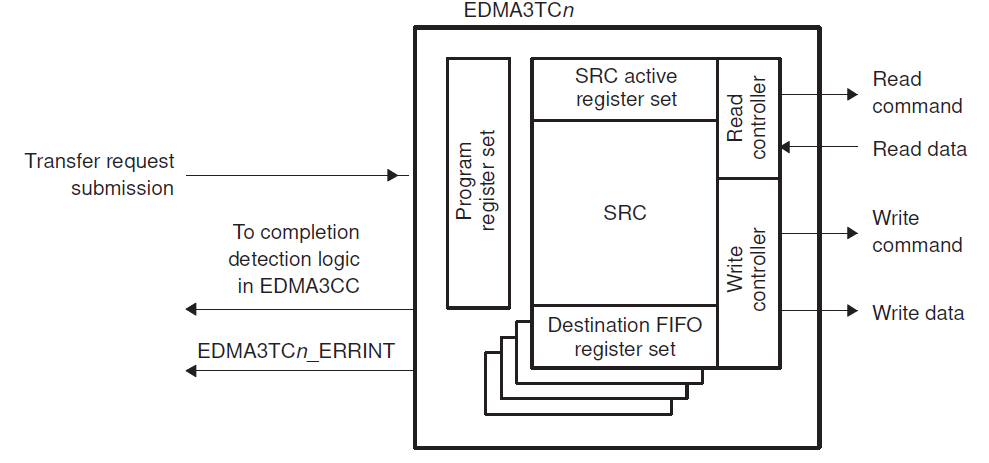
Если вы решили получить прерывание или подключиться к другому каналу по завершении текущей передачи, EDMA3TC сигнализирует о завершении в логике обнаружения завершения EDMA3CC, когда передача завершена. Вы можете альтернативно выбрать запуск завершения, когда TR покидает границу EDMA3CC, вместо того, чтобы ждать завершения всех передач данных. На основе настройки прерывания регистров EDMA3CC , логика генерации прерывания отвечает за генерацию прерывания EDMA3CC в ЦП. Для получения дополнительной информации см. раздел 11.3.5.

Кроме того, EDMA3CC также имеет логику обнаружения ошибок, которая вызывает генерацию прерывания ошибки на различные состояния ошибки (например, пропущенные события, превышение пороговых значений очереди событий и т.д.). Для большей информации об ошибках прерываний см. в разделе 11.3.9.4.

**11.3.1.2 Контроллер передачи EDMA3 (EDMA3TC)**

В разделе 11.3.9.4 приведена функциональная блок-схема контроллера передачи EDMA3 (EDMA3TC).

**Рис. 11-3. Блок-схема контроллера передачи EDMA3 (EDMA3TC)**



Основными блоками EDMA3TC являются:

• Набор регистров программ DMA: Набор регистров программ DMA хранит запросы на передачу, полученные от канального контроллера EDMA3 (EDMA3CC).

• Набор активных регистров источника DMA: Набор активных регистров источника DMA сохраняет контекст запроса на передачу DMA в контроллере чтения.

• Контроллер чтения: Контроллер чтения выдает команды чтения на адрес источника.

• Набор регистров FIFO назначения: набор регистров FIFO назначения (DST) хранит контекст передачи DMA запрос (ы) на передачу в контроллере записи.

• Контроллер записи: Контроллер записи выдает команды записи/записи данных на подчиненное устройство назначения.

• Данные FIFO: Данные FIFO существуют для хранения временных данных в полете.

• Интерфейс завершения: Интерфейс завершения отправляет коды завершения в EDMA3CC, когда передача завершается и генерирует прерывания и связанные события (также см. Раздел 11.3.1.1 для получения дополнительной информации информация о передаче отчетности о завершении).

Когда EDMA3TC находится в состоянии ожидания и принимает свое первое TR, набор регистров программы DMA принимает TR, где он осуществляет немедленный переход к исходному активному набору DMA и целевому регистру FIFO. Второе TR (если ожидает от EDMA3CC) загружается в набор программ DMA, гарантируя, что он может начаться, как только

завершиться активная передача. Как только текущий активный набор исчерпан, TR загружается из программного регистра DMA в активный регистр источника DMA, а также в соответствующую запись в целевом наборе регистров FIFO.

Контроллер чтения выдает команды чтения, регулируемые правилами фрагментации команд и оптимизацией. Они выдаются только в том случае, если в FIFO данных имеется свободное место для считывания данных. Когда достаточные данные находятся в FIFO данных, контроллер записи снова начинает выдавать команду записи после фрагментации и оптимизации команд. Для получения дополнительной информации о фрагментации команд и оптимизации см. раздел 11.3.12.1.1.

В зависимости от количества записей контроллер чтения может обрабатывать до двух или четырех запросов на передачу перед местом назначения при условии объема свободных данных FIFO.

**11.3.2 Виды EDMA3 передачи**

Перенос EDMA3 всегда определяется с точки зрения трех измерений. На рис. 11-4 показаны три аналитики, используемые EDMA3 переводами. Эти три измерения определяются как:

• 1-е измерение или массив (A): 1-е измерение в передаче состоит из смежных байтов ACNT.

• 2-е измерение или кадр (B): 2-е измерение в передаче состоит из массивов BCNT из байтов ACNT.

Каждый перенос массива во 2-м измерении отделяется друг от друга индексом, запрограммированным с помощью SRCBIDX или DSTBIDX.

• 3-е измерение или блок (C): 3-е измерение в передаче состоит из кадров CCNT массивов BCNT байтов ACNT. Каждая передача в 3-м измерении отделена от предыдущей индексом программируется с помощью SRCCIDX или DSTCIDX.

Следует отметить, что опорная точка для индекса зависит от типа синхронизации. Объем данных передается при получении триггера/события синхронизации управляется типами синхронизации (бит SYNCDIM в OPT). Из трех измерений поддерживаются только два типа синхронизации: А-синхронные передачи и AB-синхронизированные передачи.

**Рис. 11-4. Определение ACNT, BCNT и CCNT**

