**21.1 Введение**

Периферийное устройство I2C с несколькими ведущими устройствами обеспечивает интерфейс между ЦП и любым устройством, совместимым с шиной I2C, которое подключается через последовательную шину I2C. Внешние компоненты, подключенные к шине I2C, могут последовательно передавать/принимать до 8-битных данных в/из процессорного устройства через двухпроводной интерфейс I2C.

Шина I2C является шиной с несколькими мастерами(multimaster). Контроллер I2C поддерживает режим multi-master, который позволяет подключить к нему более одного устройства, способного управлять шиной. Каждое устройство I2C отличается уникальным адресом и может работать как передатчик или приемник, в зависимости от функции устройства. Устройство, подключенное к шине I2C, может быть не только передатчиком или приемником, но и рассматривается как ведущее или ведомое при выполнении передачи данных. Обратите внимание, что ведущим устройством является устройство которое инициирует передачу данных по шине и генерирует тактовые сигналы, разрешающие эту передачу. При такой передаче любое устройство, к которому обращается этот мастер, считается ведомым.

**21.1.1 Функции I2C**

Общие характеристики контроллера I2C:

- Соответствует спецификации Philips I2C версии 2.1.

- Поддерживает стандартный режим (до 100 000 бит/с) и быстрый режим (до 400 000 бит/с).

- Режим мультиведущего передатчика/ведомого приемника

- Режим мультиведущего приемника/ведомого передатчика

- Комбинированные основные режимы передачи/приема и приема/передачи

- 7-битный и 10-битный режимы адресации устройств

- Встроенный 32-байтовый FIFO для буферизованного чтения или записи в каждом модуле

- Генерация программируемого тактового сигнала

- Два канала прямого доступа к памяти, одна линия прерывания

**21.1.2 Неподдерживаемые функции I2C**

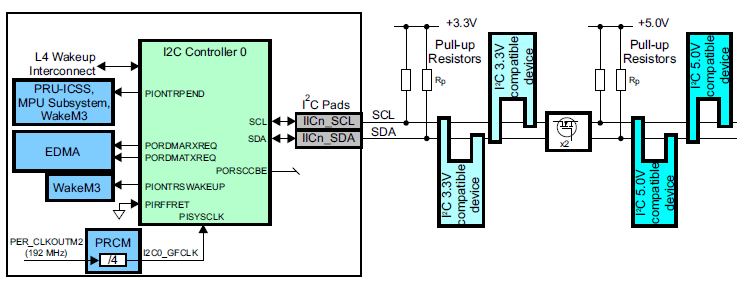
Функции модуля I2C, не поддерживаемые этим устройством, показаны в Таблице 21-1.

**Таблица 21-1. Неподдерживаемые функции I2C**

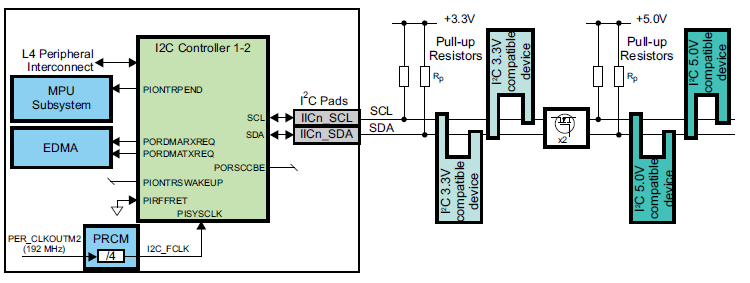
|  |  |
| --- | --- |
| Feature | Reason |
| SCCB Protocol | SCCB signal not pinned out |
| High Speed (3.4 MBPS) operation | Not supported |

**21.2 Интеграция**

Это устройство включает в себя три экземпляра модуля I2C. Это периферийное устройство реализует multimaster шину I2C, обеспечивающуб последовательную передачу 8-битных данных на/от других ведущих/ведомых устройств I2C по двухпроводной линии. Существует три экземпляра модуля I2C, которые называются I2C0, I2C1 и I2C2. Модуль I2C0 находится в домене Wake-up питания. На рис. 21-1 и рис. 21-2 показаны примеры системы с несколькими I2C-совместимыми устройствами.



**Рисунок 21-1. Интеграция модуля I2C0 и его применение.**



**Рисунок 21-2. Интеграция модулей I2C(1–2) и их применение.**

**21.2.1 Атрибуты подключения I2C**

Общие атрибуты подключения для модуля I2C показаны в Таблице 21-2 и Таблице 21-3.

**Таблица 21-2. Атрибуты подключения I2C0**

|  |  |
| --- | --- |
| Attributes | Type |
| Power Domain | Wakeup Domain |
| Clock Domain | PD\_WKUP\_L4\_WKUP\_GCLK (Interface/OCP)  PD\_WKUP\_I2C0\_GFCLK (Func) |
| Reset Signals | WKUP\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle / Wakeup |
| Interrupt Requests | 1 прерывание на подсистему MPU (I2C0INT), PRU-ICSS и  WakeM3 |
| DMA Requests | 2 запроса DMA к EDMA (I2CTXEVT0, I2CRXEVT0) |
| Physical Address | L4 Wakeup slave port |

**Таблица 21-3. Атрибуты подключения I2C(1–2)**

|  |  |
| --- | --- |
| Attributes | Type |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L4LS\_GCLK (Interface/OCP)  PD\_PER\_I2C\_FCLK (Func) |
| Reset Signals | PER\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 прерывание на экземпляр для подсистемы MPU (I2C1INT, I2C2INT) |
| DMA Requests | 2 запроса DMA на экземпляр к EDMA (I2CTXEVTx,  I2CRXEVTx) |
| Physical Address | L4 Peripheral slave port |

**21.2.2 Тактирование I2C и управление сбросом**

Контроллеры I2C имеют отдельный интерфейс шины и функциональное тактирование. В режиме пониженного энергопотребления I2Cx\_SCL и I2Cx\_SDA настроены как входы.

**Таблица 21-4. Тактовые сигналы I2C**

|  |  |  |  |
| --- | --- | --- | --- |
| Clock Signal | Max Freq | Reference / Source | Comments |
| I2C0 Clock Signals | | | |
| PIOCPCLK  Interface clock | MHz |  | pd\_wkup\_l4\_wkup\_gclk  From PRCM |
| PISYSCLK  Functional clock | 48 MHz | PER\_CLKOUTM2 / 4 | pd\_wkup\_i2c0\_gfclk  From PRCM |
| I2C(1-2) Clock Signals | | | |
| PIOCPCLK  Interface clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_per\_l4ls\_gclk  From PRCM |
| PISYSCLK  Functional clock | 48 MHz | PER\_CLKOUTM2 / 4 | pd\_per\_ic2\_fclk  From PRCM |

**21.2.3 Список выводов I2C**

Внешние сигналы (I2Cx\_SDA, I2Cx\_SCL) на устройстве используют стандартные входы/выходы LVCMOS и могут не полностью соответствовать спецификациям I2C для устройств Fast-mode для управления наклоном и входной фильтрацией (подавление всплесокв) для улучшения характеристик электромагнитной совместимости.

**Таблица 21-5. Список выводов I2C**

|  |  |  |
| --- | --- | --- |
| Pin | Type | Description |
| I2C*x*\_SCL | I/OD(1) | I2C serial clock (open drain) |
| I2C*x*\_SDA | I/OD | I2C serial data (open drain) |

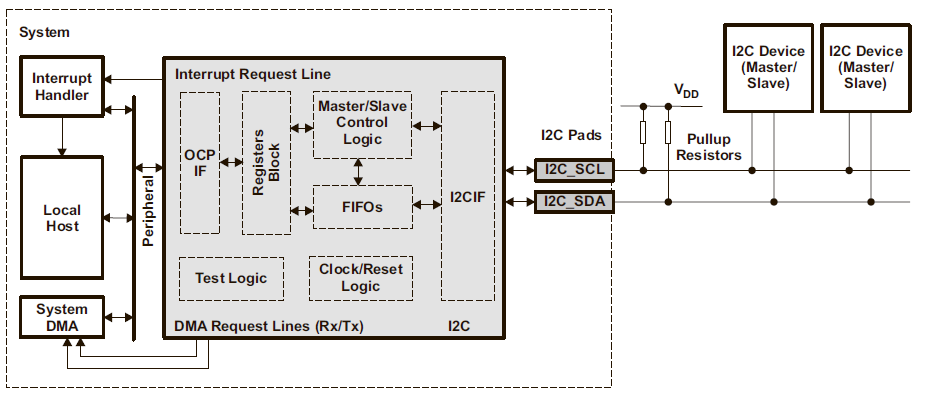
(1) Эти сигналы также используются в качестве входных данных для пересчета времени или синхронизации данных. Соответствующий бит CONF\_<module>\_<pin>\_RXACTIVE для этих сигналы должны быть установлены на 1, чтобы включить входы обратно в модуль. Также рекомендуется последовательно поставить резистор на 33 Ом. (близко к процессору) для каждого из этих сигналов, чтобы избежать отражения сигнала.

**21.3 Функциональное описание**

**21.3.1 Функциональная блок-схема**

На рис. 21-3 показан пример системы с несколькими совместимыми с I2C устройствами, в которых все порты последовательного интерфейса I2C соединены вместе для двусторонней передачи с одного устройства на другое.

**Рисунок 21-3. Функциональная блок-схема I2C**



Периферийное устройство I2C состоит из следующих основных блоков:

- Последовательный интерфейс: один вывод данных (I2C\_SDA) и один вывод синхронизации (I2C\_SCL).

- Регистры данных для временного хранения данных приема и передачи данных, перемещающихся между контактами I2C\_SDA и ЦП или контроллер прямого доступа к памяти.

- Регистры управления и состояния

- Интерфейс шины данных периферийных устройств, позволяющий ЦП и контроллеру прямого доступа к памяти получать доступ к периферийным регистрам устройств I2C.

- Синхронизатор тактирования для синхронизации входного тактирования I2C (от тактового генератора процессора) и тактовых импульсов на выводе I2C\_SCL, а также для синхронизации передачи данных с ведущими устройствами с разными тактовыми частотами.

- Предварительный делитель для разделения входного тактового сигнала, передаваемого на периферийное устройство I2C.

- Шумовой фильтр на каждом из двух контактов, I2C\_SDA и I2C\_SCL.

- Арбитр для управления арбитражем между периферийным устройством I2C (когда оно является ведущим) и другим ведущим устройством.

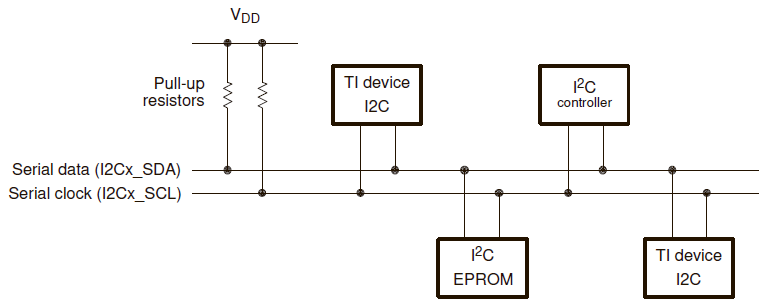
- Логика генерации прерывания, чтобы прерывание могло быть отправлено в ЦП

- Логика генерации событий DMA для отправки прерывания в ЦП при приеме и передаче данных.

**21.3.2 Сигналы главного/ведомого контроллера I2C**

Данные передаются на устройства, взаимодействующие с I2C, через последовательную линию передачи данных (SDA) и последовательные линию тактовых импульсов (SCL). Эти два провода могут передавать информацию между устройством и другими устройствами, подключенными к шине I2C. И SDA, и SCL являются двунаправленными контактами. Они должны быть подключены к положительному напряжению питания через подтягивающий резистор. Когда шина свободна, оба контакта имеют высокий уровень. Драйвер этих двух контактов имеет открытый сток чтобы иметь возможность выполнить функцию проводного И(wired-AND).

Пример нескольких модулей I2C, подключенных для двусторонней передачи с одного устройства на другое показан на рис. 21-4.

**Рисунок 21-4. Подключение нескольких модулей I2С**

**Таблица 21-6. Сигнальные выводы.**

|  |  |  |
| --- | --- | --- |
| Name | I2C Mode | |
| **Default Operating**  **Mode** | **Description** |
| I2C\_SCL | In/ Out | I2C последовательная линия CLK  Выходной буфер с открытым стоком. Требуется внешний подтягивающий резистор (Rp). |
| I2C\_SDA | In/ Out | Линия последовательной передачи данных I2C  Выходной буфер с открытым стоком. Требуется внешний подтягивающий резистор (Rp). |

**21.3.3 Сброс I2C**

Модуль I2C можно сбросить тремя способами:

- Сброс системы (PIRSTNA = 0). Сброс устройства вызывает сброс системы. Все регистры сбрасываются на значения сброса при включении питания.

- Программный сброс путем установки бита SRST в регистре I2C\_SYSC. Этот бит имеет точно такое же действие на логику модуля в виде сброса системной шины. Все регистры сбрасываются до значений сброса при включении питания.

- Бит I2C\_EN в регистре I2C\_CON может использоваться для удержания модуля I2C в состоянии сброса. Когда удален сброс системной шины (PIRSTNA = 1), I2C\_EN = 0 сохраняет функциональную часть модуля I2C в состояние сброса, и все регистры конфигурации могут быть доступны. I2C\_EN=0 не сбрасывает регистры в значения сброса при включении питания.

**Таблица 21-7. Сигналы сброса состояния I2C**

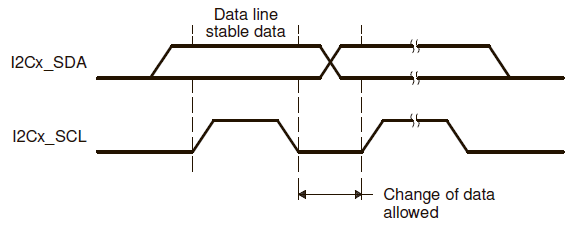
|  |  |  |  |
| --- | --- | --- | --- |
| Pin | I/O/Z (1) | System Reset | I2C Reset |
| **(I2C\_EN = 0)** |
| SDA | I/O/Z | High impedance | High impedance |
| SCL | I/O/Z | High impedance | High impedance |

(1) I = вход, O = выход, Z = высокое сопротивление(Третье состояние)

21.3.4 Достоверность данных

Данные на линии SDA должны быть стабильными в течение высокого периода тактового сигнала. Высокое и низкое состояние линии данных может измениться только тогда, когда тактовый сигнал на линии SCL имеет НИЗКИЙ уровень.

**Рисунок 21-5. Передача битов по шине I2C**



**21.3.5 Условия START и STOP**

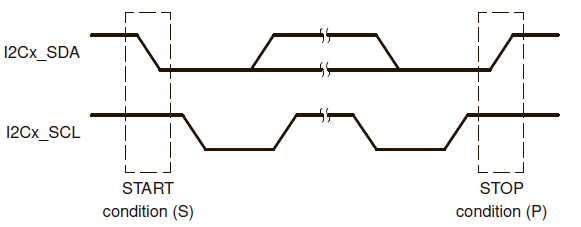
Модуль I2C генерирует условия СТАРТ и СТОП, когда он настроен как ведущий.

- Условие START – это переход с высокого на низкий уровень на линии SDA, когда SCL имеет высокий уровень.

- Состояние STOP – это переход с низкого уровня на высокий на линии SDA при высоком уровне SCL.

- Шина считается занятой после состояния START (BB = 1) и свободной после состояния STOP условие (ВВ = 0).

**Рисунок 21-6. События START и STOP на шине.**

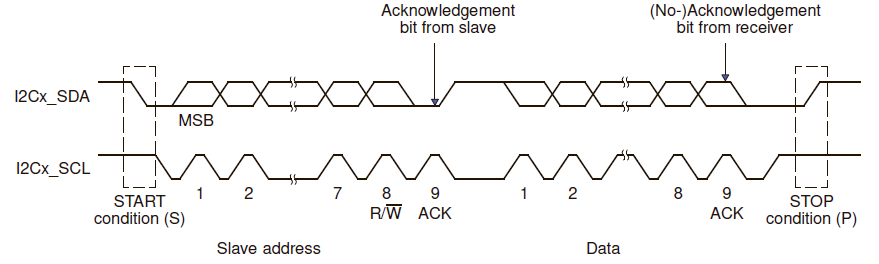


**21.3.6 Работа I2C**

**21.3.6.1 Форматы последовательных данных**

Контроллер I2C работает в формате 8-битных словных данных (доступ для записи байтов поддерживается для последнего доступа). Каждый байт, помещаемый в линию SDA, имеет длину 8 бит. Количество байтов, которое может быть передано или получено, ограничено значением, запрограммированным в регистре DCOUNT. Данные передаются с в порядке (MSB) максимальный значащий бит передается первым. За каждым байтом следует бит подтверждения от модуля I2C, если он находится в режиме приемника.

**Рисунок 21-7. Передача данных I2C**



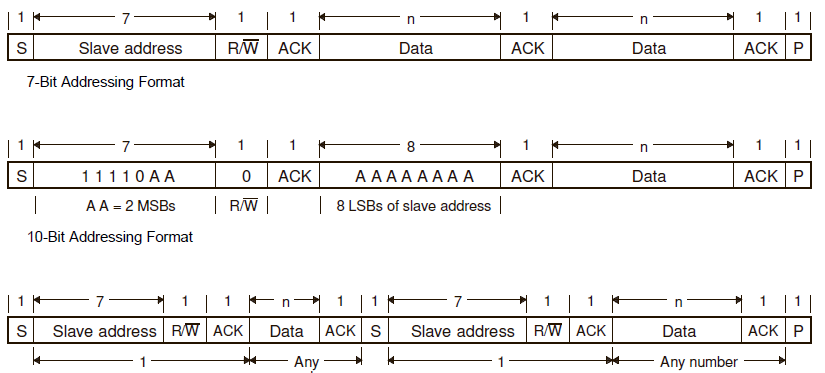
Модуль I2C поддерживает два формата данных, как показано на рис. 21-8:

- 7-битный/10-битный формат адресации.

- 7-битный/10-битный формат адресации с повторяющимся начальным условием.

Первый байт после начального условия (S) всегда состоит из 8 бит. В режиме подтверждения дополнительный бит предназначенный для подтверждения, вставляется после каждого байта. В форматах адресации с 7-битными адресами первый байт состоит из 7 старших разрядов адреса подчиненного устройства и 1 младшего бита R/nW. В форматах адресации с 10-битными адресами первый байт состоит из 7 старших бит адреса подчиненного устройства, например 11110XX, где XX — это два старших бита 10-битных адресов и 1 младший бит R/nW, который в данном случае равен 0.

Младший значащий R/nW адресного байта указывает направление передачи следующих данных байт. Если R/nW равно 0, ведущий записывает данные в выбранное ведомое устройств; если он равен 1, мастер считывает данные из ведомого устройства.

**Рисунок 21-8. Форматы передачи данных I2C** 

7-битный формат адресации с повторяющимся условием START

**21.3.6.2 Мастер передатчик**

В этом режиме данные, собранные в одном из ранее описанных форматов данных, выводятся на последовательный порт линии данных SDA и синхронизируются с самогенерируемыми тактовыми импульсами на последовательной линии синхронизации SCL. Тактовые импульсы запрещаются, а SCL удерживается на низком уровне, когда требуется вмешательство процессора (XUDF) после того, как байт был передан.

**21.3.6.3 Главный приемник**

В этот режим можно войти только из режима мастер передатчика. С любым из форматов адреса (Рисунок 21-8 (a), (b) и (c)), главный приемник вводится после байта адреса подчиненного устройства и передачи бита R/W\_, если R/W\_ имеет высокий уровень. Биты последовательных данных, принимаемые по шине SDA, сдвигаются синхронно с самогенерируемые тактовые импульсы на SCL. Тактовые импульсы подавляются, а SCL удерживается на низком уровне, когда требуется вмешательство процессора (ROVR) после передачи байта. В конце передачи, он генерирует условие остановки.

**21.3.6.4 Ведомый передатчик**

В этот режим можно войти только из режима ведомого приемника. С любым из форматов адреса (Рисунок 21-8 (a), (b) и (c)) ведомый передатчик вводится, если байт адреса ведомого совпадает с его собственным адресом передачи и бит R/W\_, если R/W\_ имеет высокий. Ведомый передатчик сдвигает последовательные данные на линии данных SDA синхронно с тактовыми импульсами, которые генерируются ведущим устройством. Он не генерирует свои тактовые импульсы, но может удерживать SCL линии тактирования на низком уровне, пока требуется вмешательство ЦП (XUDF).

**21.3.6.5 Ведомый приемник**

В этом режиме биты последовательных данных, принимаемые по шине SDA, вводятся синхронно с тактовыми импульсами на SCL, генерируемыми ведущим устройством. Он не генерирует тактовые импульсы, но может держать линию синхронизации SCL в низком уровне, когда требуется вмешательство ЦП (ROVR) после приема байта.