

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ
«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»

Московский институт электроники и математики им. А. Н. Тихонова

ДОМАШНЯЯ РАБОТА

на тему

**«Проектирование многоразрядного десятичного сумматора комбинационного
типа»**

Студент: Пыжов Илья Игоревич

Группа: БИВ225

Вариант: 16

Дата сдачи: 6.05.2024

Преподаватель: Бирюков Игорь Иванович

МОСКВА 2024

Исходные данные для проектирования

- Количество десятичных разрядов: 3;
- Двоично-десятичный код, в котором находятся числа Система логических элементов: 8421+3;
- Система логических элементов: И-НЕ;
- Критерий оптимальности элементов для проектирования логических схем: минимальная задержка в проектируемых схемах;
- Тип триггера для проектирования схемы управления: двухтактный синхронный JK-триггер;
- Временные параметры синхронизирующей серии импульсов логических элементов: длительность импульса 2 нс, скважность 1.

Разработка алгоритма выполнения арифметических операций сложения и вычитания многоразрядных чисел в заданном двоично-десятичном коде

Таблица соответствия для кода 8421+3

Код 8421+3	0 0011	1 0100	2 0101	3 0110	4 0111	5 1000	6 1001	7 1010	8 1011	9 1100
0 0011	1101 0110 0011	1101 0111 0100	1101 1000 0101	1101 1001 0110	1101 1010 0111	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100
1 0100	1101 0111 0100	1101 1000 0101	1101 1001 0110	1101 1010 0111	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011
2 0101	1101 1000 0101	1101 1001 0110	1101 1010 0111	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100
3 0110	1101 1001 0110	1101 1010 0111	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101
4 0111	1101 1010 0111	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110
5 1000	1101 1011 1000	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110	0011 1.0100 1.0111
6 1001	1101 1100 1001	1101 1101 1010	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110	0011 1.0100 1.0111	0011 1.0101 1.1000
7 1010	1101 1110 1011	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110	0011 1.0100 1.0111	0011 1.0101 1.1000	0011 1.0110 1.1001
8 1011	1101 1110 1011	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110	0011 1.0100 1.0111	0011 1.0101 1.1000	0011 1.0110 1.1001	0011 1.0111 1.1010
9 1100	1101 1111 1100	0011 1.0000 1.0011	0011 1.0001 1.0100	0011 1.0010 1.0101	0011 1.0011 1.0110	0011 1.0100 1.0111	0011 1.0101 1.1000	0011 1.0110 1.1001	0011 1.0111 1.1010	0011 1.1000 1.1011

Строки и столбцы таблицы соответствуют десятичным числам от 0 до 9

Каждая клетка таблицы содержит:

1. корректирующую величину;
2. результат сложения соответствующих двоично-десятичных чисел по правилам двоичной арифметики;
3. корректный результат сложения.

Возможны следующие два случая сложения чисел в коде 8421+3:

$$1) a + b \leq 9; [(a + 3) + (b + 3)] \leq 15.$$

Следовательно, в тетраде суммы будет лишних 6 единиц. Чтобы тетрада суммы осталась тоже с избытком 3, нужно вычесть 3.

То есть, коррекция **1101** вводится, если в результате сложения $P_i = 0$, P_i – перенос в следующий десятичный разряд (тетраду)

При этом значение P_i не изменяется в результате введения коррекции.

$$2) a + b \geq 10; [(a + 3) + (b + 3)] \geq 16.$$

Здесь во всех случаях возникает шестнадцатеричный перенос, вместе с которым тетраду суммы покинут и шесть избыточных единиц, чтобы тетрада суммы осталась с избытком 3, надо добавить 3.

То есть, коррекция **0011** вводится, если в результате сложения $P_i = 1$

Примеры сложения:

1) Сложение двух положительных чисел в прямом коде без переполнения:

$$249 + 358 = 607$$

$$\begin{array}{r} (+)0.0101.0111.1100 \\ (+)0.0110.1000.1011 \\ \hline 0.1100.0000.0111 \\ 1101.0011.0011 - \text{коррекция} \\ \hline 0.1001.0011.1010 = 607 \end{array}$$

2) Сложение положительного (прямой код) и отрицательного (обратный код) числа, ответ положительный:

$$479 - 258 = 221$$

$$\begin{array}{r} (+)0.0111.1010.1100 \\ (-)1.1010.0111.0100 \\ \hline 10.0010.0010.0000 \\ 0011.0011.0011 - \text{коррекция} \\ \hline 10.0101.0101.0011 \end{array}$$

При сложении чисел в обратном коде “1” переноса из знакового разряда добавляется к младшему разряду результата:

$$\begin{array}{r} 0.0101.0101.0011 \\ 1 \\ \hline 0.0101.0101.0100 = 221 \end{array}$$

3) Сложение положительного (прямой код) и отрицательного (обратный код) числа, ответ отрицательный:

$$235 - 647 = -412$$

$$\begin{array}{r} (+)0.0101.0110.1000 \\ (-)1.0110.1000.0101 \\ \hline 1.1011.1110.1101 \\ 1101.1101.1101 - \text{коррекция} \\ \hline 1.1000.1011.1010 = 1.0111.0100.0101 = -412 \end{array}$$

4) Сложение двух отрицательных чисел в обратном коде:

$$-235 - 412 = -647$$

$$\begin{array}{r} (-)1.1010.1001.0111 \\ (-)1.1000.1011.1010 \\ \hline 11.0011.0101.0001 \\ 1.0011.0101.0010 \\ 0011.0011.0011 - \text{коррекция} \\ \hline 1.0110.1000.0101 = 1.1001.0111.1010 = -647 \end{array}$$

5) Переполнение при сложении двух положительных чисел:

$$759 + 878 = (1)637$$

$$\begin{array}{r} (+)0.1010.1000.1100 \\ (+)0.1011.1010.1011 \\ \hline 1.0110.0011.0111 \\ 0011.0011.0011 - \text{коррекция} \\ \hline 1.1001.0110.1010 = -637 \end{array}$$

О переполнении говорит отрицательный результат при сложении двух положительных чисел

6) Переполнение при сложении двух отрицательных чисел в обратном коде:

$$- 547 - 759 = - (1)306$$

$$(-)1.0111.1000.0101$$

$$\underline{(-)1.0101.0111.0011}$$

$$10.1100.1111.1000$$

$$0.1100.1111.1001$$

$$\underline{1101.1101.1101} - \text{коррекция}$$

$$0.1001.1100.0110 = 0.0110.0011.1001 = 306$$

О переполнении говорит положительный результат при сложении двух отрицательных чисел.

Разработка функциональной схемы одnorазрядного десятичного сумматора комбинационного типа

Обозначим одnorазрядный двоичный сумматор за SM, входы и выходы SM обозначим на общей схеме:

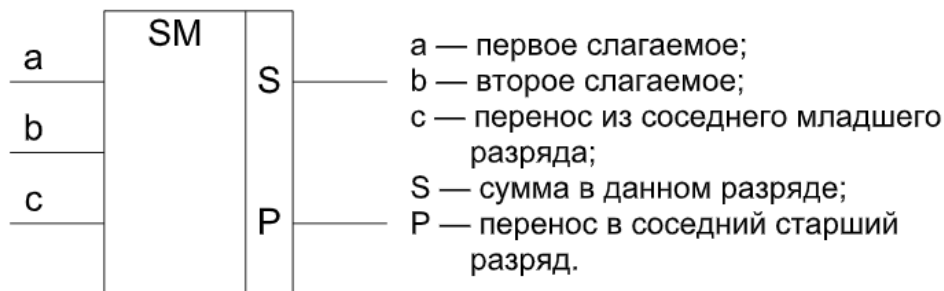
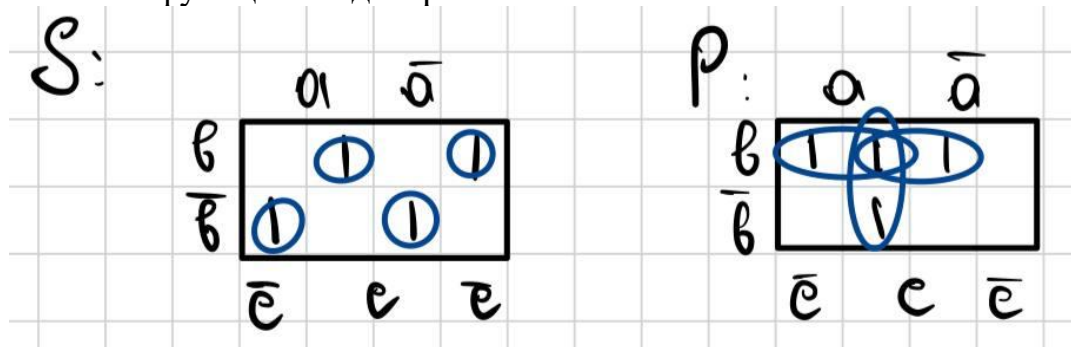


Таблица истинности для функций S и P суммы и переноса в одnorазрядном двоичном сумматоре

A	b	c	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Необходимо представить минимизированные функции P и S в базисе И-НЕ.

Нанесем функции на диаграммы Вейча:



Таким образом:

$$P = ab + ac + bc$$

$$S = abc + a\bar{b}\bar{c} + \bar{a}bc + \bar{a}\bar{b}c$$

Приведем функции к базису И-НЕ:

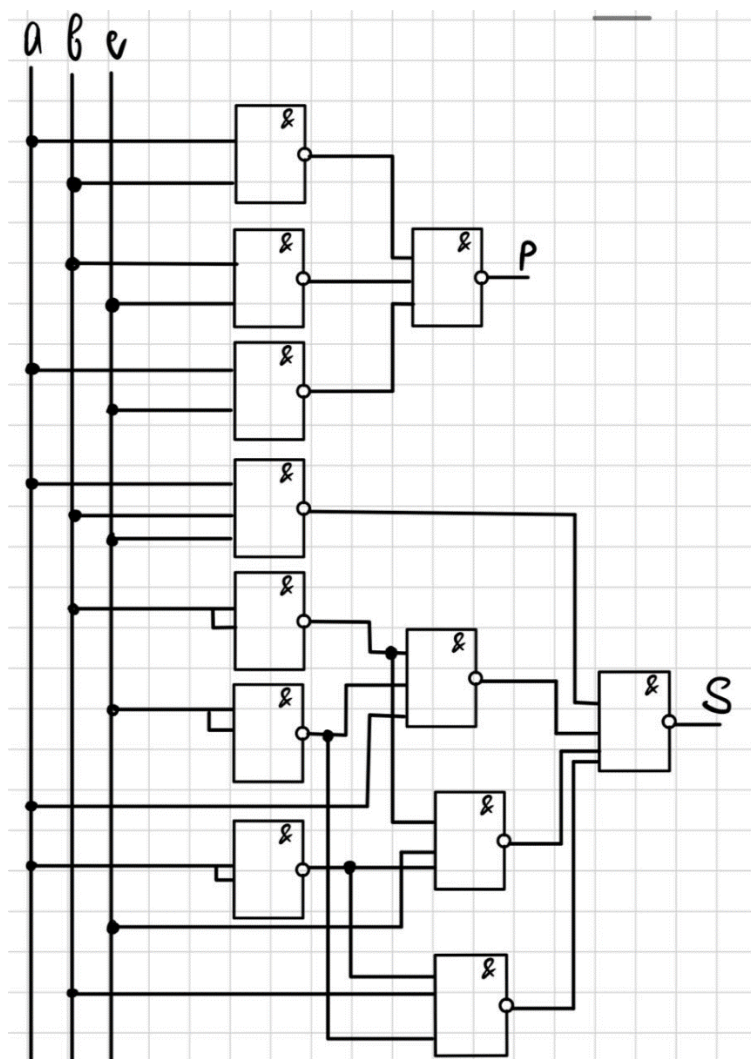
$$P = \overline{\overline{ab + ac + bc}}$$

$$P = \overline{\overline{ab} * \overline{ac} * \overline{bc}}$$

$$S = \overline{\overline{abc + a\bar{b}\bar{c} + \bar{a}\bar{b}c + \bar{a}b\bar{c}}}$$

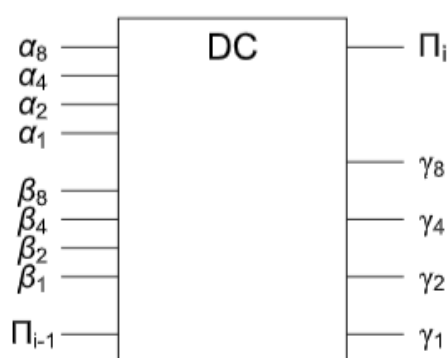
$$S = \overline{\overline{abc} * \overline{a\bar{b}\bar{c}} * \overline{\bar{a}\bar{b}c} * \overline{\bar{a}b\bar{c}}}$$

Логическая схема одноразрядного десятичного сумматора комбинационного типа:



Проектирование одноразрядного десятичного сумматора в коде 8421+3

Схема одноразрядного десятичного сумматора (DC) с указанием входных и выходных данных:



В коде 8421+3 при сложении всегда вводится коррекция. Значение коррекционной величины зависит от наличия переноса в старший разряд (следующую тетраду).

Найдем зависимости значений разрядов двоичного числа от значения переноса:

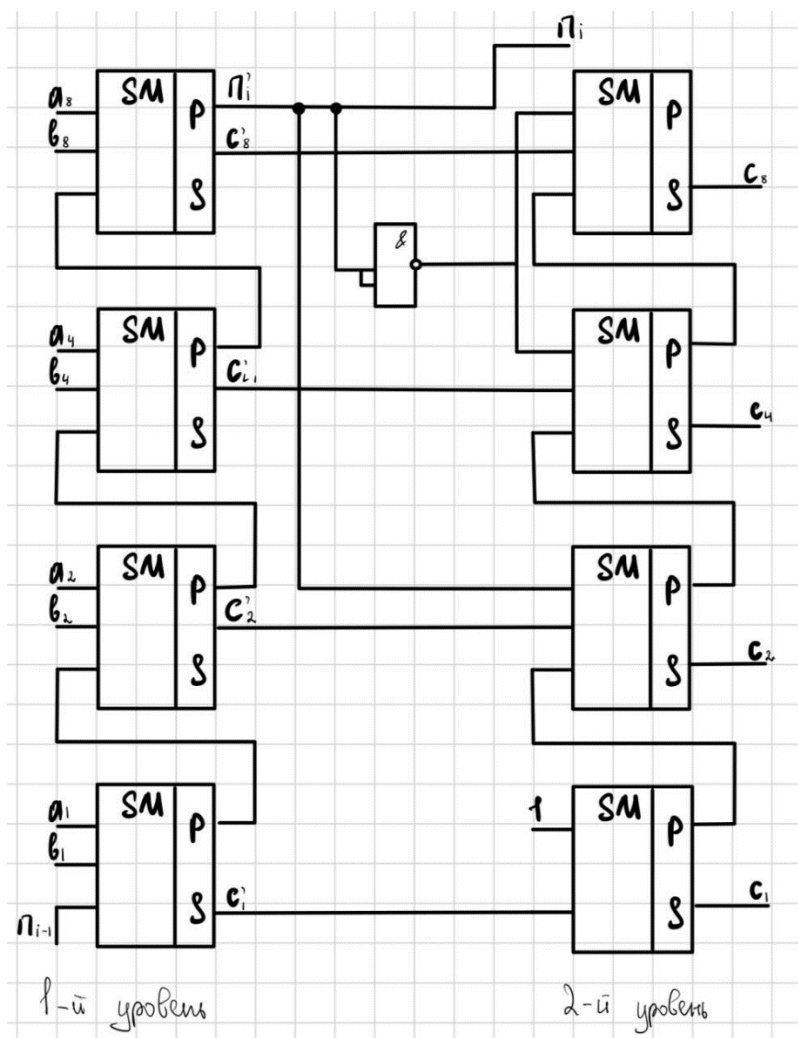
Π_i	λ_8	λ_4	λ_2	λ_1
0	1	1	0	1
1	0	0	1	1

Π_i – перенос в старшую тетраду

λ_n – двоичные разряды коррекции от старшего к младшему

Получаем: $\lambda_1 = 1$, $\lambda_2 = \Pi_i$, $\lambda_4 = \lambda_8 = \overline{\Pi_i}$

Логическая схема одnorазрядного десятичного сумматора:

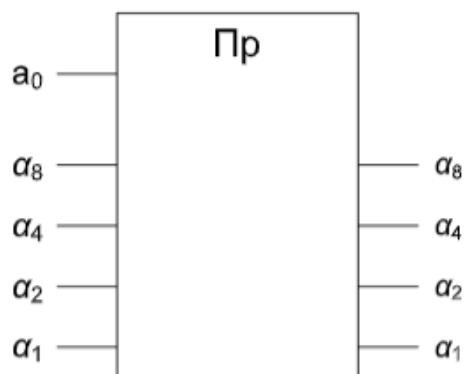


На первом уровне – четыре последовательных двоичных сумматора. На вход каждого подаются соответствующие разряды слагаемых двоичных чисел и перенос из младшей тетрады (выход Р предыдущего сумматора, Π_{i-1}).

На втором уровне – также четыре последовательных двоичных сумматора. На вход каждого подается выход S соответствующего сумматора первого уровня и соответствующая функция λ_n : на первый – единица, на второй – Π_i , на последующие два – $\overline{\Pi_i}$

Разработка дополнительных схем для функционирования многоразрядного десятичного сумматора

Преобразователь прямого кода в обратный:



На вход: a_0 – знак числа, $\alpha_1, \alpha_2, \alpha_4, \alpha_8$ – разряды числа. На выходе: $\alpha_1', \alpha_2', \alpha_4', \alpha_8'$ – разряды числа в обратном коде. Составим таблицу истинности для преобразователя:

a_0	α_8	α_4	α_2	α_1	α_8'	α_4'	α_2'	α_1'
0	0	0	0	0	X	X	X	X
0	0	0	0	1	X	X	X	X
0	0	0	1	0	X	X	X	X
0	0	0	1	1	0	0	1	1
0	0	1	0	0	0	1	0	0
0	0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1	0
0	0	1	1	1	0	1	1	1
0	1	0	0	0	1	0	0	0
0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0
0	1	0	1	1	1	0	1	1
0	1	1	0	0	1	1	0	0
0	1	1	0	1	X	X	X	X
0	1	1	1	0	X	X	X	X
0	1	1	1	1	X	X	X	X
1	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
1	0	0	1	0	X	X	X	X
1	0	0	1	1	1	1	0	0
1	0	1	0	0	1	0	1	1
1	0	1	0	1	1	0	1	0
1	0	1	1	0	1	0	0	1
1	0	1	1	1	1	0	0	0
1	1	0	0	0	0	1	1	1

1	1	0	0	1	0	1	1	0
1	1	0	1	0	0	1	0	1
1	1	0	1	1	0	1	0	0
1	1	1	0	0	0	0	1	1
1	1	1	0	1	X	X	X	X
1	1	1	1	0	X	X	X	X
1	1	1	1	1	X	X	X	X

Рассмотрим α_1' , α_2' , α_4' , α_8' как не полностью определенные переключательные функции, зависящие от 5 аргументов (a_0 , a_1 , a_2 , a_4 , a_8)

Для построения схемы получим МДНФ всех переключательных функций с помощью диаграмм Вейча:

1) α_8'

		a1				$\overline{a1}$				
		a0		$\overline{a0}$		a0		$\overline{a0}$		
a8			x	x	1			1	1	$\overline{a2}$
			x	x	1		x	x	1	a2
$\overline{a8}$		1	1			x	1		x	$\overline{a2}$
		x	1		x	x	1		x	
		$\overline{a4}$		a4		$\overline{a4}$		a4		$\overline{a4}$

$$\alpha_8' = a_0 \overline{a_8} + \overline{a_0} a_8$$

$$\alpha_8' = a_0 \overline{a_8} + \overline{a_0} a_8$$

$$\alpha_8' = a_0 \overline{a_8} * \overline{a_0} a_8$$

2) α_4'

		a1				$\overline{a1}$				
		a0		$\overline{a0}$		a0		$\overline{a0}$		
a8		1	x	x		1		1		$\overline{a2}$
		1	x	x		1	x	x		a2
$\overline{a8}$		1		1		x		1	x	$\overline{a2}$
		x		1	x	x		1	x	
		$\overline{a4}$		a4		$\overline{a4}$		a4		$\overline{a4}$

$$\alpha_8' = a_0 \overline{a_4} + \overline{a_0} a_4$$

$$\alpha_8' = a_0 \overline{a_4} + \overline{a_0} a_4$$

$$\alpha_8' = a_0 \overline{a_4} * \overline{a_0} a_4$$

3) α_2'

	a1				$\overline{a1}$				
	a0		$\overline{a0}$		a0		$\overline{a0}$		
a8	1	x	x		1	1			$\overline{a2}$
		x	x	1		x	x	1	a2
$\overline{a8}$			1	1	x		1	x	
	x	1		x	x	1		x	$\overline{a2}$
	$\overline{a4}$		a4		$\overline{a4}$		a4		$\overline{a4}$

$$\alpha_8' = \underline{\underline{a_0 \overline{a_2} + \overline{a_0} a_2}}$$

$$\alpha_8' = \underline{\underline{a_0 \overline{a_2} + \overline{a_0} a_2}}$$

$$\alpha_8' = \underline{\underline{a_0 \overline{a_2} * \overline{a_0} a_2}}$$

4) α_1'

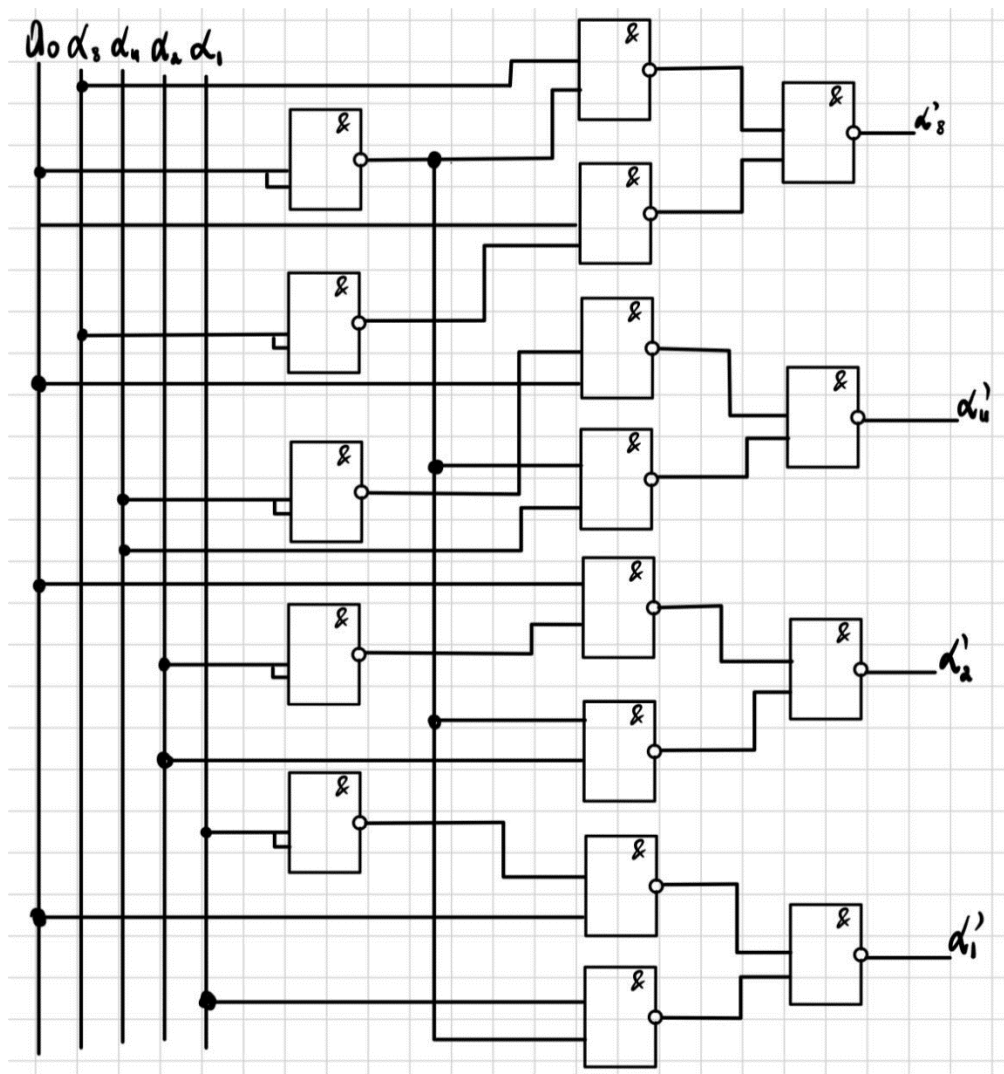
	a1				$\overline{a1}$				
	a0		$\overline{a0}$		a0		$\overline{a0}$		
a8		x	x	1	1	1			$\overline{a2}$
		x	x	1	1	x	x		a2
$\overline{a8}$			1	1	x	1		x	
	x		1	x	x	1		x	$\overline{a2}$
	$\overline{a4}$		a4		$\overline{a4}$		a4		$\overline{a4}$

$$\alpha_8' = \underline{\underline{a_0 \overline{a_1} + \overline{a_0} a_1}}$$

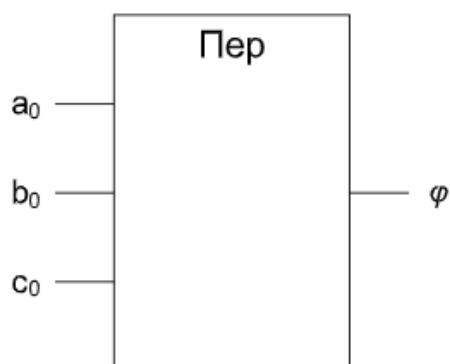
$$\alpha_8' = \underline{\underline{a_0 \overline{a_1} + \overline{a_0} a_1}}$$

$$\alpha_8' = \underline{\underline{a_0 \overline{a_1} * \overline{a_0} a_1}}$$

По полученным аналитическим выражениям построим функциональную схему преобразователя:



Фиксирование переполнения:



На вход: a_0 , b_0 — знаки слагаемых, c_0 — знак результата. На выходе: φ — знак переполнения.

Переполнение наступает:

1) При сложении двух положительных величин результат получается отрицательным;

2) При сложении двух отрицательных величин результат получается положительным.

По правилам переполнения составим таблицу истинности для переключательной функции φ :

a_0	b_0	c_0	φ
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Для построения схемы получим МДНФ переключательной функции с помощью диаграммы Вейча:

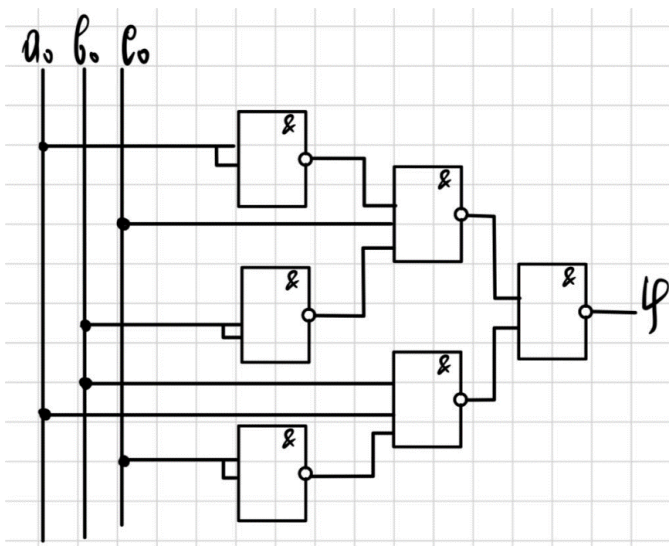
	a_0	$\overline{a_0}$
b_0	1	
$\overline{b_0}$		1
	$\overline{c_0}$	c_0

$$\varphi = \overline{a_0 b_0 \overline{c_0}} + \overline{\overline{a_0} \overline{b_0} c_0}$$

$$\varphi = \overline{a_0 b_0 \overline{c_0}} + \overline{\overline{a_0} \overline{b_0} c_0}$$

$$\varphi = \overline{a_0 b_0 \overline{c_0}} * \overline{\overline{a_0} \overline{b_0} c_0}$$

По полученному выражению построим функциональную схему, фиксирующую переполнение:



Для получения знака результата можно использовать **одноразрядный двоичный сумматор**, так как сложения чисел в обратном коде гласит, что при выполнении операции знаковые разряды участвуют в сложении на равне с остальными разрядами, и при этом учитывается перенос в знаковый разряд и перенос из знакового разряда

Разработка функциональной схемы многоразрядного десятичного сумматора

Обозначим слагаемые, поступающие на вход сумматора:

$A = a_0a_1a_2a_3$, где a_0 — знак числа, a_i — десятичная цифра, которая

представляется в двоично-десятичном коде следующим образом: $a_i = \alpha_8^i \alpha_4^i \alpha_2^i \alpha_1^i$;

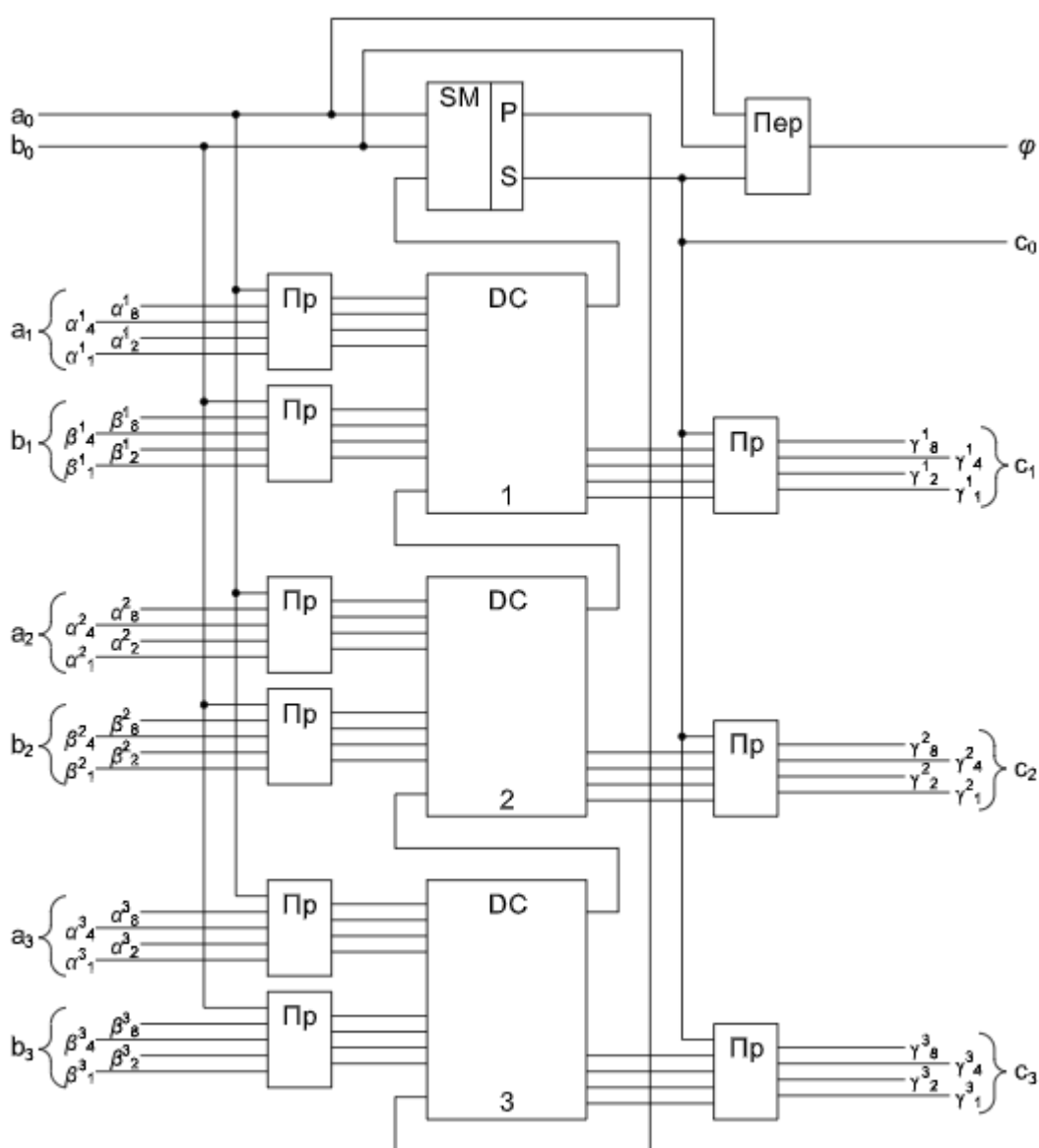
$B = b_0b_1b_2b_3$, где b_0 — знак числа, $\beta_i = \beta_8^i \beta_4^i \beta_2^i \beta_1^i$.

Результат от сложения обозначим:

$C = c_0c_1c_2c_3$, где c_0 — знак числа, $c_i = \gamma_8^i \gamma_4^i \gamma_2^i \gamma_1^i$.

φ — функция переполнения разрядной сетки

Используя все полученные результаты, можно построить структурную схему трехразрядного десятичного сумматора:



На вход сумматора поступают два трехразрядных десятичных числа. Каждая тетрада этих чисел по отдельности проходит через преобразователь, и каждые две соответствующие тетрады обоих чисел поступают на входы одноразрядных десятичных сумматоров. Эти сумматоры соединены последовательно, аналогично соединению двоичных сумматоров. Кроме того, выход Π_i первого сумматора подводится на вход схемы, учитывающей знак суммы. Сигнал с входа Р этой схемы подводится на вход первого одноразрядного десятичного сумматора Π_{i-1} . Этим достигается прибавление единицы к младшему разряду при сложении в обратном коде.

Получившиеся на выходах одноразрядных десятичных сумматоров значения пропускаются через преобразователи, и на их выходах получают значащие разряды искомого числа (суммы). Знак суммы вырабатывается «схемой, учитывающей знак суммы» (SM). Знак суммы, а также знаки входных чисел, поступают на «схему, фиксирующую переполнение» (Пер).

Разработка устройства управления для многоразрядного десятичного сумматора

Для правильного функционирования полученной схемы трехразрядного десятичного сумматора необходимо зафиксировать величины, которые участвуют в сложении, величину полученного результата и признаки результата. Это можно сделать, используя входные и выходные регистры и регистр признаков. Кроме регистров, необходимо устройство, которое будет синхронизировать работу этих регистров и осуществлять остановку после получения результата.

Регистры входа и выхода:

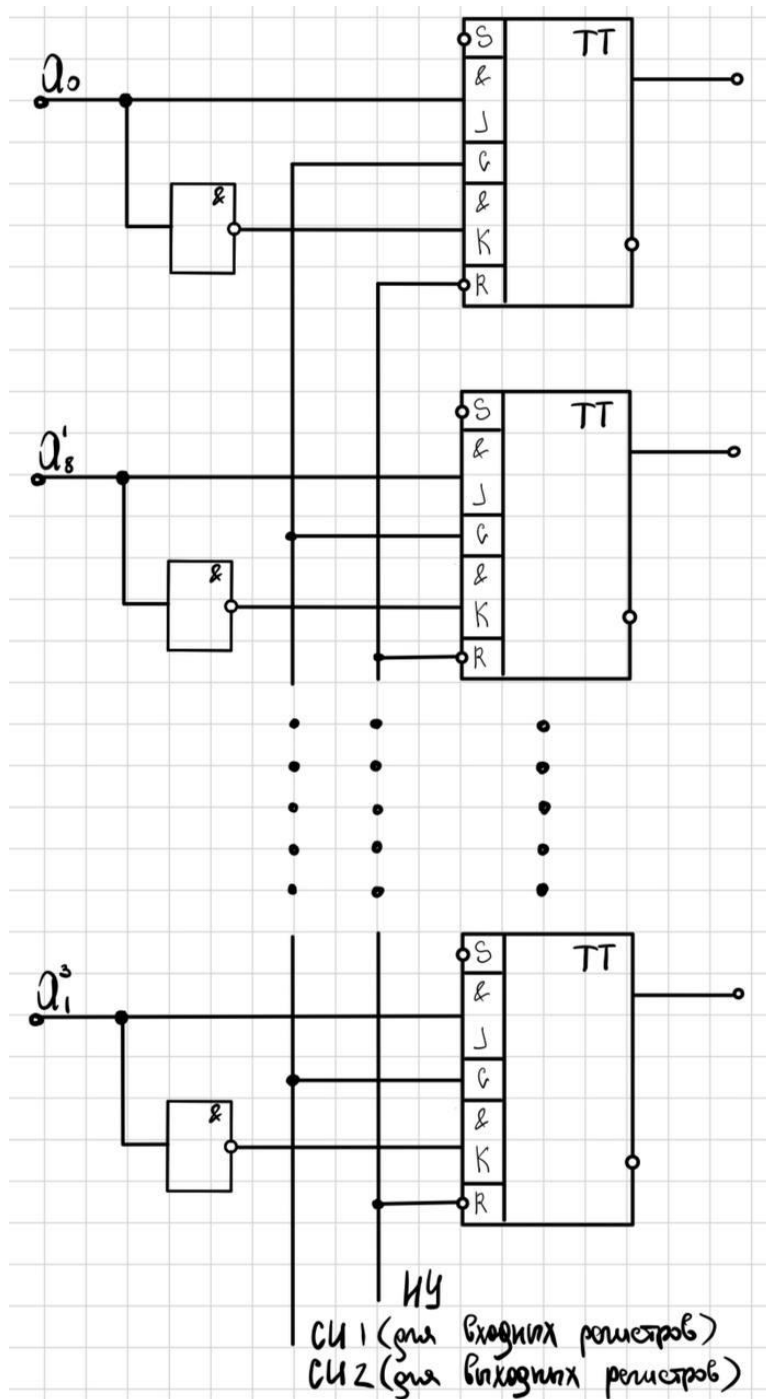
Регистры входов и выхода имеют одинаковую структуру и строятся на синхронных двухтактных J-K триггерах с асинхронными установочными входами R и S. Каждый регистр содержит по 13 триггеров (12 значащих двоичных разрядов и 1 знаковый).

На вход J триггера подается информационный бит. На вход K — инверсия информационного бита. При подаче единицы на вход J и нуля на вход K триггер устанавливается в единичное состояние. При подаче нуля на вход J и единицы на вход K триггер устанавливается в нулевое состояние. Такой принцип используется при проектировании триггеров в регистре признаков.

На синхровход С подается синхросигнал от распределителя сигналов (для регистров входов СИ1, для регистра выходов СИ2). По синхросигналу информация заносится в триггер.

На инверсный вход R подается сигнал НУ (начальная установка) для перевода триггера в нулевое состояние.

Получим функциональную схему регистров входа и выхода:

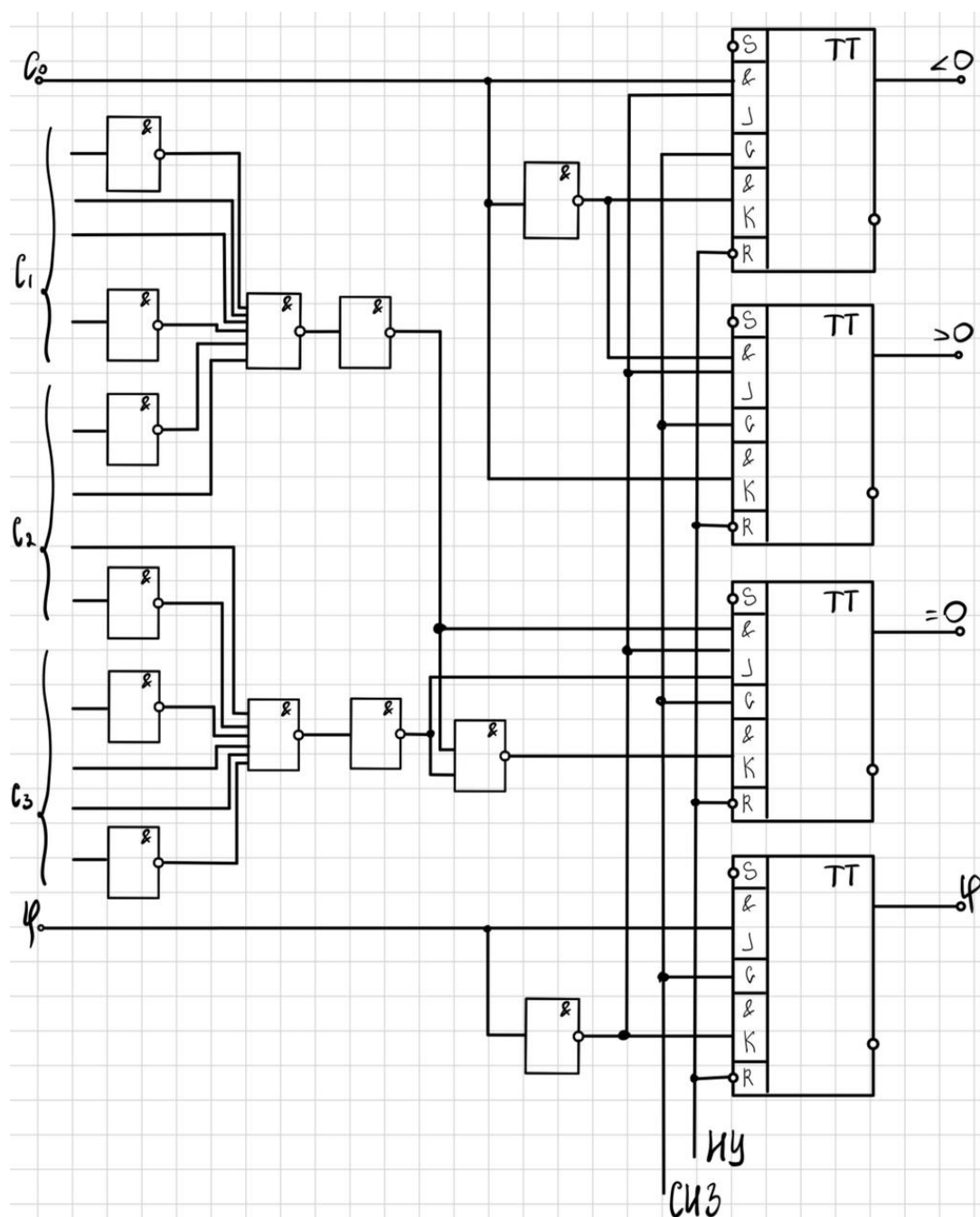


Регистр признаков:

Регистр признаков хранит информацию о результате работы устройства. Регистр состоит из 4 триггеров. Первый дает единицу, если результат отрицательный, второй — если положительный, третий — если равен нулю, четвертый — если произошло переполнение (при этом первые три триггера блокируются). Входными сигналами для первых двух триггеров является знак результата. Для триггера равенства результата нулю необходимый входной сигнал получается на комбинационной схеме, которая вырабатывает сигнал единицы, когда все

значащие разряды (двоичные) результата равны нулю. Входным сигналом четвертого триггера является сигнал с выхода схемы переполнения. Для блокировки первых трех триггеров в случае переполнения на входы J этих триггеров следует также подать инверсию сигнала со схемы, фиксирующей переполнение. На все четыре триггера на синхровходы С подается сигнал СИЗ от распределителя сигналов. На инверсные входы R подается сигнал НУ для перевода триггеров в начале выполнения операции в нулевое состояние.

Получим функциональную схему регистров входа и выхода:



Распределитель сигналов:

Распределитель сигналов имеет 4 выхода и предназначен для управления процессом работы устройства. Назначение сигналов, на каждом из четырех выходов распределителя:

- первая ветка: сигнал подается на синхровход С регистров входов, происходит занесение данных в регистры;
- вторая ветка: сигнал подается на синхровход С регистров выходов, происходит занесение данных в регистры;
- третья ветка: сигнал подается на синхровход С регистра признаков, происходит занесение флагов окончания процесса в регистр;
- четвертая ветка: сигнал подается на асинхронный вход R триггера пуска, происходит останов процесса.

Входными сигналами распределителя сигналов являются импульсы с генератора импульсов. Генератор вырабатывает импульсные сигналы длительностью 2 нсек со скважностью 1. Распределитель сигналов должен «выделить» из этой последовательности 4 сигнала с определенной временной задержкой между ними.

Для дальнейшего проектирования распределителя сигналов необходимо определить эти временные интервалы: T_1 между СИ₁ и СИ₂, T_2 между СИ₂ и СИ₃, T_3 между СИ₃ и СИ₄.

T_1 характеризуется временем работы трехразрядного десятичного сумматора. Для определения этой величины необходимо определить задержки сигналов по каждой схеме, которая является составной частью сумматора:

Одноразрядный двоичный сумматор:

- задержка по цепи вход-выход Р: 2 нс;
- задержка по цепи вход-выход S: 3 нс.

Одноразрядный десятичный сумматор:

- задержка по цепи вход-выход Π_i : $4P = 2 \cdot 4 = 8$ нс;
- задержка по цепи вход- F_k : $\Pi_i + 1ЛЭ = 8 + 1 = 9$ нс;
- задержка по цепи вход-выход с8: $\Pi_i + 2P + S = 8 + 2 \cdot 2 + 3 = 15$ нс.

Преобразователь: 3 нс

Схема, фиксирующая переполнение: 3 нс.

Рассчитаем задержку, проходя по наиболее длинному пути от входов к выходу устройства: $\Pi_p + 3\Pi_i + P + c8 + \Pi_p = 3 + 3 \cdot 8 + 2 + 15 + 3 = 47$ нс.

Так как T_1 должен быть кратен периоду импульса (4 нс), то $T_1 = 48$ нс.

Тогда комбинация 0000 между сигналами 0001 и 0010 должна повторяться:

$T_1 / 4 - 1 = 48 / 4 - 1 = 11$ раз.

T_2 определяется задержкой сигнала во входных цепях регистра признаков. Комбинационная схема на входе триггера, отвечающего за признак равенства нулю результата, имеет задержку 4 нс, поэтому $T_2 = 4$ нс. T_3 также равен 4 нс, так как сигнал останова СИ4 идет непосредственно за сигналом СИ3.

Таким образом, распределитель сигналов является генератором следующих четырехразрядных двоичных чисел:

0001, 0000 (11 раз), 0010, 0100, 1000

Распределитель сигналов будет проектироваться на основе счётчика с пересчётом на 15 и комбинационной схемой на выходе. Для проектирования счётчика понадобится 4 триггера.

Составим таблицу переходов:

Такт n				Такт n				Функции перехода				Синхроимпульсы			
Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F_4	F_3	F_2	F_1	СИ4	СИ3	СИ2	СИ1
0	0	0	0	0	0	0	1	0	0	0	▲	0	0	0	1
0	0	0	1	0	0	1	0	0	0	▲	▼	0	0	0	0
0	0	1	0	0	0	1	1	0	0	1	▲	0	0	0	0
0	0	1	1	0	1	0	0	0	▲	▼	▼	0	0	0	0
0	1	0	0	0	1	0	1	0	1	0	▲	0	0	0	0
0	1	0	1	0	1	1	0	0	1	▲	▼	0	0	0	0
0	1	1	0	0	1	1	1	0	1	1	▲	0	0	0	0
0	1	1	1	1	0	0	0	▲	▼	▼	▼	0	0	0	0
1	0	0	0	1	0	0	1	1	0	0	▲	0	0	0	0
1	0	0	1	1	0	1	0	1	0	▲	▼	0	0	0	0
1	0	1	0	1	0	1	1	1	0	1	▲	0	0	0	0
1	0	1	1	1	1	0	0	1	▲	▼	▼	0	0	0	0
1	1	0	0	1	1	0	1	1	1	0	▲	0	0	1	0
1	1	0	1	1	1	1	0	1	1	▲	▼	0	1	0	0
1	1	1	0	0	0	0	0	▼	▼	▼	0	1	0	0	0

Данная таблица истинности работы распределителя сигналов объединяет в себе таблицу для проектирования счетчика с $K=14$ и таблицу для проектирования комбинационной схемы на выходе счетчика.

Счетчик строится на двухтактных синхронных J-K триггерах с асинхронными входами R и S. Для проектирования счетчика функции переходов F наносятся на диаграммы Вейча и по словарю переходов наносятся на другие диаграммы функции J и K. Тем самым можно по последним диаграммам получить переключательные функции в минимальной форме и по ним построить функциональную схему счетчика. Для проектирования комбинационных схем необходимо получить в минимальной форме функции СИ1, СИ2, СИ3 и СИ4,

аргументами которых являются выходные сигналы триггеров. Эта операция проводится также с использованием диаграмм Вейча.

Словарь переходов:

F	J	K
0	0	x
1	x	0
▲	1	x
▼	x	1

Нанесем на диаграммы поочередно функции переходов и входные сигналы триггеров:

1) F_4 :

	Q4		$\overline{Q4}$		
Q3	1	▼			$\overline{Q1}$
	1	x	▲		Q1
$\overline{Q3}$	1	1			$\overline{Q1}$
	1	1			
	$\overline{Q2}$	Q2	$\overline{Q2}$		

J_4 :

	Q4		$\overline{Q4}$		
Q3	x	x			$\overline{Q1}$
	x	x	1		Q1
$\overline{Q3}$	x	x			$\overline{Q1}$
	x	x			
	$\overline{Q2}$	Q2	$\overline{Q2}$		

$$J_4 = Q_3 Q_2 Q_1$$

K_4 :

	Q4		$\overline{Q4}$		
Q3		1	x	x	$\overline{Q1}$
		x	x	x	Q1
$\overline{Q3}$			x	x	$\overline{Q1}$
			x	x	
	$\overline{Q2}$	Q2	$\overline{Q2}$		

$$K_4 = Q_3 Q_2$$

2) F_3 :

	Q4		$\overline{Q4}$		
Q3	1	▼	1	1	$\overline{Q1}$
	1	x	▼	1	Q1
$\overline{Q3}$		▲	▲		$\overline{Q1}$
	$\overline{Q2}$	Q2		$\overline{Q2}$	

J_3 :

	Q4		$\overline{Q4}$		
Q3	x	x	x	x	$\overline{Q1}$
	x	x	x	x	Q1
$\overline{Q3}$		1	1		$\overline{Q1}$
	$\overline{Q2}$	Q2		$\overline{Q2}$	

$$J_3 = Q_2 Q_1$$

K_3 :

	Q4		$\overline{Q4}$		
Q3		1			$\overline{Q1}$
		x	1		Q1
$\overline{Q3}$	x	x	x	x	$\overline{Q1}$
	x	x	x	x	
	$\overline{Q2}$	Q2		$\overline{Q2}$	

$$K_3 = \overline{Q_2 Q_1} + Q_4 Q_2$$

$$K_3 = \overline{Q_2 Q_1} + Q_4 Q_2$$

$$K_3 = \overline{Q_2 Q_1} * \overline{Q_4 Q_2}$$

3) F_2 :

	Q4		$\overline{Q4}$		
Q3		▼	1		$\overline{Q1}$
	▲	x	▼	▲	Q1
$\overline{Q3}$	▲	▼	▼	▲	$\overline{Q1}$
		1	1		
	$\overline{Q2}$	Q2		$\overline{Q2}$	

J_2 :

	Q4		$\overline{Q4}$		
Q3		x	x		$\overline{Q1}$
	1	x	x	1	Q1
$\overline{Q3}$	1	x	x	1	$\overline{Q1}$
		x	x		
	$\overline{Q2}$	Q2		$\overline{Q2}$	

$$J_2 = Q_1$$

K_2 :

	Q4		$\overline{Q4}$		
Q3	x	1		x	$\overline{Q1}$
	x	x	1	x	Q1
$\overline{Q3}$	x	1	1	x	$\overline{Q1}$
	x			x	
	$\overline{Q2}$	Q2		$\overline{Q2}$	

$$K_2 = \overline{Q_1 + Q_4 Q_3}$$

$$K_2 = \overline{Q_1 + Q_4 Q_3}$$

$$K_2 = \overline{Q_1} * \overline{Q_4 Q_3}$$

4) F_1 :

	Q4		$\overline{Q4}$		
Q3	▲		▲	▲	$\overline{Q1}$
	▼	x	▼	▼	Q1
$\overline{Q3}$	▼	▼	▼	▼	$\overline{Q1}$
	▲	▲	▲	▲	
	$\overline{Q2}$	Q2		$\overline{Q2}$	

J_1 :

	Q4		$\overline{Q4}$		
Q3	1		1	1	$\overline{Q1}$
	x	x	x	x	Q1
$\overline{Q3}$	x	x	x	x	$\overline{Q1}$
	1	1	1	1	
	$\overline{Q2}$	Q2		$\overline{Q2}$	

$$J_1 = \overline{Q_4} + \overline{Q_3} + \overline{Q_2}$$

$$J_1 = \overline{\overline{Q_4} + \overline{Q_3} + \overline{Q_2}}$$

$$J_1 = \overline{\overline{\overline{Q_4}} * \overline{\overline{Q_3}} * \overline{\overline{Q_2}}}$$

$$J_1 = \overline{Q_4 Q_3 Q_2}$$

K_1 :

	Q4		$\overline{Q_4}$		
Q3	x	x	x	x	$\overline{Q_1}$
	1	x	1	1	Q1
$\overline{Q_3}$	1	1	1	1	$\overline{Q_1}$
	x	x	x	x	
	$\overline{Q_2}$	Q2	$\overline{Q_2}$		

$$K_1 = 1$$

Теперь нанесём на диаграммы значения переключательных функций СИ1, СИ2, СИ3 и СИ4 и получим логические уравнения для проектирования комбинационной схемы:

1) СИ4:

	Q4		$\overline{Q_4}$		
Q3		1 x			$\overline{Q_1}$
					Q1
$\overline{Q_3}$					$\overline{Q_1}$
	$\overline{Q_2}$	Q2	$\overline{Q_2}$		

$$\text{СИ4} = Q_4 Q_3 Q_2$$

2) СИ3:

	Q4		$\overline{Q_4}$		
Q3					$\overline{Q_1}$
	1	x			Q1
$\overline{Q_3}$					$\overline{Q_1}$
	$\overline{Q_2}$	Q2	$\overline{Q_2}$		

$$\text{СИ3} = Q_4 Q_3 Q_1$$

3) СИ2:

	Q4		$\overline{Q4}$		
Q3	1				$\overline{Q1}$
		x			Q1
$\overline{Q3}$					$\overline{Q1}$
	$\overline{Q2}$	Q2		$\overline{Q2}$	

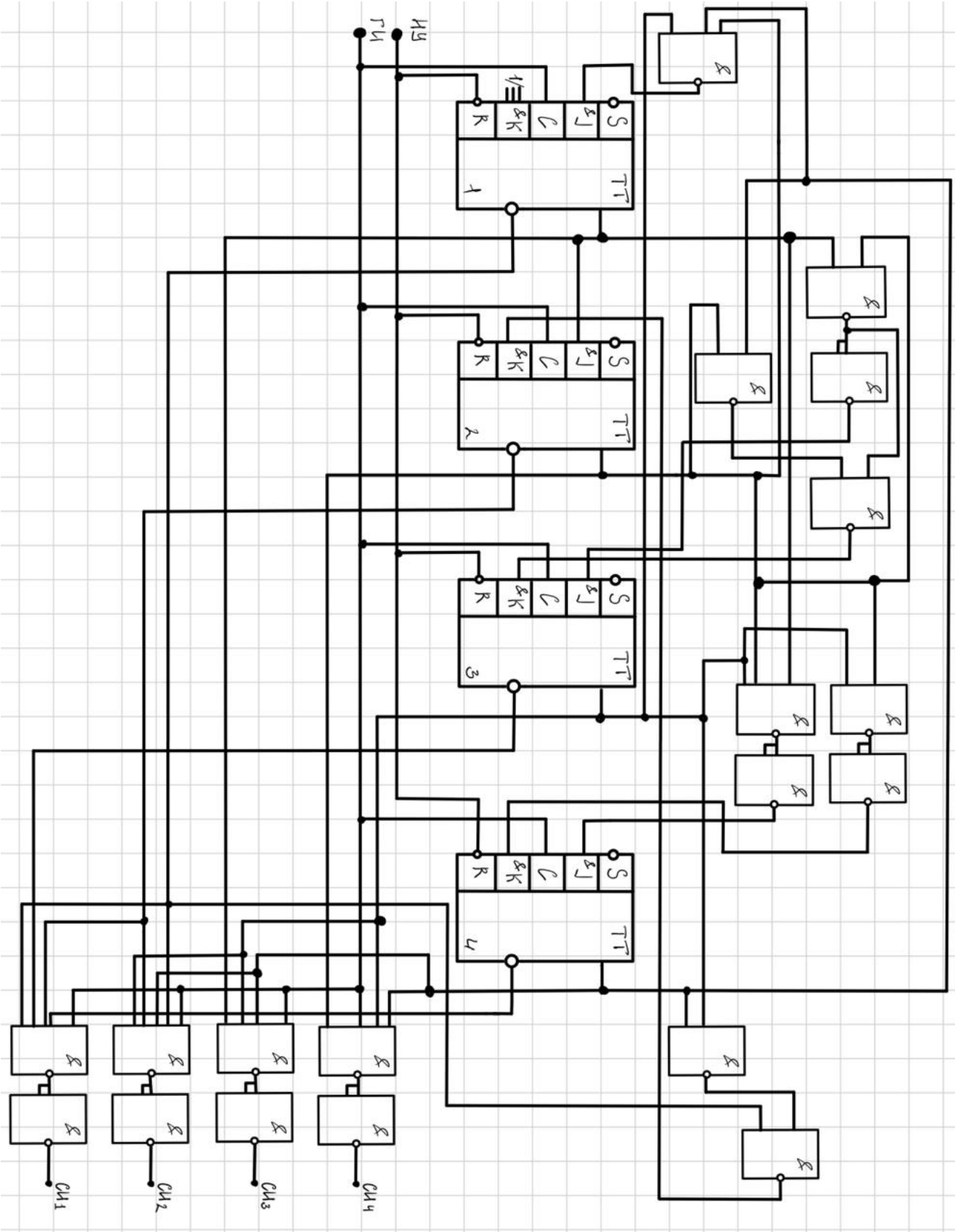
$$\text{СИ2} = Q_4 * Q_3 * \overline{Q_2} * \overline{Q_1}$$

4) СИ1:

	Q4		$\overline{Q4}$		
Q3					$\overline{Q1}$
		x			Q1
$\overline{Q3}$				1	$\overline{Q1}$
	$\overline{Q2}$	Q2		$\overline{Q2}$	

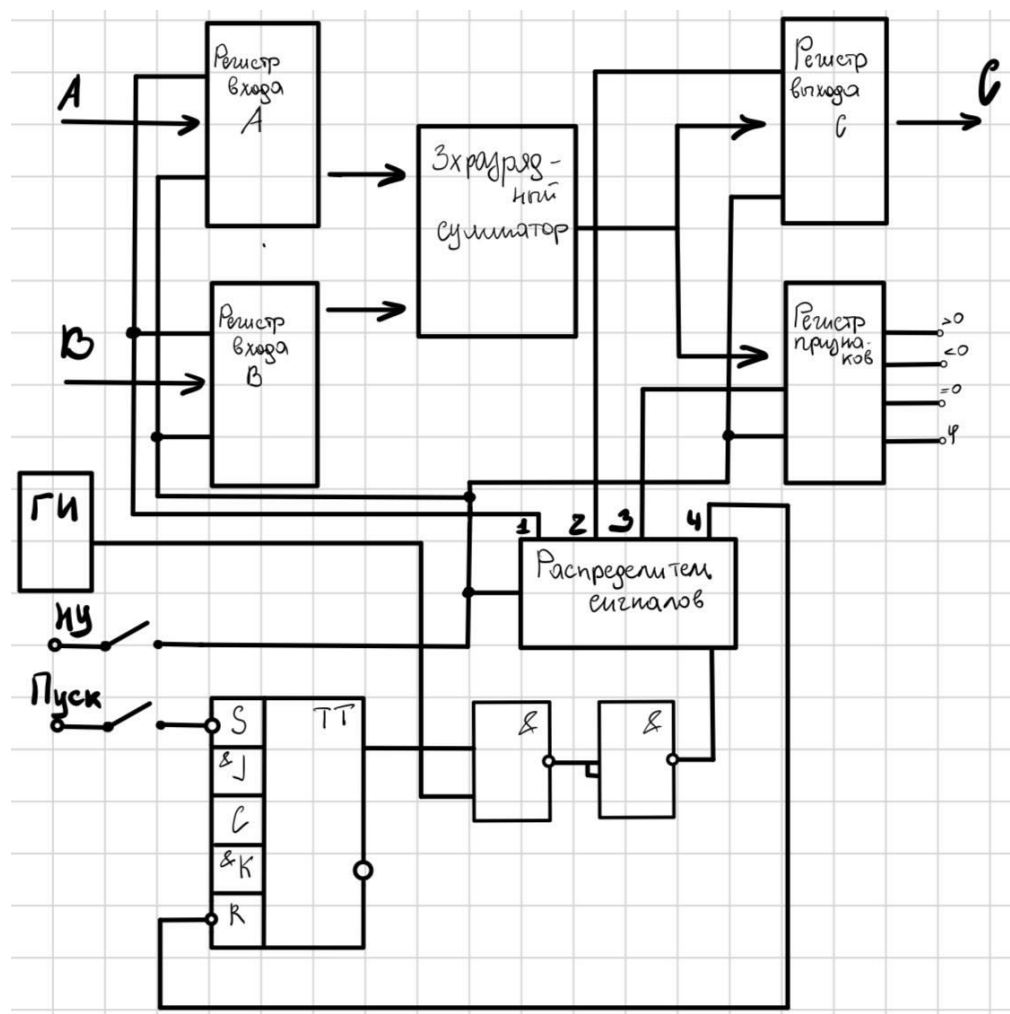
$$\text{СИ2} = \overline{Q_4} * \overline{Q_3} * \overline{Q_2} * \overline{Q_1}$$

По всем полученным логическим уравнения можно построить функциональную схему распределителя сигналов:



Общая структура схемы многоразрядного десятичного сумматора комбинационного типа с устройством управления

Общая структура 3-хразрядного десятичного сумматора с устройством управления:



По сигналу НУ триггеры регистров и распределителя сигналов устанавливаются в состояние "0". По сигналу «Пуск» триггер пуска устанавливается в состояние "1" и импульсы с ГИ (генератор импульсов) поступают на распределитель сигналов. Распределитель сигналов вырабатывает управляющие сигналы СИ1, СИ2, СИ3 и СИ4. Сигнал СИ4 устанавливает триггер пуска в состояние "0" и отключает тем самым ГИ от распределителя сигналов

Выводы по работе

В ходе домашней работы был разработан десятичный трехразрядный сумматор комбинационного типа по следующим исходным данным:

- Двоично-десятичный код: 8421+3;
- Базис логических элементов: И-НЕ;
- Критерий оптимальности: минимальная задержка в проектируемых схемах;
- Триггер для схем управления: двухтактный синхронный JK-триггер;
- Время задержки в каждом ЛЭ: 1 нс;
- Характеристики управляющих сигналов: длительность импульса 2 нс, скважность 1.

Таким образом, в ходе выполнения данной работы были закреплены теоретические знания и практические навыки по проектированию комбинационных логических схем, такие как минимизация логических функций методом диаграмм Вейча с учетом интересующего базиса ЛЭ, проектирование счетчика с комбинационной схемой на выходе и другие.