

Resistive Circuits

정주안

2025년 8월 12일

키워드: 키르히호프 법칙, 직/병렬 연결, 등가 저항, 텔레젠(Tellegen) 정리

개념

1 키르히호프 법칙(Kirchhoff's law)

키르히호프 법칙은 전압, 전류 법칙 2가지가 있다.

- 키르히호프 전압 법칙(KVL)

회로에서 닫힌 경로를 따라 전위차(전압)를 모두 더하면 항상 0이다. 에너지 보존과 관계가 있다.

$$\sum_k v_k = 0 \text{ for closed path}$$

- 키르히호프 전류 법칙(KCL)

회로에서 한 노드로 들어오는 전류를 모두 더하면 항상 0이다. 전하 보존과 관계가 있다.

$$\sum_k i_k = 0 \text{ for one node}$$

2 Voltage divider(저항의 직렬 연결)

직렬로 연결된 저항들 중 한 저항에 걸리는 전압은 전체에 걸리는 전압을 각 저항의 비로 분배한 것과 같다. 즉, 전압이 저항 비로 분배된다.

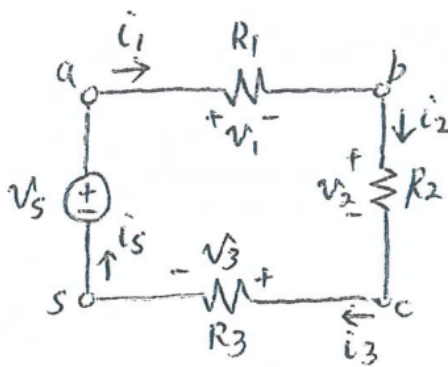


그림 1: voltage divider

Proof. Using KCL at each node, we earn $i_s = i_1 = i_2 = i_3 = i$

To determine i , use KVL.

$$-v_s + v_1 + v_2 + v_3 = 0$$

$$\Rightarrow -v_s + iR_1 + iR_2 + iR_3$$

$$\therefore i = \frac{V_s}{R_1 + R_2 + R_3}$$

$$\text{For voltage over } R_2, v_2 = iR_2 = \frac{R_2}{R_1 + R_2 + R_3} \cdot v_s$$

For every resistors, the same is valid. So the voltage is divided by the ratio of the resistance. \square

3 Current divider(저항의 병렬 연결)

병렬로 연결된 저항들 중 한 저항에 흐르는 전류는 전체에 흐르는 전류를 각 저항의 역수 비(컨덕턴스 비)로 분배한 것과 같다.

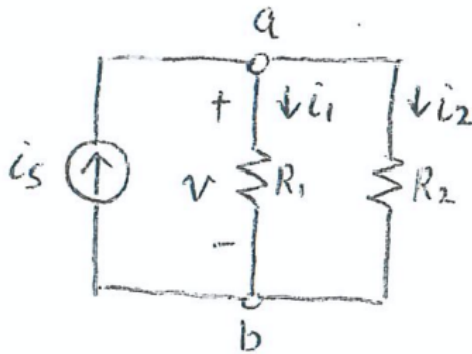


그림 2: current divider

Proof. Using KCL at node a, we earn $i_s = i_1 + i_2$

From Ohm's law, We can write $i_1 = \frac{v}{R_1}, i_2 = \frac{v}{R_2}$

$$i_s = \frac{v}{R_1} + \frac{v}{R_2} = \left(\frac{1}{R_1} + \frac{1}{R_2}\right)v = (G_1 + G_2)v$$

$$\therefore v = \frac{i_s}{G_1 + G_2}$$

$$\text{For the current flow through } R_1, i_1 = \frac{v}{R_1} = \frac{G_1}{G_1 + G_2} \cdot i_s$$

For every resistors, same is valid. So the current is divided by the conductance. \square

4 등가 저항을 통한 회로 분석

직렬 또는 병렬 연결된 저항 묶음은 저항 하나로 대체할 수 있다. 대체된 저항은 원래의 저항 묶음과 동일한 특성을 가져야 하며, 이러한 저항을 등가 저항이라고 한다.

저항의 직렬 연결과 병렬 연결에 대한 등가 저항을 기본 규칙으로 하며, 복잡한 저항 회로의 등가 저항은 순차적으로 단순화하여 계산한다.

• 직렬 연결

그림 1에서 세 저항을 R_{eq} 로 대체한다면 $v_s = i(R_1 + R_2 + R_3) = iR_{eq}$ 이어야 하므로

$$R_{eq} = (R_1 + R_2 + R_3)$$

$$\text{일반화하면 } R_{eq} = \sum_k R_k$$

- 병렬 연결

그림 2에서 두 저항을 R_{eq} 로 대체한다면 $i_s = v(\frac{1}{R_1} + \frac{1}{R_2}) = \frac{v}{R_{eq}}$ 이어야 하므로

$$\frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_2}$$

일반화하면 $G_{eq} = \sum_k G_k$

복잡한 저항 회로에 입력 전압에 따라 흐르는 총 전류, 입력 전류에 따라 걸리는 총 전압을 계산할 때 등가 저항 회로를 만들어 계산한다.

5 텔레진 정리(Tellegen's law)

정리 5.1. Tellegen's law

회로가 KCL, KVL을 만족한다면, 회로의 모든 소자의 power의 총 합은 0이다.

$$\sum_k v_k i_k = 0$$

회로 내부의 에너지 보존 법칙을 의미한다. 모든 시각에서 회로에 공급되는 에너지와 회로에서 소비되는 에너지는 항상 같아야 한다. KCL, KVL이 성립 조건임에 유의하자. 즉 KCL, KVL이 성립하지 않으면, 에너지가 회로에 쌓이거나 회로에서 빠져나간다.

Proof. 좌변을 node voltage analysis로 전개한 후 적절한 변형을 거쳐 KCL에 따라 0임을 보인다. \square

참고 사항

- Tellegen's theorem은 모든 lumped circuit에서 성립한다.

비고

노트. 저항 회로

참고 자료

- [1] Dorf's circuit theory
- [2] 윤일구 교수님 강의 자료