

※開発ニュース№2240とさしかえてください。

LM5030— Nチャネル MOS LSI ROM外付け音声合成システム

1. 概 要

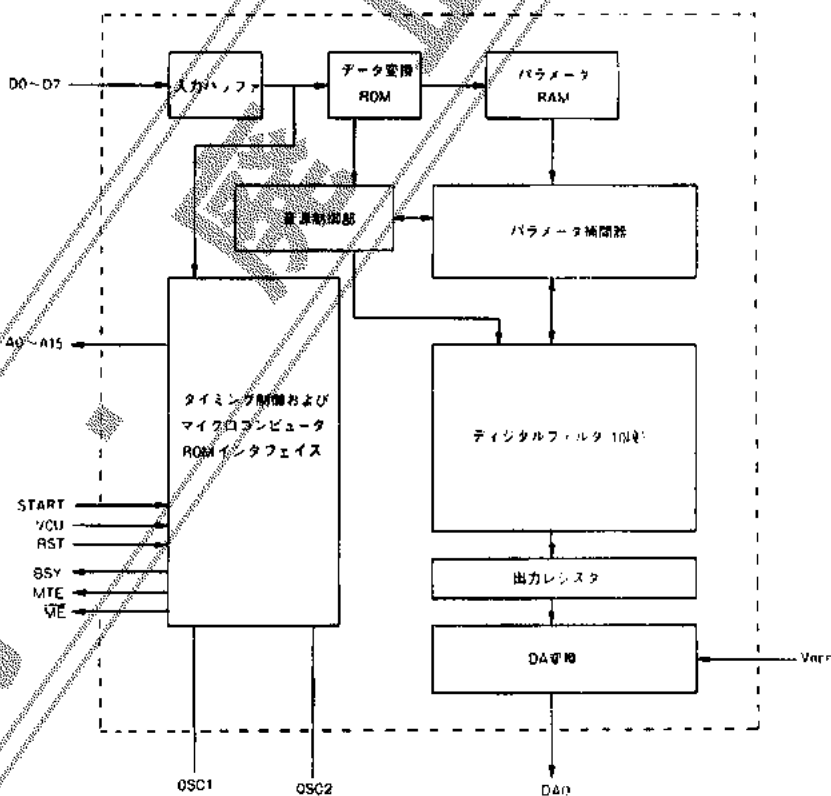
LM5030はPARCOR方式により音声合成を行なうICで、音声パラメータを記憶する外付ROMと共にシステムを構成できる。

2. 特 長

- (a) PARCOR方式による音声合成
- (b) 男声および女声の合成可能
- (c) 音声情報の圧縮率の選択が可能…最小2400ビット/秒以下
- (d) 発声速度・高低の切替えが可能
- (e) DA変換器内蔵
- (f) 単一電源 5V
- (g) Nチャネルモリブデンゲートプロセス
- (h) リアルタイム録音に2分析可能

3. LM5030システム動作

3-1. LM5030ブロックダイアグラム

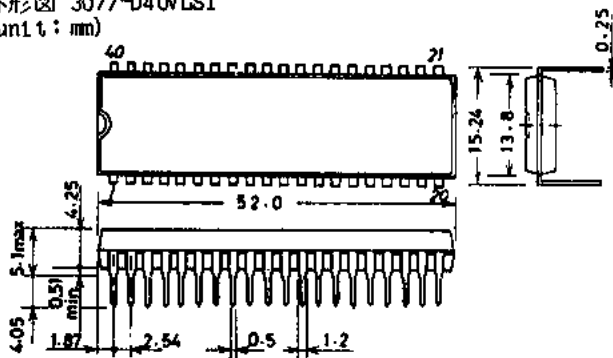


この資料の回路図および回路定数は一例を示すもので、量産品としての設計を保証するものではありません。

またこの資料は正確なる信頼すべきものであると確信しておりますが、その使用にあたってはお客様の工業所自権その他の権利の実施に対する保証を行なうものではありません。

The application circuit diagrams and circuit constants herein are included as an example and provide no guarantee for designing equipment to be mass-produced. The information herein is believed to be accurate and reliable. However, no responsibility is assumed by SANYO for its use, nor for any infringements of patents or other rights of third parties which may result from its use.

外形図 3077-D40VLSI
(unit: mm)



SANYO: DIP40VLSI

※これらの仕様は、改良などのため変更することがあります。

3-2. LM5030システム

本システムで音声合成するには、次の処理が必要である。

(1)パラメータの設定

音声合成をどのようなモードで行なうかを指定する。各モードは、D入力よりRST信号をストロープとして設定する。指定されるモードのビット対応は次図の通りである。

HP	LP	SPC	SPB	SPA		9600	4800
7	6	5	4	3	2	1	0

4800 分析が4800ビット/秒程度で行なわれた場合、このパラメータを「1」にする。

9600 分析が9600ビット/秒程度で行なわれた場合、このパラメータを「1」にする。

2400ビット/秒程度で行なわれた場合は、両者を「0」にする。

SPA 話す場合のスピードを指定する。

SPB

SPC これらの3ビットの状態により、各々のスピードが次のように対応する。

SPC	SPB	SPA	スピード
1	0	1	より遅い
1	1	×	遅い
×	0	0	標準
0	0	1	速い
0	1	×	より速い

LP ローピッチ…声の高さを低くしたい場合、このパラメータを「1」にする。

HP ハイピッチ…声の高さを高くしたい場合、このパラメータを「1」にする。

標準の高さにしたい時は、LP=HP=0とする。

(注) ビット2は使用していないので「1」でも「0」でもよい。

(2)音声合成指示

あらかじめ設定された上記のモードで音声合成を開始する場合には、次の2通りの手段がある。

(i)間接指定

発声する語または句に対応するコードをデータライン(D0~7の8ビット)にセットした後START=1にすると、音声合成を開始する。この場合コードとデータラインとのビット対応は、次のようになる。最大256個の語または句を選択できる。ただし、この時VCUは常にローレベルとする。

ボイスコードビット	7	6	5	4	3	2	1	0
データライン	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀

(ii)直接指定

256個以上の語または句を指定する場合、その音声に対するデータが記憶されているエリアの先頭アドレス(ROM)を示す16ビットのデータを用いる。データラインは8ビットなので、2回に分けて指示する。上位8ビットは、VCU(ボイスコードアップ)を「1」にしてデータラインよりSTART=1の時読み込む。さらに下位8ビットは、VCU=0にしてデータラインよりSTART=1で読み込む。その後指定された音声合成を開始する。この時のビット対応を次に示す。

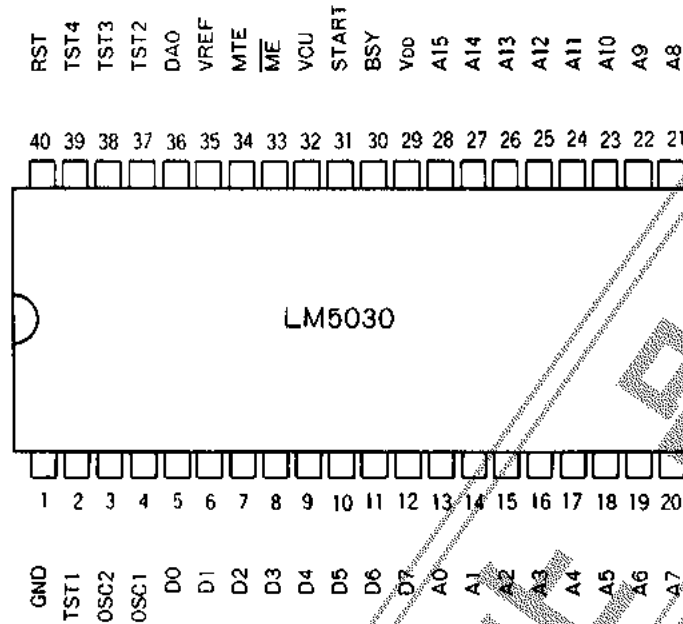
VCU=1

ボイスコードビット	15	14	13	12	11	10	9	8
データライン	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀

VCU=0

ボイスコードビット	7	6	5	4	3	2	1	0
データライン	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀

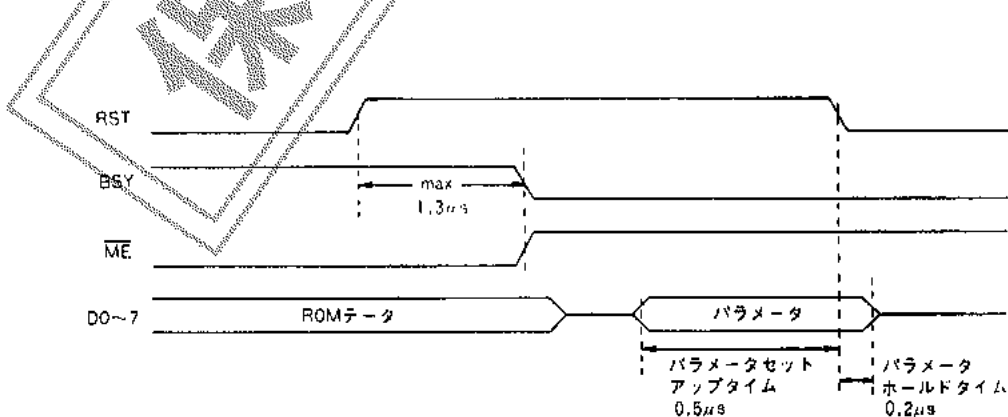
4 ヒン内容および信号



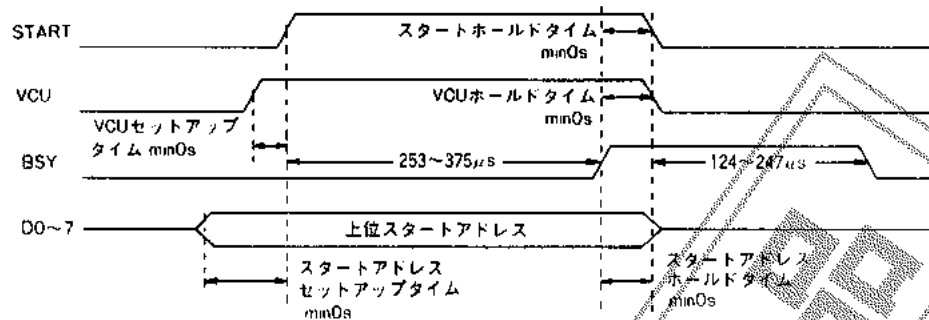
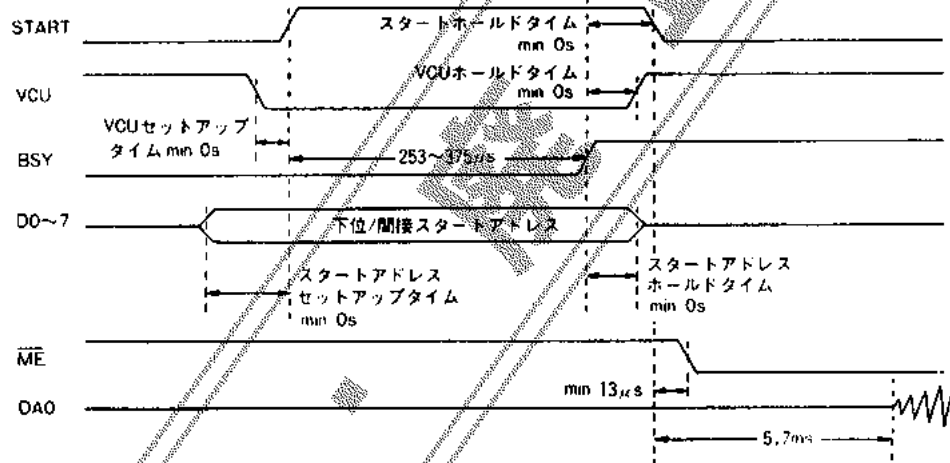
TST1	ICのテスト時使用する。通常はローレベル。
OSC1/2	クロック発振用端子。(6aの項参照)。
D0~7	データライン。パラメータ、語の選択、ROMのデータが読み込まれる。
A0~15	ROMのアドレスライン。通常はROMのアドレスが出力される。
BSY	現在合成チップが動作中であることを示す。
START	スタート。これにより語の指定、合成開始を行う。
VCU	ボイスコードアップ。16ビットで語を選択する時で、上位8ビットを指示する時に使用する。その他の時はローレベルにする。
ME	メモリーネーブル。音声情報用ROMのメモリーネーブル。この信号がない時はROMの出力は、ハイ・インピーダンス状態になっている必要がある。
MTE	メモリタイミングネーブル。Aライン上のアドレスが変化した時のタイミングを示す。これは通常のシステムでは使用しない。
VREF	内蔵のDA変換器の基準電圧で、これを変化させることにより出力振幅を変化させることができる。
DAO	DA変換器のソースフォロフによる出力である。
TST2	ICのテスト時使用する。通常は必ずオープンにしておく。
TST3	
TST4	
RST	リセット。チップ内をイニシャライズするとともに、モード設定を行なう。

5. LM5030 インタフェ이스タイミング仕様

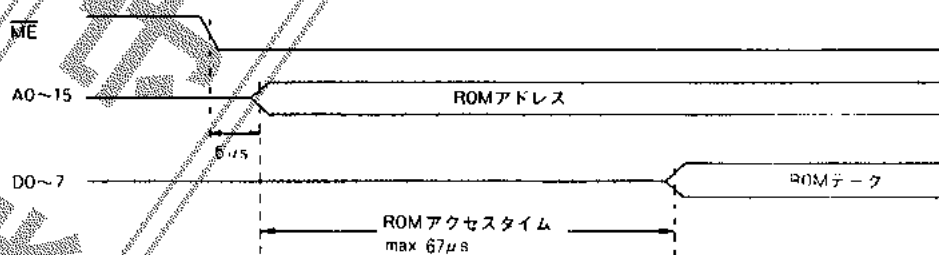
a. パラメータセット



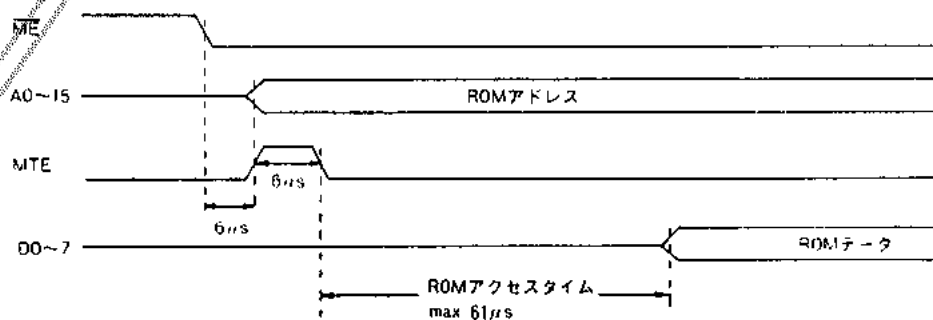
b. 直接スタートアドレス指定……上位8ビット

c. 直接スタートアドレス指定……下位8ビット
間接スタートアドレス指定

d. ROMアクセス (スタティック)



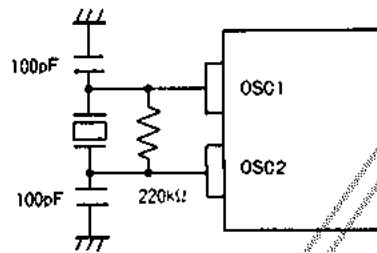
e. ROMアクセス (ダイナミック)



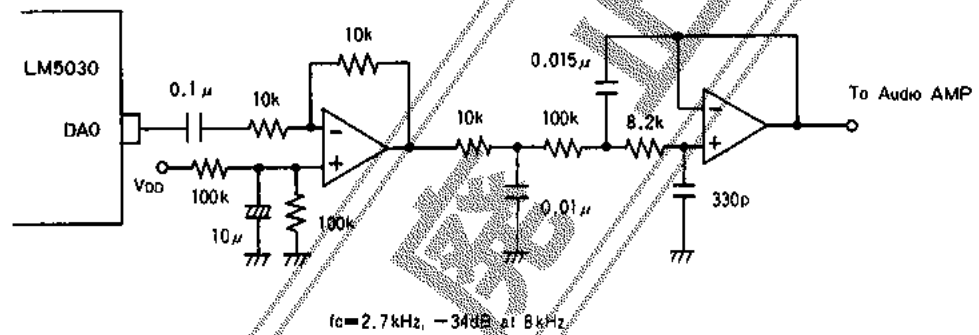
6. 周辺回路

a. 発振回路

ムラタ CQA 3.58MS or Crystal 3.58 MHz



b. ローパスフィルタ



7. 電気的特性

7-1. 最大定格

項 目	記 号	定 格 値	unit
端子電圧	VIN	-0.3~+8	V
VDD電源電圧	VDD	-0.3~+8	V
VREF電源電圧	VREF	-0.3~+8	V
最大許容電力	Pd max	10	W
動作周囲温度	Topg	-20~+75	℃
保存周囲温度	Tstg	-55~+125	℃

7-2. 電気的特性 Topg=-20~+75℃, VDD=5.0±0.5V, Vref=0~(VDD-2.5V)

項 目	記 号	条 件	min	typ	max	unit	適用端子名
入力↑"H"電圧 *	VIH1		3.2		7	V	VCU, TST1, START, RST
入力↑"H"電圧	VIH2		2.2		7	V	D0~D7
入力↓"L"電圧 *	VIL1		-0.3		1.5	V	VCU, TST1, START, RST
入力↓"L"電圧	VIL2		-0.3		0.8	V	D0~D7
出力↑"H"電圧	VOH	IOH=-400μA	VDD-2.1		VDD	V	MTE, A0~A15 MEBSY
		IOH=-10μA	VDD-0.5		VDD	V	
出力↓"L"電圧	VOL	IOL=800μA	0.8		0.4	V	
入力リーク電流	IIL	VIN=VDD	0.0		3.0	μA	VCU, TST1, START, RST, D0~D7
		VIN=0V	-3.0		0.0	μA	
VDD消費電流	IDD		20	50	90	mA	VDD
VREF消費電流	IREF	VREF=VDD-2.5V	0.2	0.5	0.8	mA	VREF
VREFインピーダンス	RREF	VREF=VDD-2.5V	4.0	5.5	7.0	kΩ	VREF
VREFインピーダンス 温度係数	αREF	VREF=VDD-2.5V	3.3	5.8	7.5	Ω/℃	VREF
OSC発振周波数	fosc			3.58		MHz	OSC1, OSC2
D/A出力電圧振幅	ΔVDAO	VDD=5.5V VREF=3.0V	2.1	2.3	2.5	V	DAO
		VDD=5.0V VREF=2.5V	1.7	1.9	2.1	V	
		VDD=4.5V VREF=2.0V	1.3	1.5	1.7	V	
D/A出力直流レベル	VDAO (DC)	VDD=5.5V VREF=3.0V	2.4	3.0	3.5	V	DAO
		VDD=5.0V VREF=2.5V	2.1	2.7	3.3	V	
		VDD=4.5V VREF=2.0V	1.9	2.5	3.1	V	
D/A出力インピーダンス	RDAO	VREF=VDD-2.5V	100	250	550	Ω	DAO

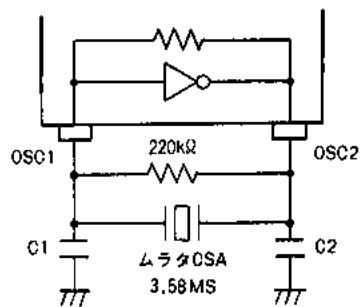
注1. *印はヒステリシス特性を有する。

注2. OSC1(PIN4)の基板における隣接ピン等に対する許容リーク電流は、外付抵抗220kΩ(6-10kΩ)は、7~3.3Vの場合、最大2μAである。

特に低温時における霜・水滴等によるリーク電流に注意すること。

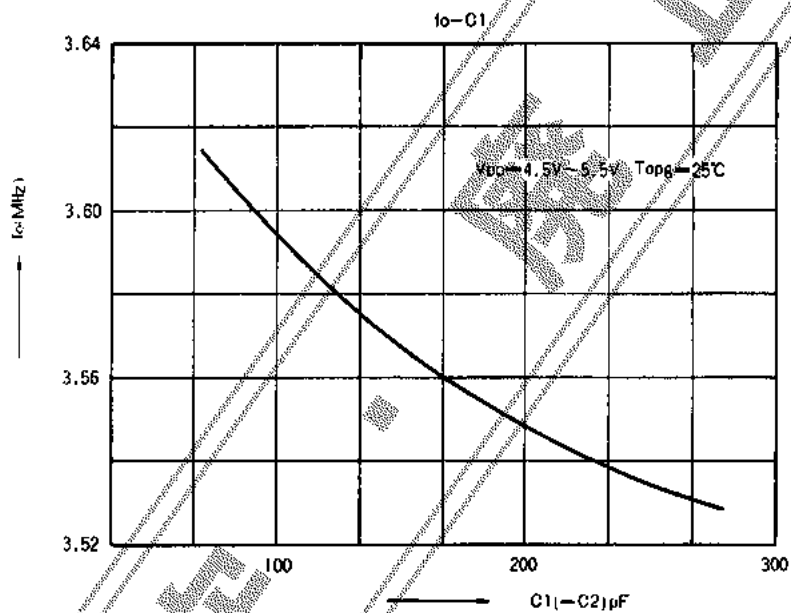
7-3. OSC発振周波数

a. 回路図



b. $C_1 = C_2 \sim 100\text{pF}$ のとき発振周波数 $f_o = 3.58\text{MHz} \pm 0.5\%$
 安定動作範囲 $C_1 = C_2 = 50 \sim 200\text{pF}$

c. $C_1 = C_2$ と f_o の関係



8. パッケージ

半田耐熱 260°C 10秒

リードの材質および仕上げ 42ALLOYに錫90%、鉛10%メッキ仕上げ