

# 平成 28 年度 3 回生前期学生実験 HW 機能設計仕様書

村田 叡

2016/6/28

## 1 はじめに

このレポートでは,SimpleB アーキテクチャで村田が担当したコンポーネントについて述べる. ペアとの作業分割の方法としては, 設計と実装は同じ人が担当している.

### 1.1 コンポーネントの分割

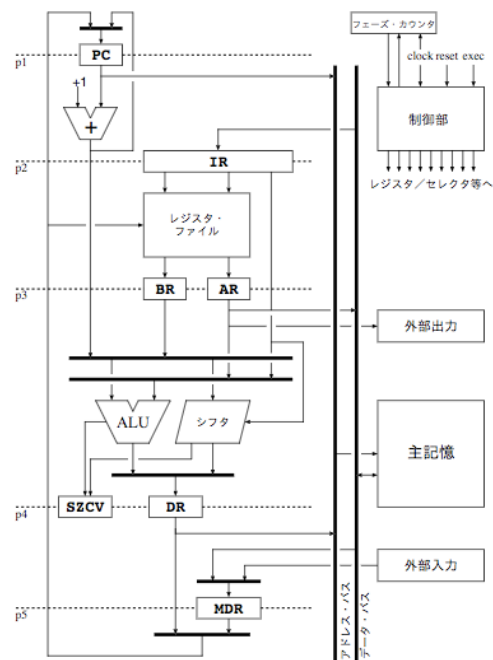


図 1 SimpleB のブロック図

SimpleB のブロック図を図 1 に示す. 図のようにアーキテクチャを phase1~5 に分割することができる. このうち, 村田が担当した部分は,phase2,phase3,phase5(一部) である. その他の Phase や phaseCounter 及び全体のアーキテクチャの組み合わせ, クロック管理などはもう一人の担当が行った.

## 2 コンポーネントの外部仕様

大きく分けて 2 つの大きなコンポーネントを実装した。

### 2.1 回路「phase2」について

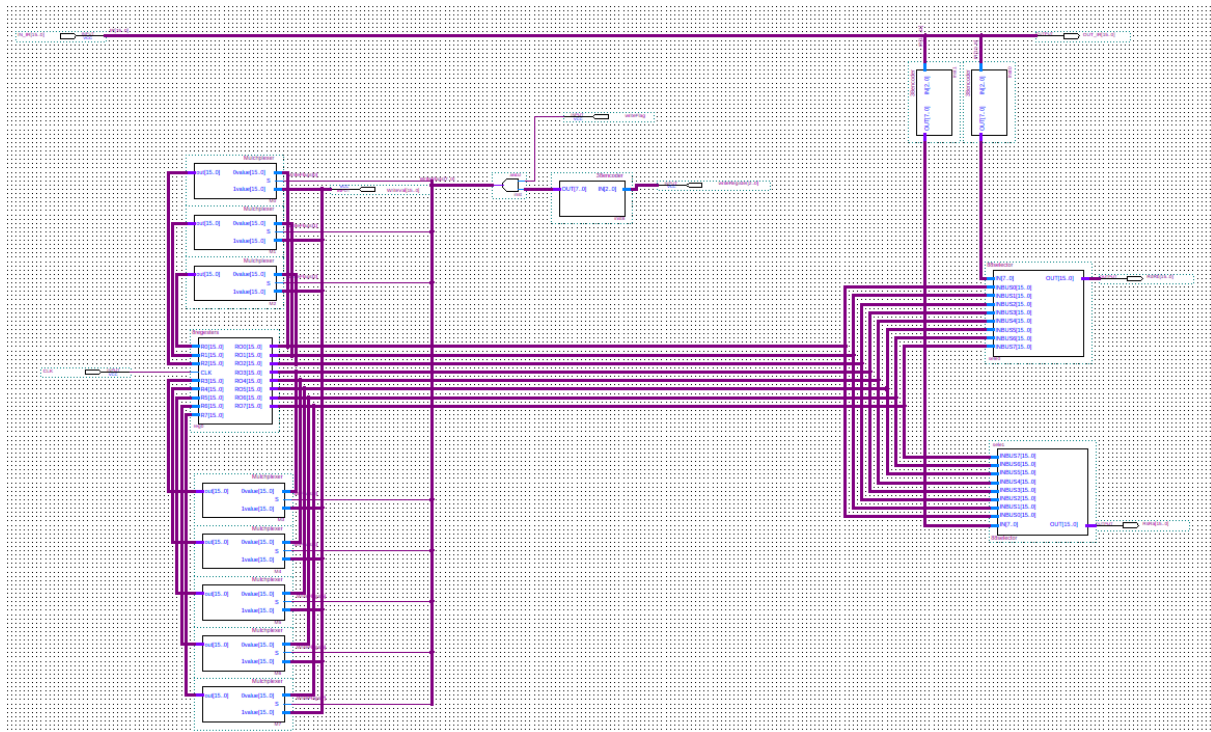
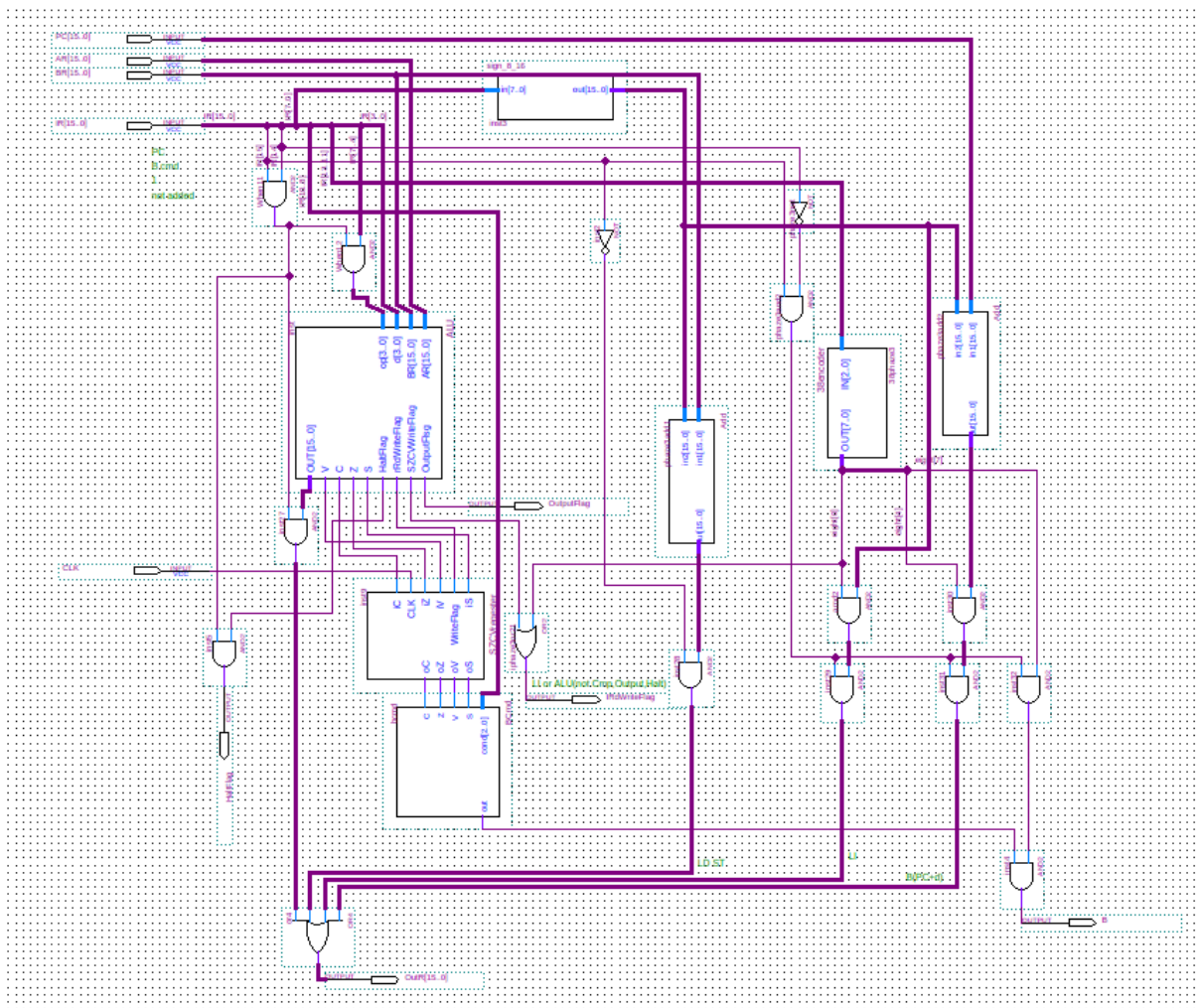


図 2 phase2

phase2 という名前であるが、厳密には図 1 の phase2 より多くの操作を行う。回路 phase2 は図 2 のようなものであり、入力は 1bit のクロック, 16bit の IR(Instruction Register), 16bit の新しい書き込みレジスタの値, 3bit の書き込みレジスタのインデクス値, 1bit の書き込みフラグからなる。出力はそのままの IR と, 16bit の AR, BR からなる。すなわち, IR からレジスタの値を 2 つ (AR, BR) そのまま流す機能, 及びクロックによりレジスタの値を書き換える操作の 2 つを提供する。

### 2.2 回路「phase3」について

回路 phase3 は図 3 のようなものであり、図 1 の phase3 に対応する操作を行う。入力は 16bit の PC, AR, BR, IR, 及び 1bit のクロックであり、出力は 16bit の OutR(IR に対応した演算を適用したもの), 1bit の B(条件分岐命令が成立したか), OutputFlag(出力フラグ), WriteFlag(レジスタを書き換える命令であるかのフラグ) からなる。



☒ 3 phase3

### 3 コンポーネントの内部仕様

### 3.1 phase2

上述図 2 の phase2 についての内部仕様を述べる。SimpleB の仕様上、16bit のレジスタが 8 つ存在するが、その実態を保持している (図 2 左下)。それを 3bit のセレクトで取得したいレジスタの値を出力する (図 2 右下)。IR から欲しいレジスタの値は 2 つ (AR, BR)、その値を 2 つとも上述の方法で取得する。レジスタ実態がこの回路にあるため、レジスタ書き換えのインターフェースも備えている。レジスタ自体は単なる D-ff であり、その Q には通常現在の値を保持する。writeFlag が On になっている時の書き換えたいレジスタのみがセレクトによって書き換わるようになっている。

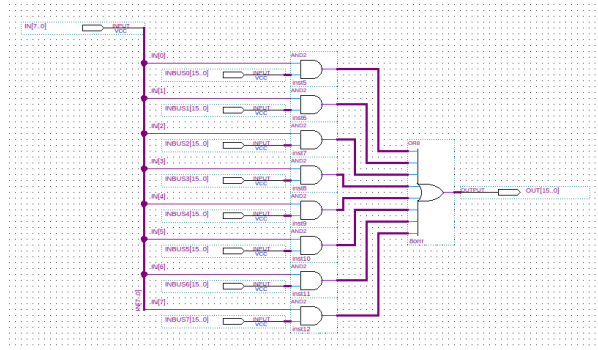


図 4 レジスタのセクタ

### 3.2 phase3

この回路は前述のように演算を行う。クロックは SZCV の値の保持に用いる。IR のオペレータを見て、例えば ALU やシフト命令の時は (図 3 左) その演算を行い、対応する結果を出力、及び SZCV のセットをする。その他の時、例えば LD,ST 命令の時は  $Rb+d$  の値をセットし、Li 命令の時は  $d$  の値をセットし、B の時は  $PCL+1+d$  の値をセットするなどする。ALU は図 5 のような構成であり、オペレータによって演算を選んで

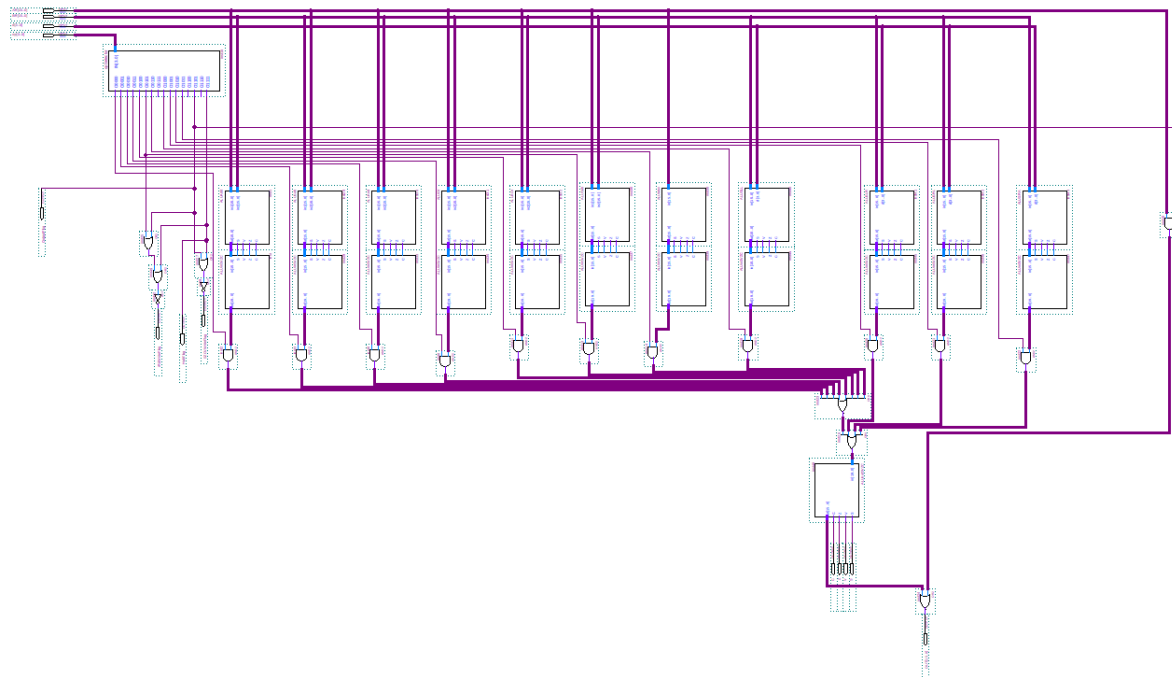


図 5 ALU

出力する。演算のコア部分は verilog を用いて書いた。簡単な演算なのでコードは省略する。