

7919 | **Sistemas Embebidos**

2º Cuatrimestre de 2017

CLASE 5: DISPOSITIVOS PERIFÉRICOS INTEGRADOS EN μ Cs

Prof: José H. Moyano

Autor original: Sebastián Escarza

Dpto. de Cs. e Ing. de la Computación
Universidad Nacional del Sur
Bahía Blanca, Buenos Aires, Argentina



GrIDSE

The background of the slide is a detailed, high-resolution photograph of a printed circuit board (PCB). The board is densely packed with various electronic components, including integrated circuits, capacitors, and resistors. The copper traces of the board are clearly visible, creating a complex network of lines. The overall color palette is a mix of metallic greys, blues, and browns, with a semi-transparent dark blue band across the center where the text is located.

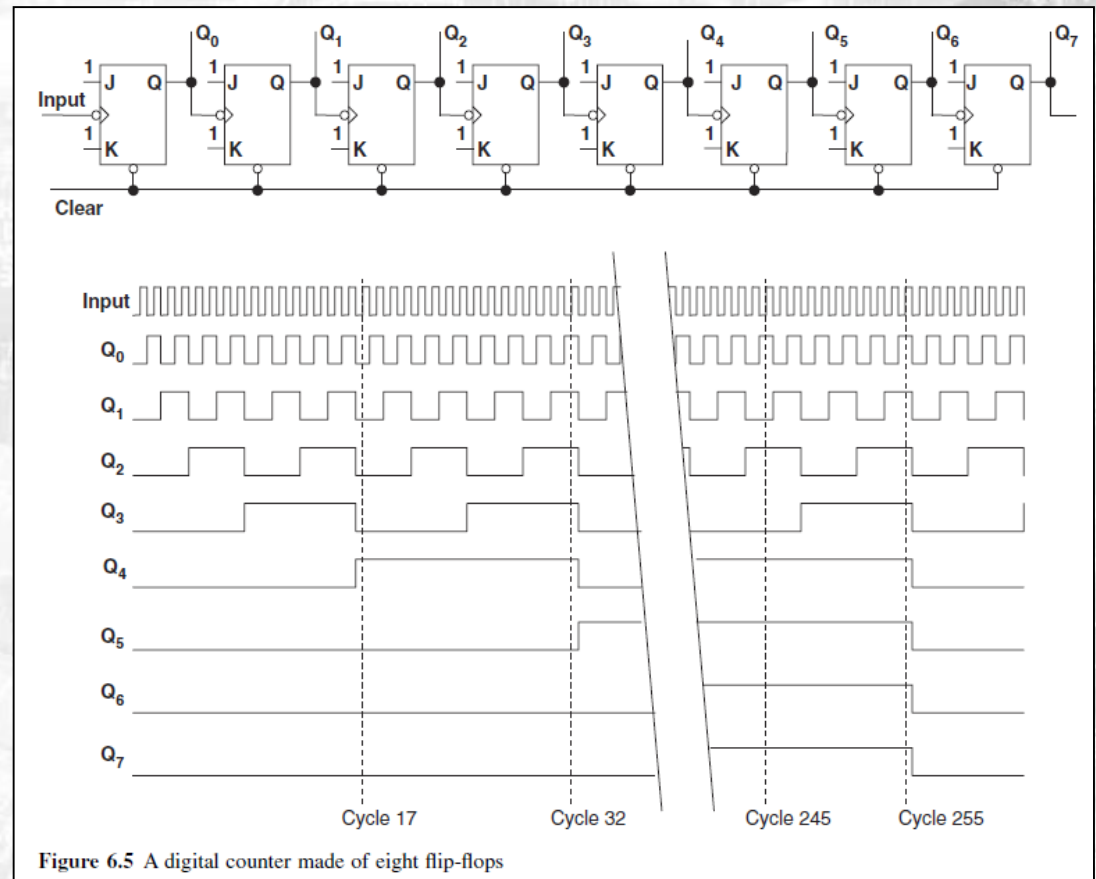
Contadores y timers

Contadores y timers

- Una tarea habitual en Sistemas Embebidos es el conteo de eventos ocurridos (por ej, la cantidad de pulsos recibidos por una línea).
- También, la medición de intervalos de tiempo es una tarea esencial.
- Un derivado de esto consiste en la generación de eventos en un plazo determinado, eventos periódicos, etc.
- Para ello contamos con los contadores y los temporizadores (timers).

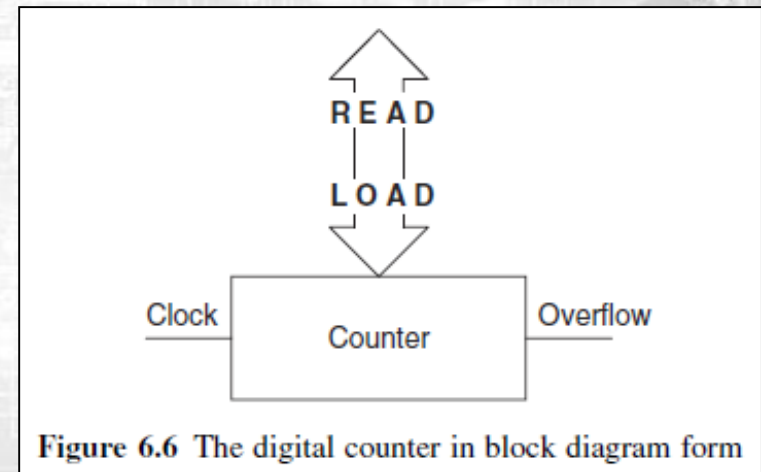
Contadores y timers

- **Contador Digital: circuito secuencial de N flip-flops encadenados.**
- **Pueden ser:**
 - ascendentes
 - descendentes
 - con precarga
 - reseteables
 - c/overflow output



Contadores y timers

- El mismo circuito se utiliza para construir timers y como divisor de clock.

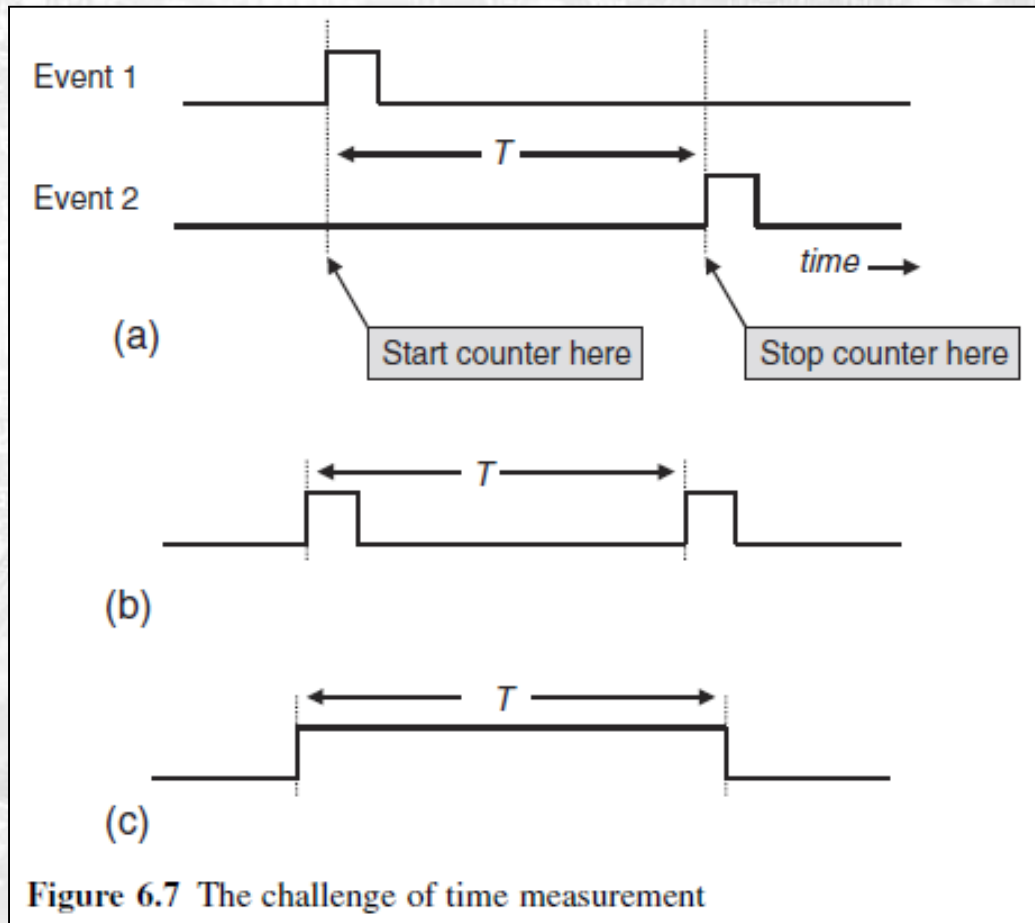


- **Timers:**
 - frecuencia de clock conocida (determina la resolución del tiempo medido).
 - overflow para reportar timeout.
 - cantidad de bits del contador usado (en función de la resolución condiciona el intervalo máximo intervalo de tiempo que se puede medir).

Contadores y timers

- **Ejemplos de aplicación:**
 - Medición de tiempo entre eventos.
 - Medición de la duración de un pulso.
 - Conteo de objetos o eventos
 - Delays generados por hardware (sin ocupación del CPU).
 - Generación de eventos a cierto tiempo o periódicos (vía comparadores)
- Mayor precisión si se usan interrupciones para el procesamiento de los eventos (el polling introduce demoras mayores).

Contadores y timers



Contadores y timers

- Minimizar latencia de interrupción p/medir tiempos de manera precisa.

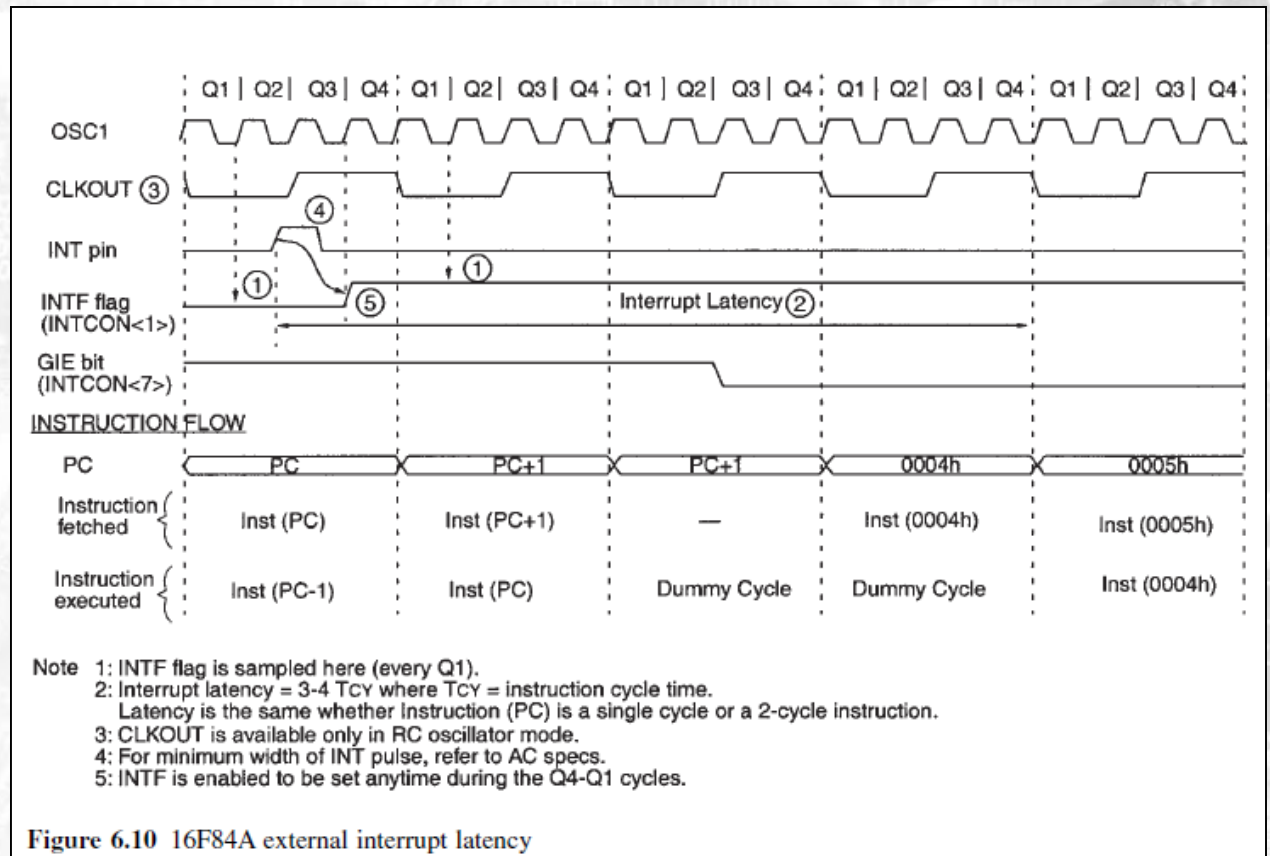


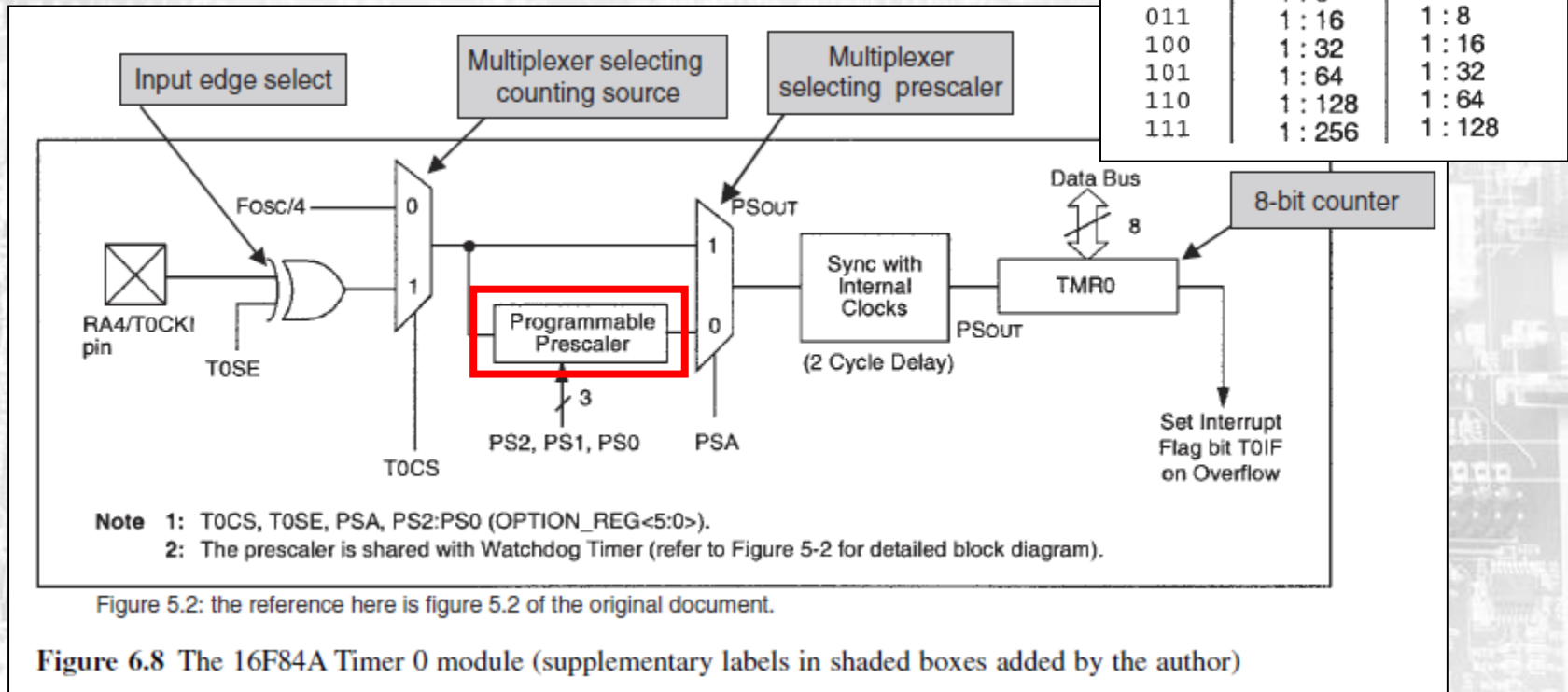
Figure 6.10 16F84A external interrupt latency

Contadores y timers

- **Múltiples opciones de configuración:**
 - Fuente de clock (interno o externo)
 - Contar ante flancos ascendentes/descendentes
 - Prescaler: para multiplicar el período (dividir la frecuencia) del timer por una potencia de 2.
 - Algunos incluyen Postcaler: para controlar el período con el que se notifican las interrupciones

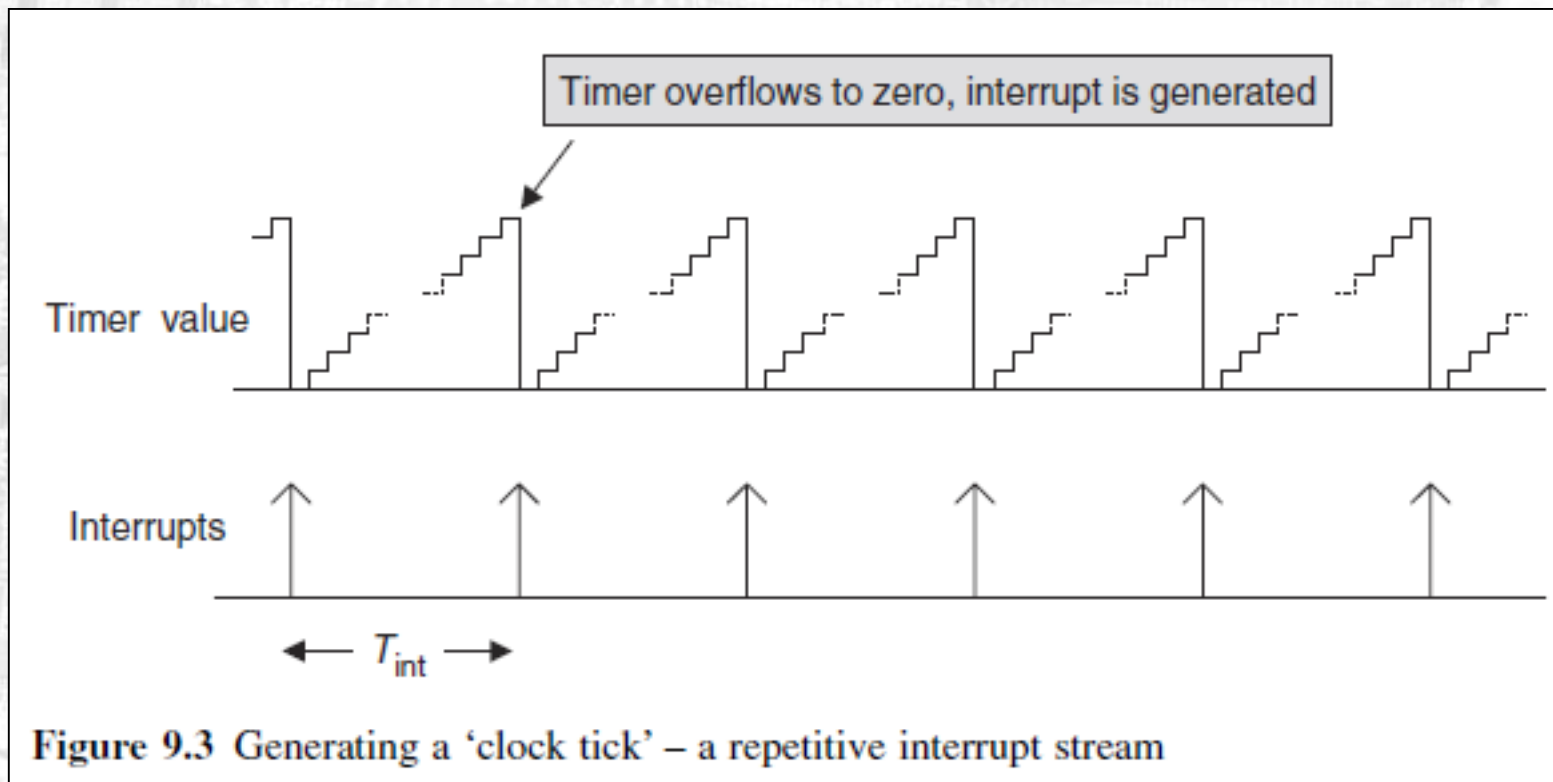
Contadores y timers

- Múltiples opciones de configuración:



Contadores y timers

- Generando eventos periódicos:



Contadores y timers

- Generando eventos periódicos:

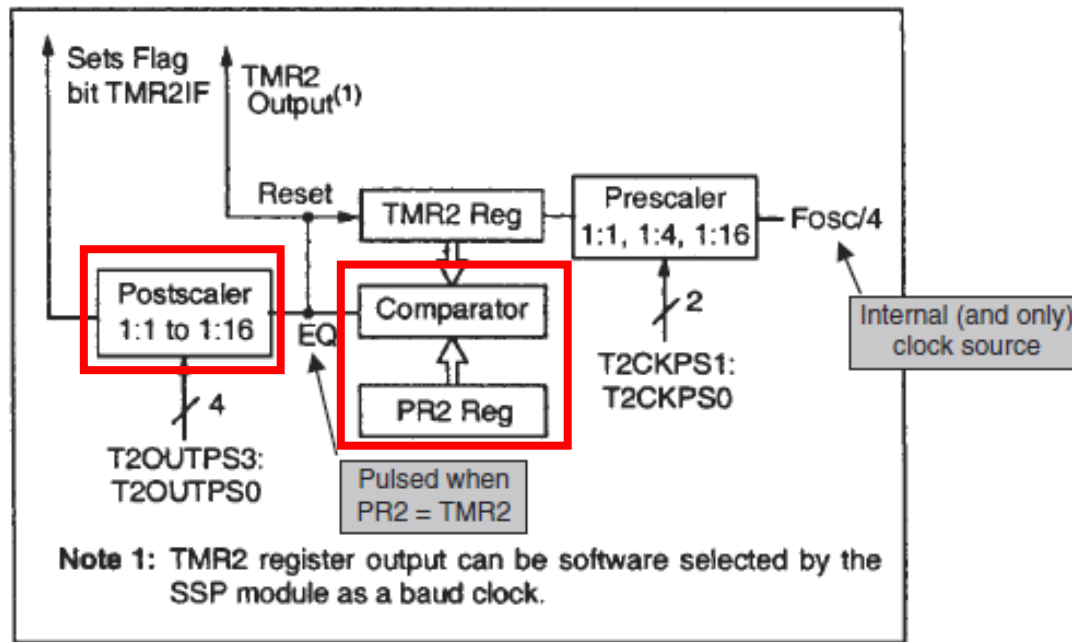
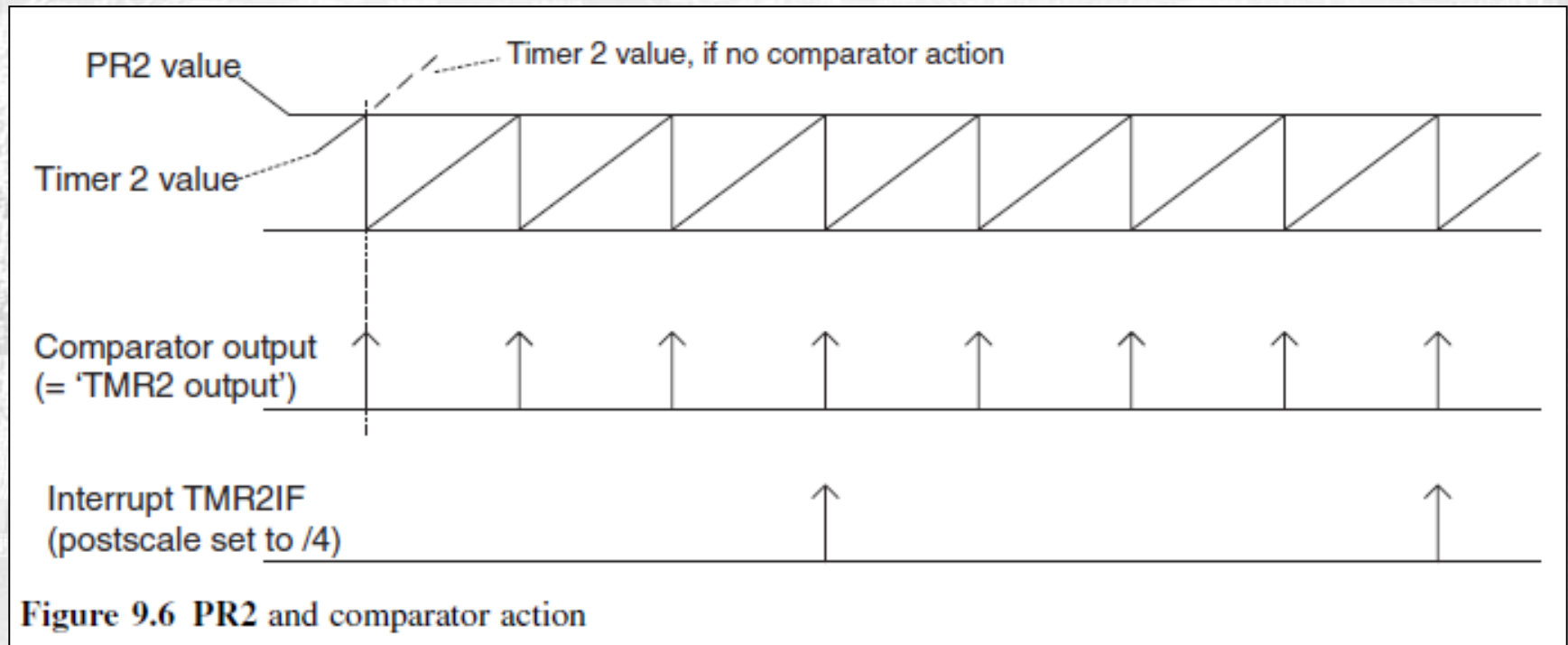


Figure 9.4 The 16F87XA Timer 2 block diagram (supplementary labels in shaded boxes added by the author)

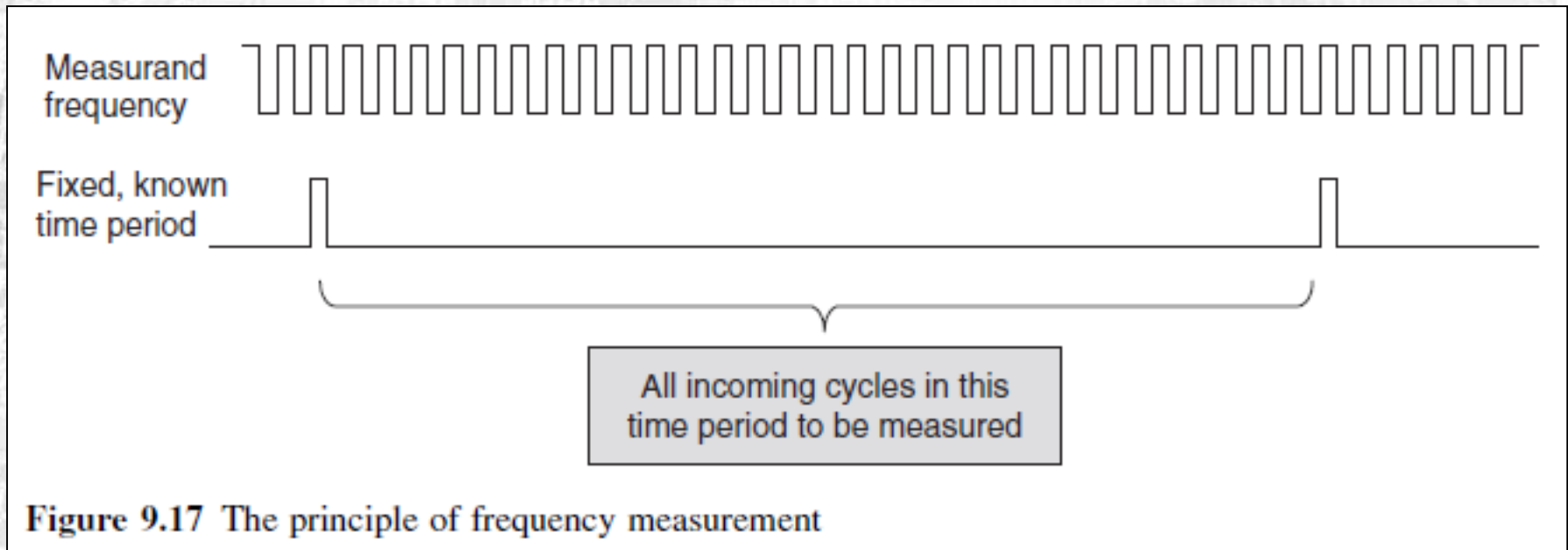
Contadores y timers

- **Eventos periódicos: comparator & postcaler**
 - Mayor flexibilidad en la generación de interrupciones



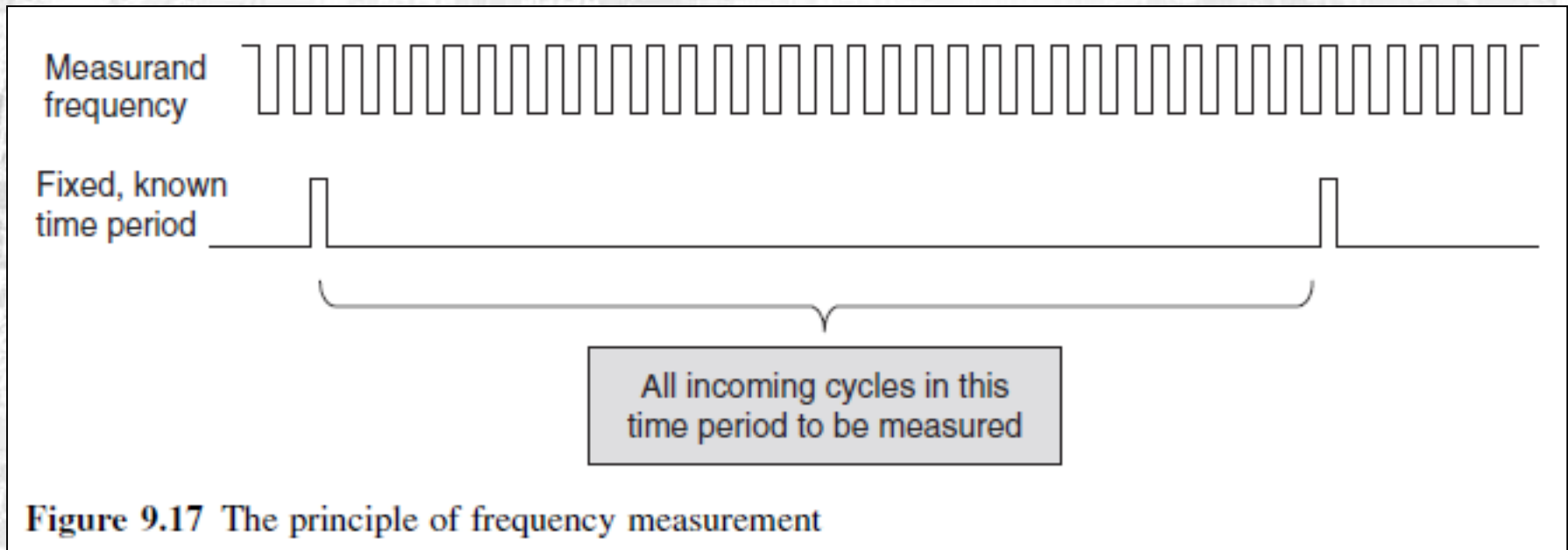
Midiendo frecuencias

- **Aplicación de contadores y timers:**
 - **contador:** para contar eventos en intervalo de tiempo
 - **timer:** para establecer el intervalo de tiempo



Midiendo frecuencias

- **Aplicación de contadores y timers:**
 - a partir de la frecuencia se pueden medir velocidades, y otros parámetros (ej: shaft encoders).



The background of the slide is a grayscale, high-contrast image of a complex electronic circuit board. It features numerous integrated circuits, resistors, capacitors, and intricate copper traces. The image is slightly blurred, giving it a technical and industrial feel. A dark blue horizontal band is superimposed over the middle of the image, containing the title text.

Watchdog Timers (WDT)

Watchdog timer

- **Un watchdog timer (WDT) es un timer utilizado para recuperar el sistema ante un fallo de manera automática.**
- **Ante un fallo en sistemas de escritorio, es el usuario quien decide matar un proceso, reiniciar la computadora, etc.**
- **En un sistema embebido, no siempre se cuenta con la interfaz necesaria para advertir la condición de error y actuar en consecuencia.**

Watchdog timer

- **El watchdog timer (WDT):**
 - se incrementa continuamente
 - periódicamente debe ser reseteado por el software del sistema
 - si ocurre alguna falla y el sistema deja de responder, deja de ser reseteado alcanzando su overflow
- **Ante el overflow del WDT, el sistema se reinicia automáticamente**


Watchdog timer

- Un WDT que alcanza su timeout nunca implica buenas noticias (el fallo puede originarse por problemas de diseño, de implementación, condiciones de carrera, deadlocks, etc).
- En ciertas aplicaciones, esto suele ser mejor que un sistema que no funciona. El WDT es un mecanismo de recuperación adicional. El reinicio retrotrae el sistema a su configuración inicial.
- Se proveen mecanismos para distinguir el reset a causa del WDT, de un reset normal (power on reset), para tomar acciones especiales al reiniciar (ej. POST).

Watchdog timer

- Ej. La visión de Hollywood de un WDT: Recuperación ante fallos (Terminator 2)



The background of the slide is a grayscale, high-contrast image of a printed circuit board (PCB). It shows various electronic components such as integrated circuits, capacitors, and resistors, along with the intricate network of copper traces. The image is slightly blurred and has a grainy texture, giving it a technical and industrial feel. A dark blue horizontal band is superimposed over the middle of the image, containing the title text.

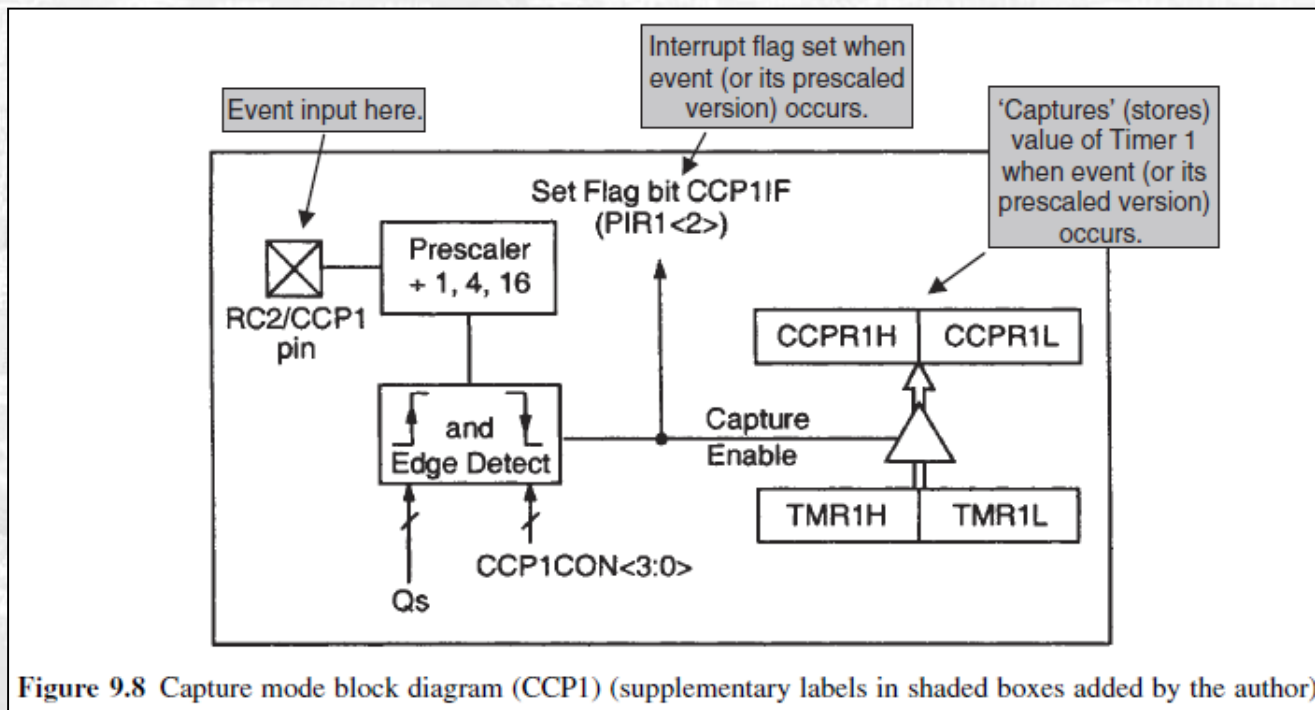
Dispositivos de captura, comparadores y PWM

Capture/Compare/PWM

- A partir de contadores y timers, es común que se implementen dispositivos derivados:
 - Capture register: captura el tiempo en el cual ocurrió un evento
 - Compare device: para disparar un evento cuando el timer alcanza determinado valor (por ej. como al generar eventos periódicos).
 - PWM generator: genera una señal de ancho de pulso modulado. Este tipo de señales tienen muchas aplicaciones para actuar sobre diversos dispositivos.

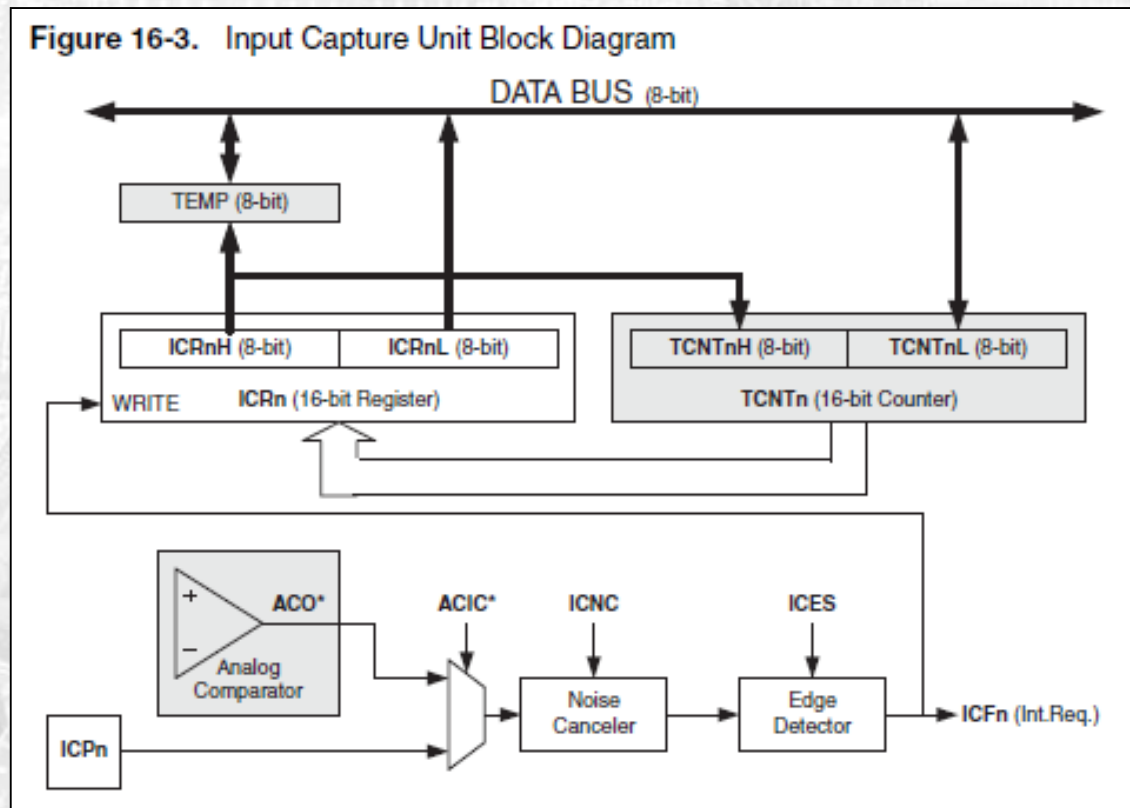
Capture/Compare/PWM

- Capture register: al ocurrir un evento, se copia allí el valor del timer (el timer no se detiene).



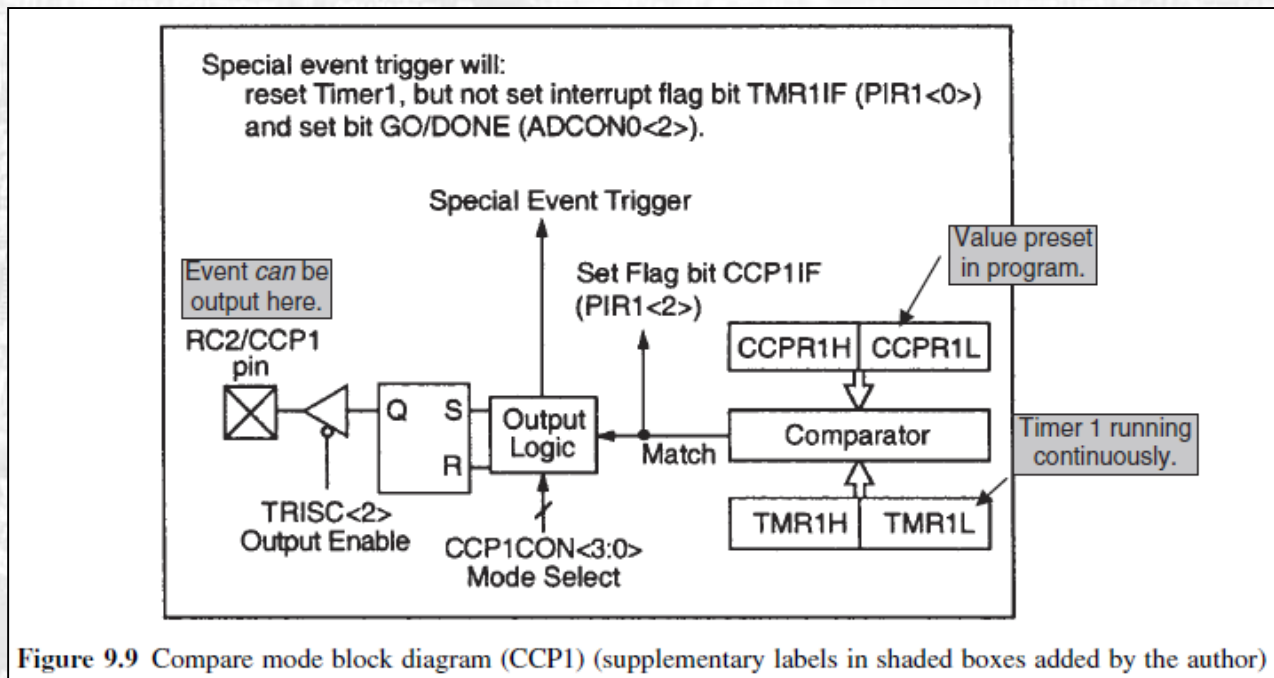
Capture/Compare/PWM

- Ej: Capture input unit (ATmega328P)



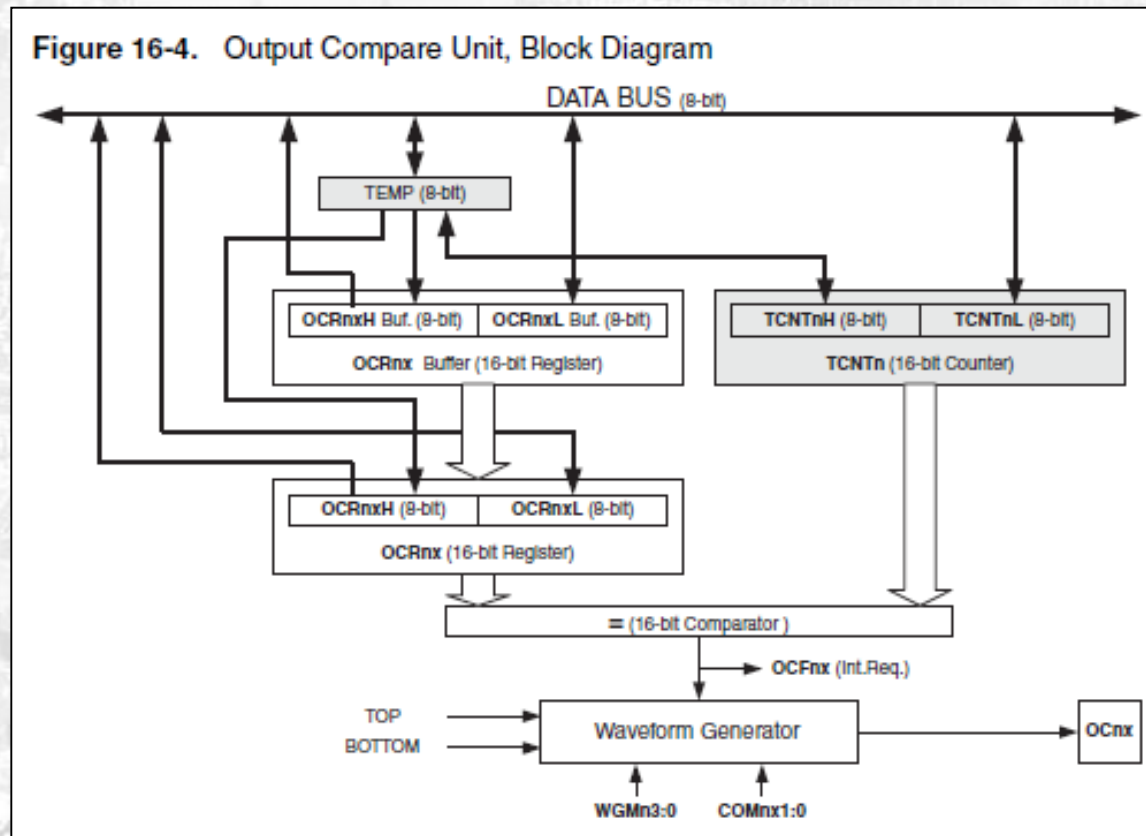
Capture/Compare/PWM

- **Compare device:** se compara continuamente el valor del timer con el del registro. Cuando coinciden, se produce un evento.



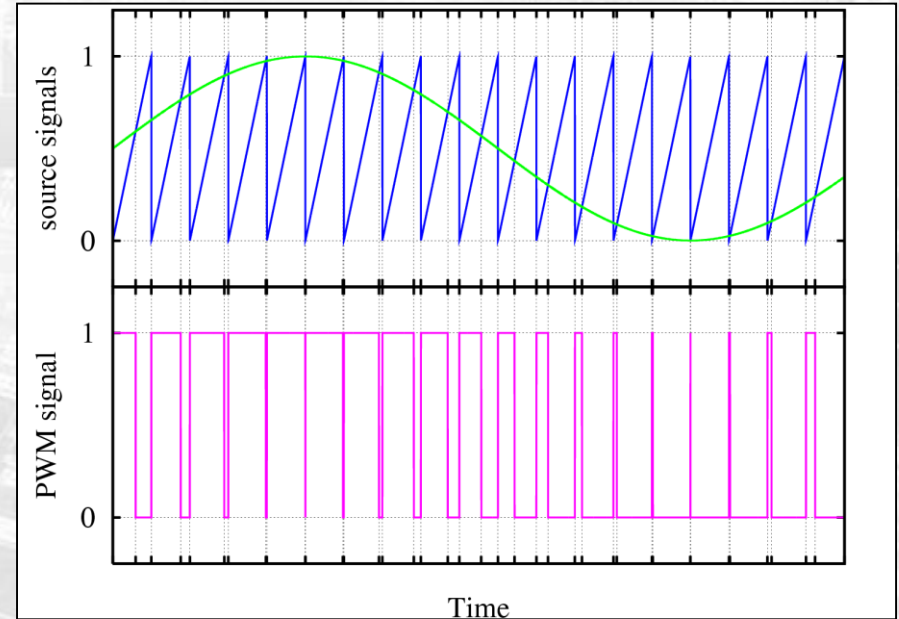
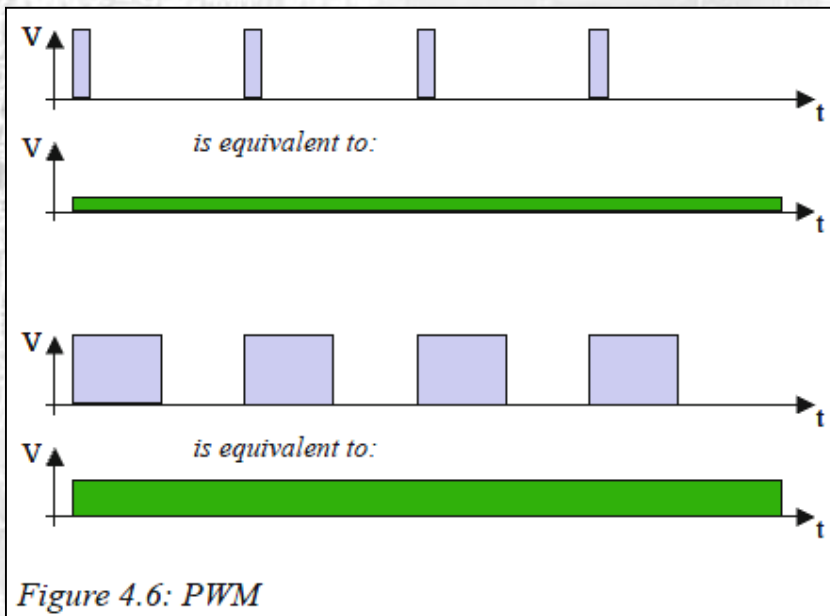
Capture/Compare/PWM

- Ej: Compare output unit (ATmega328P)



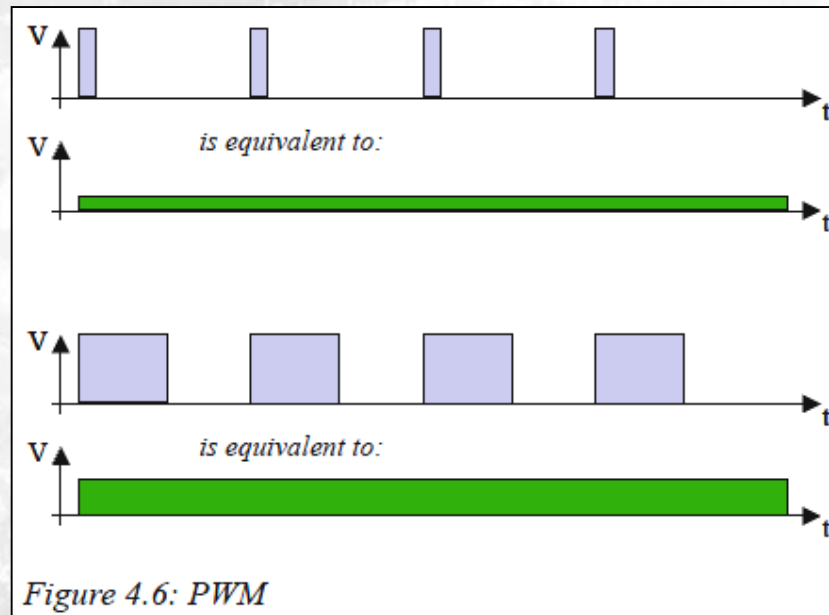
Capture/Compare/PWM

- **Pulse Width Modulation (PWM):** La modulación por ancho de pulso, consiste en una técnica que permite modular una señal analógica en función del duty cycle de un tren de pulsos digitales



Capture/Compare/PWM

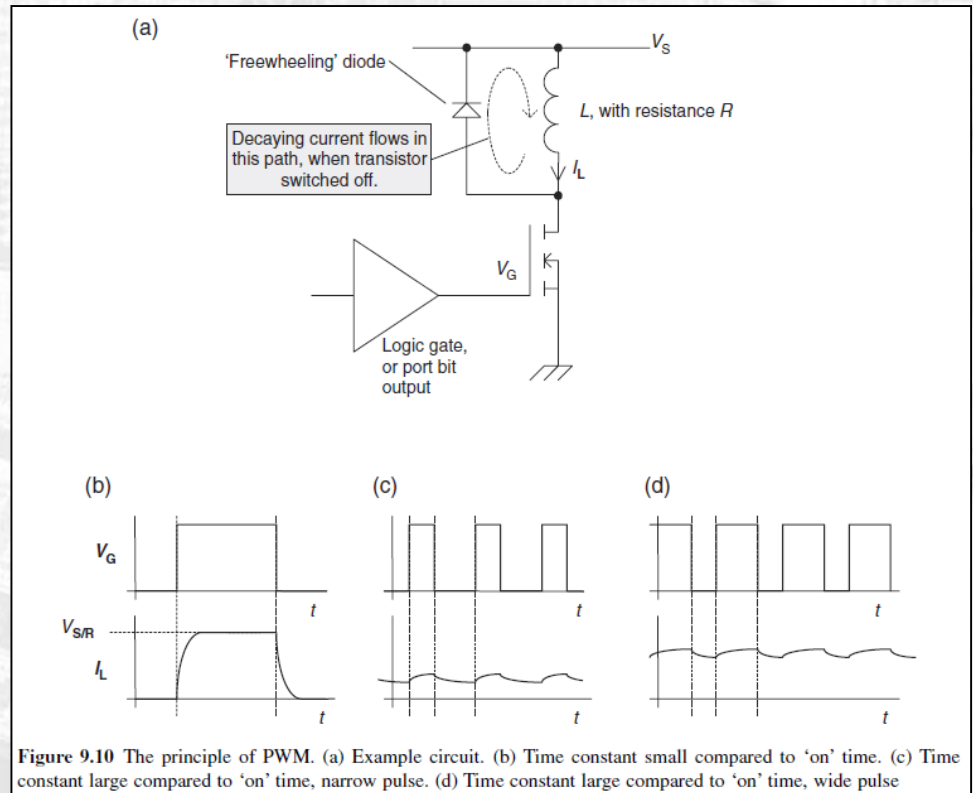
- **Pulse Width Modulation (PWM) - Aplicaciones:**
 - controlar un motor
 - controlar el brillo de un led
 - controlar el tono de un parlante/buzzer



Capture/Compare/PWM

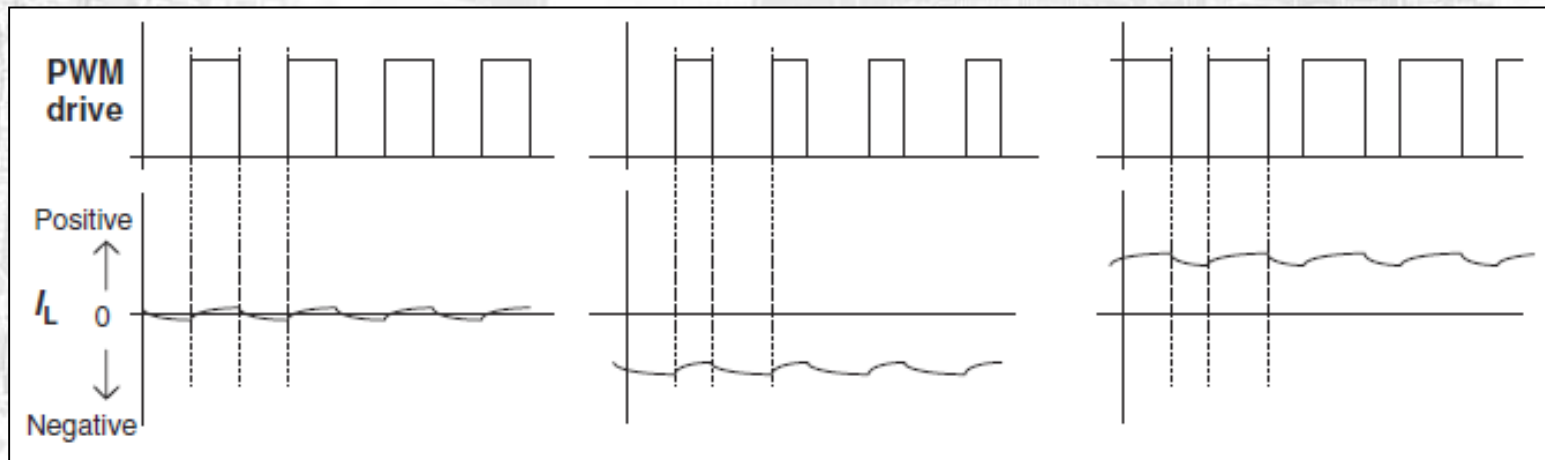
- **Pulse Width Modulation (PWM):**

- la señal digital de salida se convierte naturalmente en una señal analógica, en base a las propiedades constructivas de la carga.
- El período de la señal digital debe ser menor que la constante de tiempo de la carga.



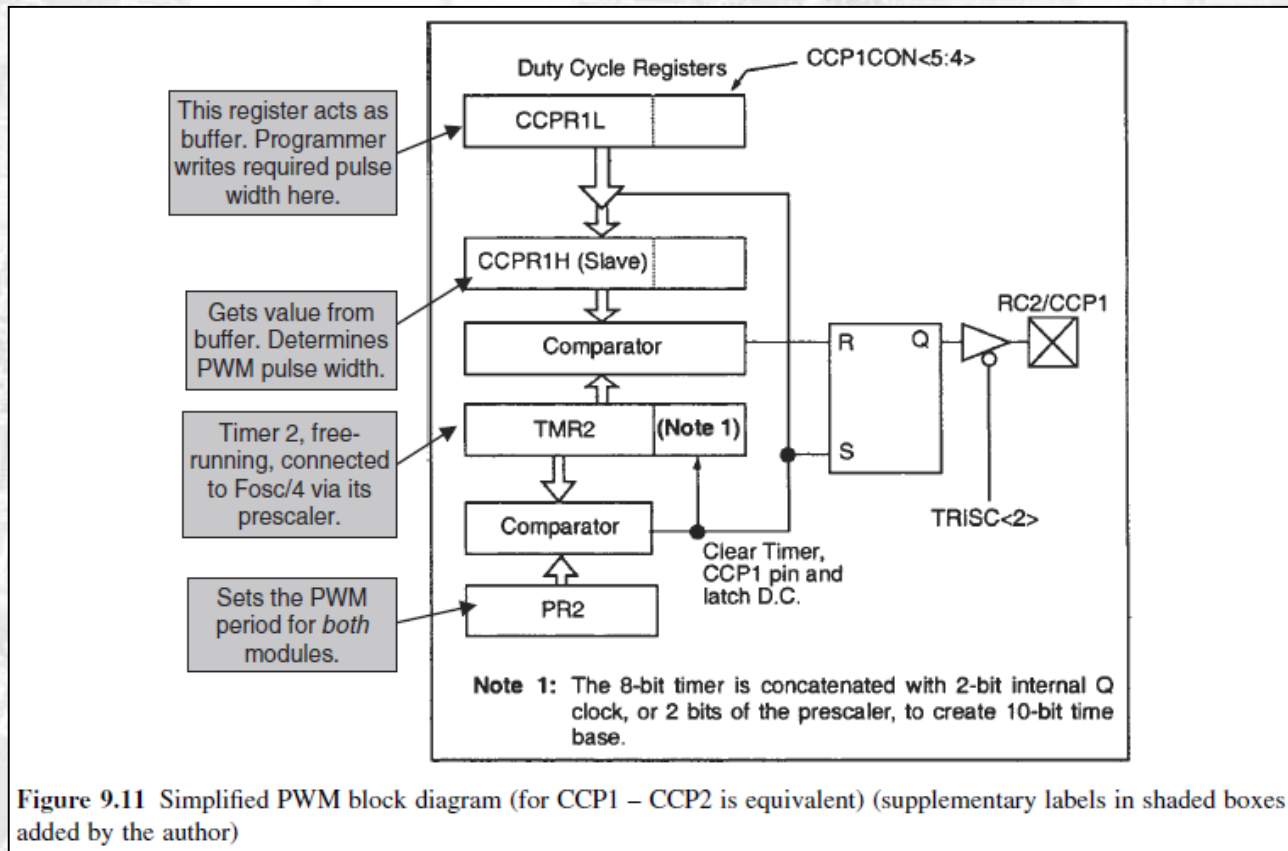
Capture/Compare/PWM

- **Pulse Width Modulation (PWM):**
 - la señal analógica tiende a un promedio que depende del duty cycle de la señal digital.
 - variando el tren de pulsos, es posible operar controlando la señal analógica resultante.



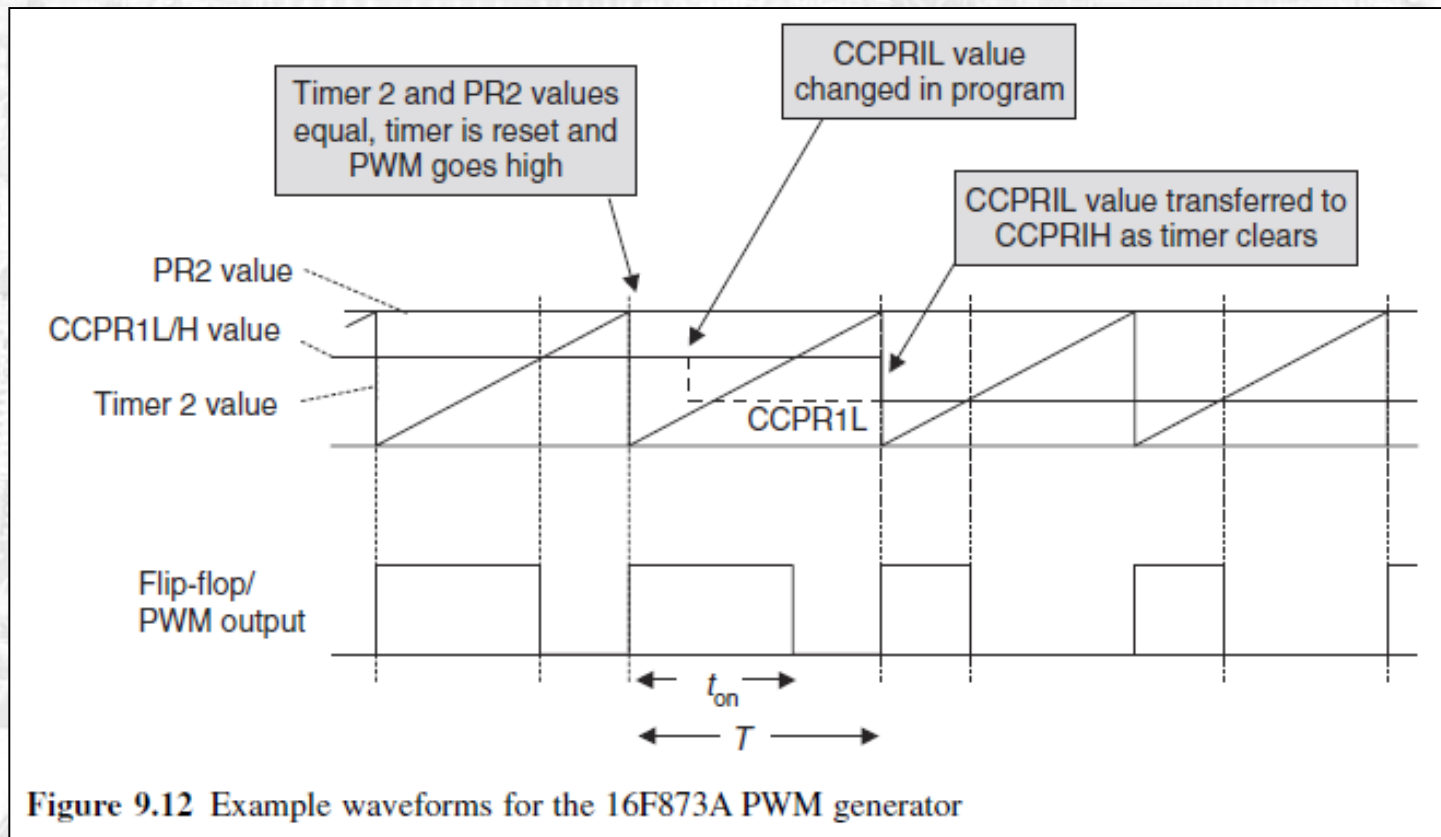
Capture/Compare/PWM

- **Pulse Width Modulation (PWM): Generador en HW.**



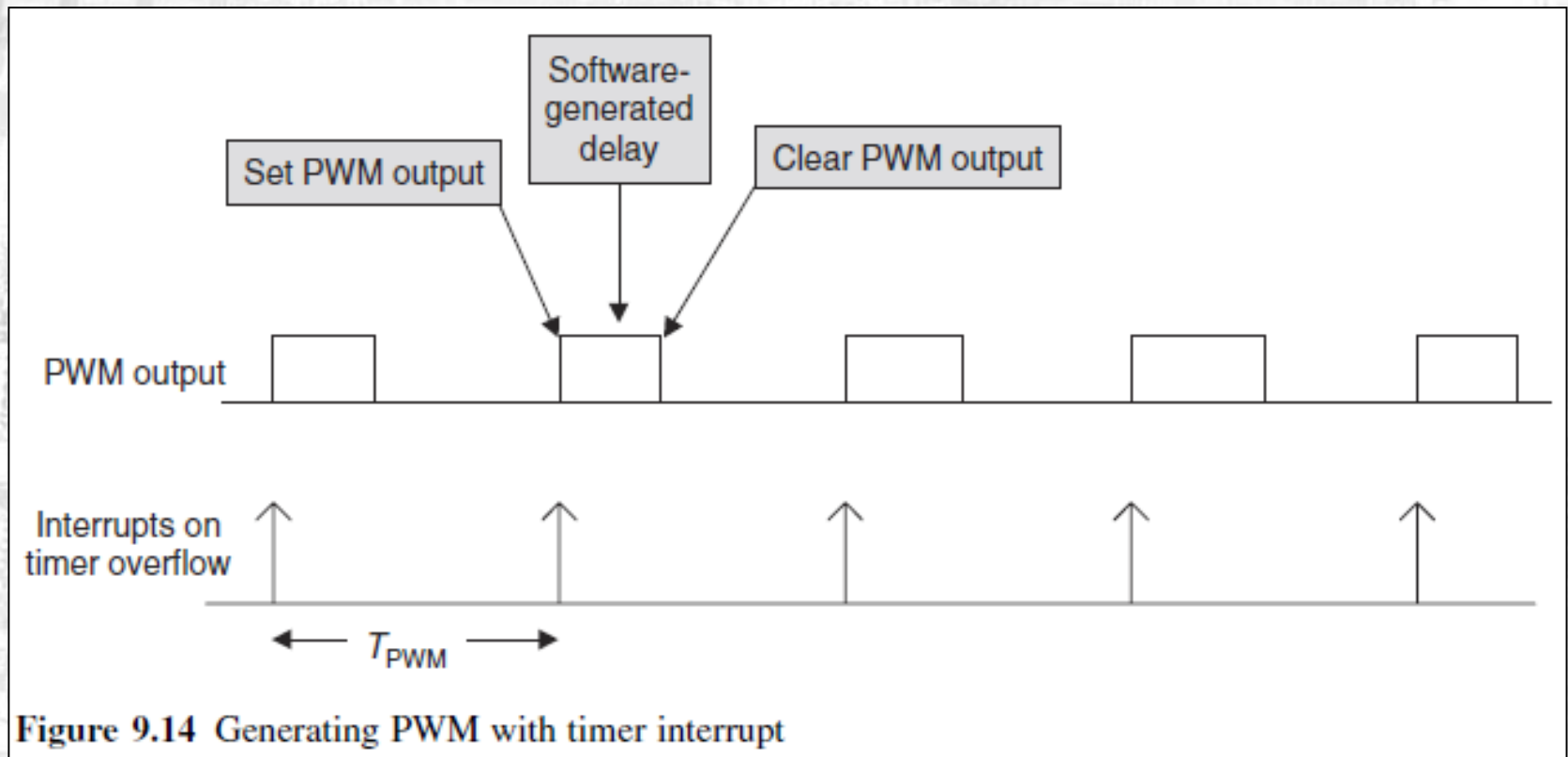
Capture/Compare/PWM

- Pulse Width Modulation (PWM): Generador en HW.



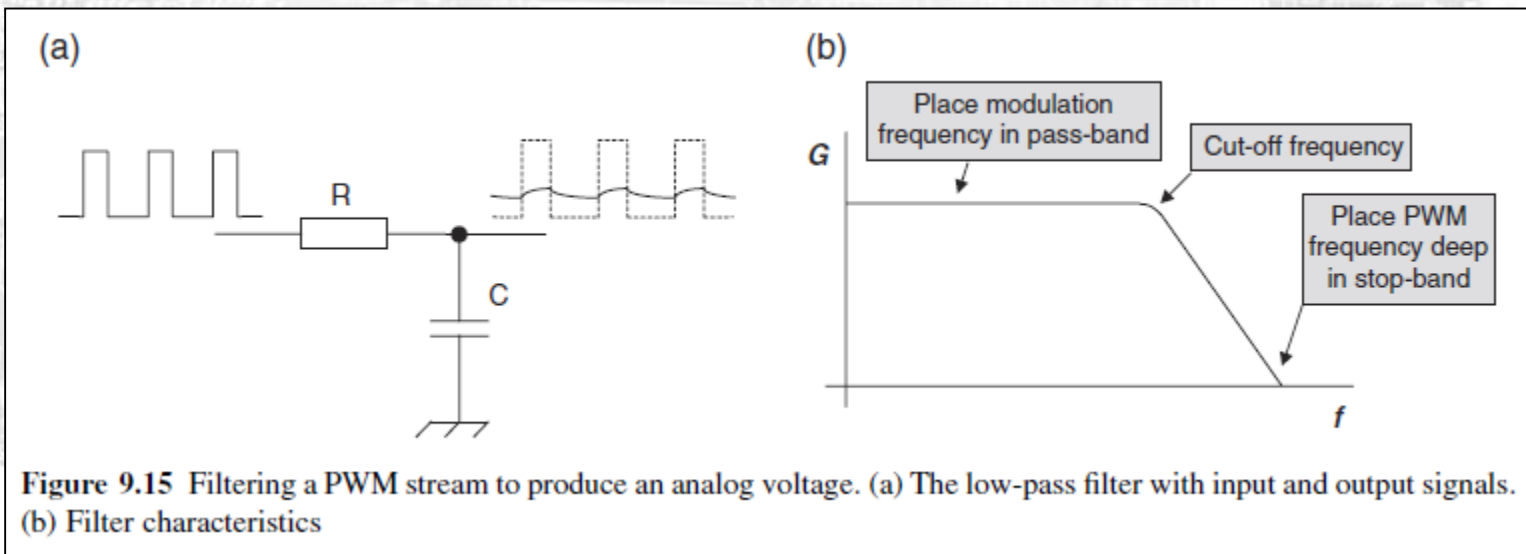
Capture/Compare/PWM

- Pulse Width Modulation (PWM): Generador en HW.




Capture/Compare/PWM

- **Pulse Width Modulation (PWM): Conversión D/A**
 - Idea: pasar el tren de pulsos por un filtro RC pasa bajo.
 - R y C se calculan para lograr el efecto deseado (bloquear la frecuencia de PWM y dejar pasar las frecuencias moduladas)



Capture/Compare/PWM

- **Pulse Width Modulation (PWM): Conversión D/A**
- **Método simple pero con limitaciones respecto de un conversor D/A:**
 - El voltage de salida depende de los niveles lógicos de la señal PWM (y estos dependen de la alimentación general del sistema). No es una técnica precisa para conversiones D/A.
 - Problemas con señales que cambian rápido a raíz del filtro pasa bajo RC.
 - Ripple residual en la señal de salida.

The background of the slide is a grayscale, high-contrast image of a complex electronic circuit board. It features numerous integrated circuits, capacitors, and intricate traces. A semi-transparent dark blue horizontal band is positioned across the middle of the image, serving as a backdrop for the title text.

System reset, subsistemas de inicialización y consumo

Inicialización del sistema

- El reseteo del sistema puede originarse por diversas causas:
 - Se conectó el sistema o se reseteó el mismo modificando el nivel lógico de la señal correspondiente (Power-on reset - POR).
 - El watchdog timer finalizó sin ser reinicializado.
 - Se detectó una caída en el voltaje de alimentación (Brown Out Reset – BOR).

Inicialización del sistema

- Luego de resetear el sistema, hay que asegurar condiciones de operación estables.
- Toma un tiempo lograr señales estables (de tensión y de clock).
- En general 2 timers:
 - Power Up Timer (PWRT): con un oscilador interno, se espera un tiempo prudencial para asegurar una señal de alimentación estable.
 - Oscillator Start Up Timer (OST): funciona a partir del oscilador principal y espera un tiempo prudencial para asegurar una señal de clock estable (si el clock no funciona, el OST no puede contar).

Inicialización del sistema

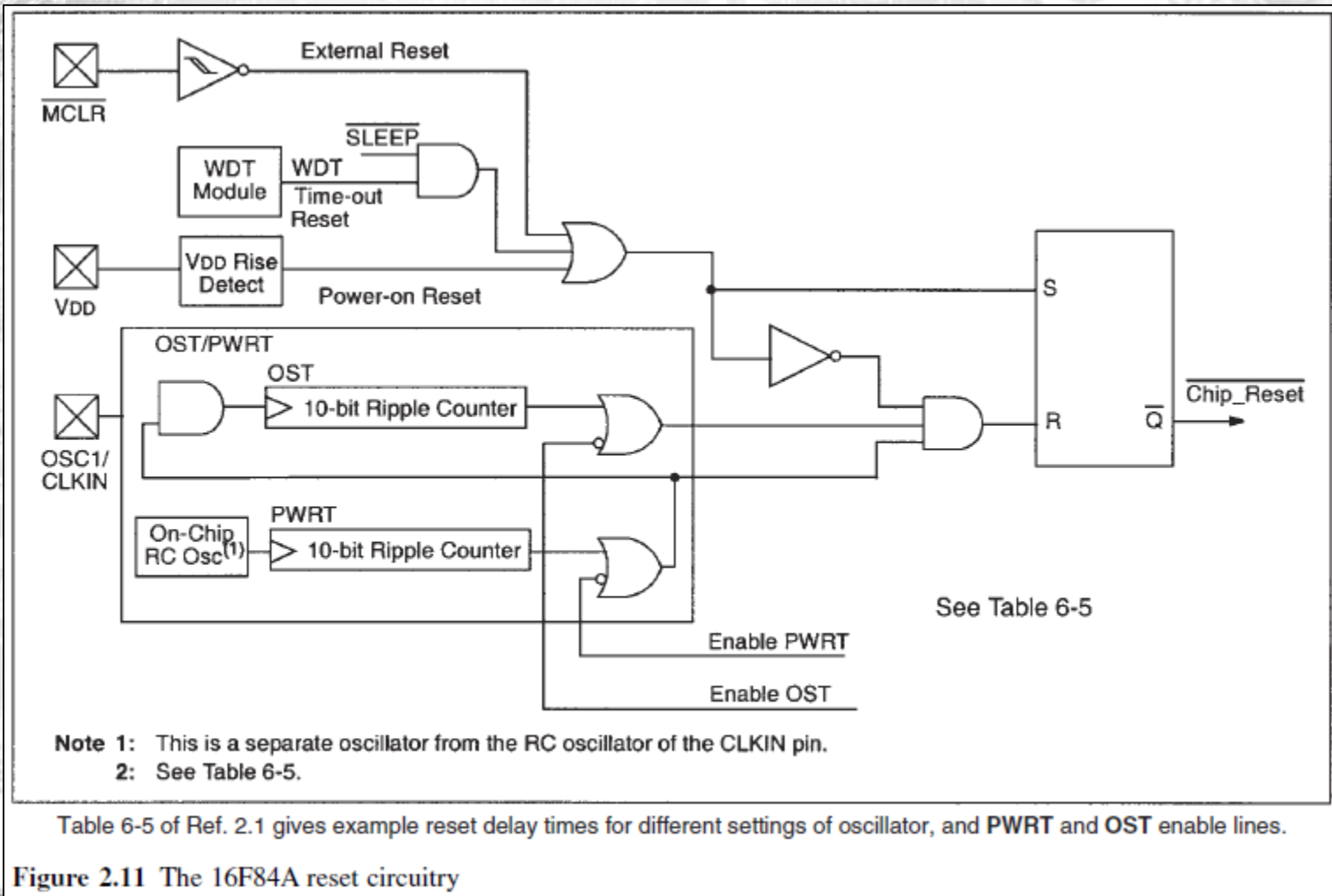


Table 6-5 of Ref. 2.1 gives example reset delay times for different settings of oscillator, and PWRT and OST enable lines.

Figure 2.11 The 16F84A reset circuitry

Inicialización del sistema

- Temporizado de un system reset:

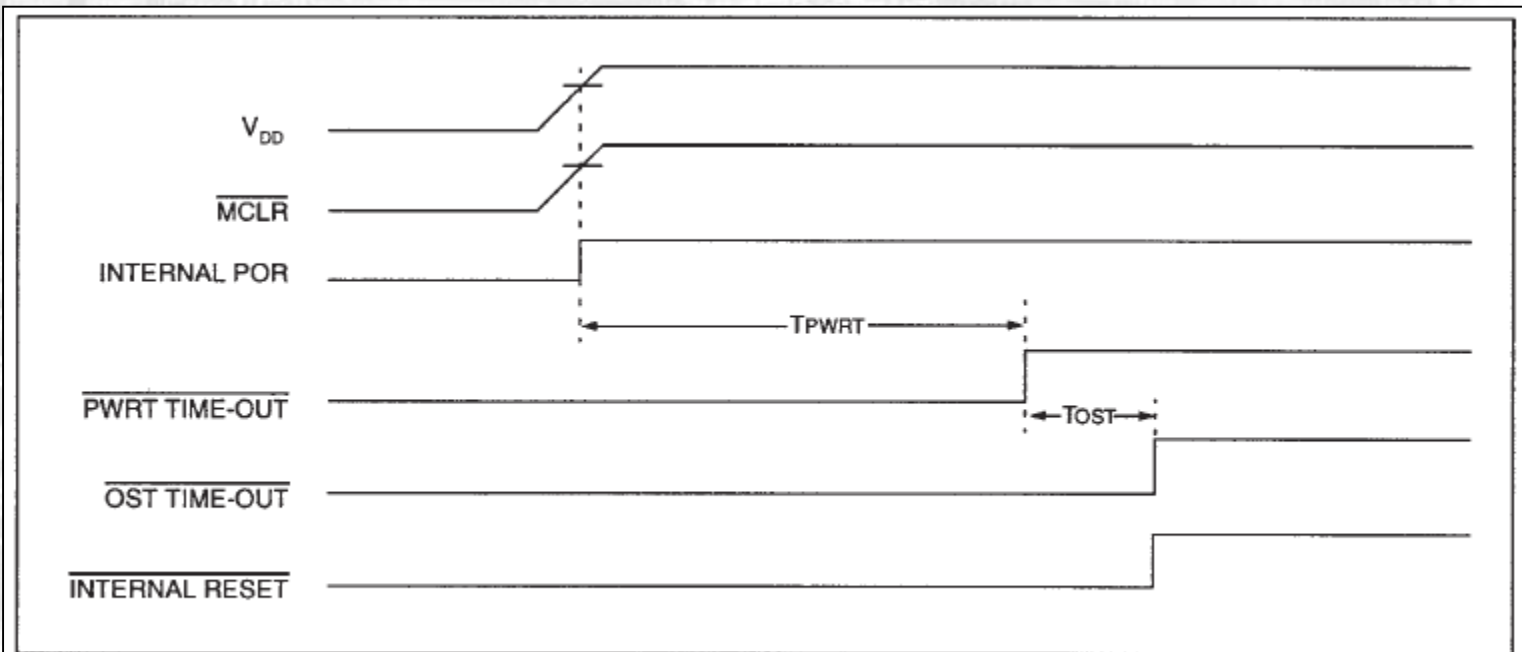


Figure 2.12 Reset sequence on power-up, with \overline{MCLR} tied to V_{DD}

Inicialización del sistema

- Ej: sys. reset (ATmega328P):

Figure 11-1. Reset Logic

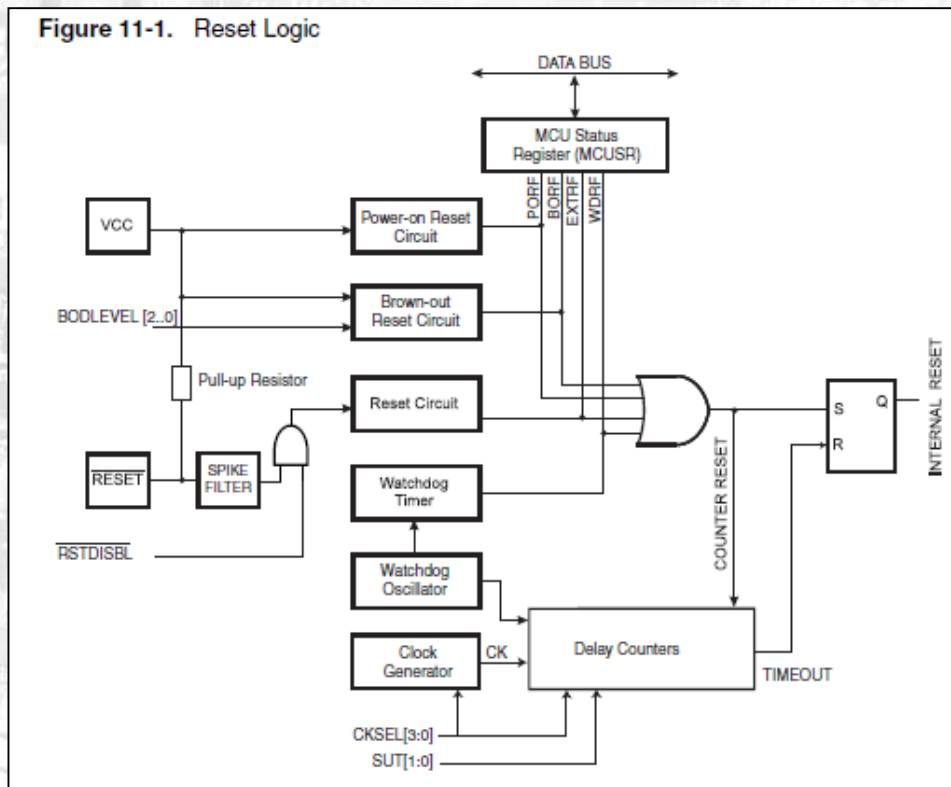


Figure 11-3. MCU Start-up, RESET Extended Externally

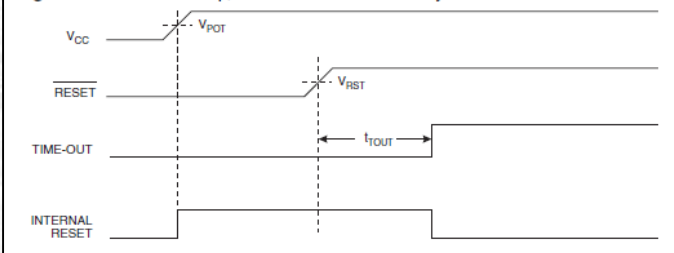


Figure 11-4. External Reset During Operation

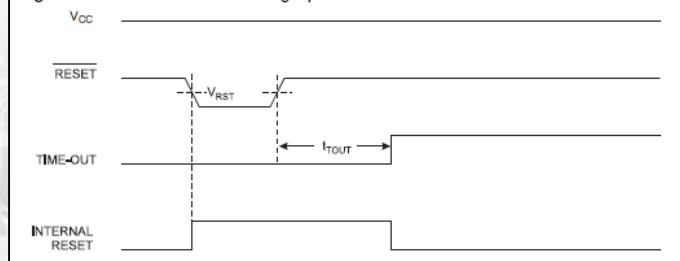
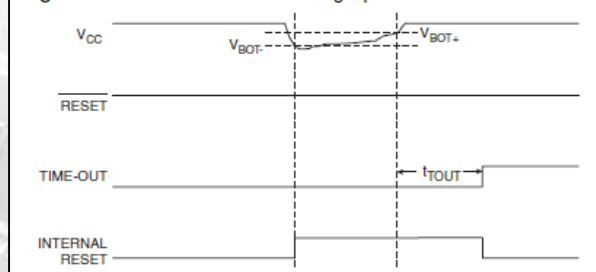


Figure 11-5. Brown-out Reset During Operation



Ahorro de energía

- **Ahorro de energía:**
 - Esencial en ciertas aplicaciones (ej: alimentación por baterías)
 - Ej: tecnología Nanowatt (Microchip)
- **Se logra:**
 - Reduciendo el voltaje de alimentación
 - Reduciendo la frecuencia de reloj: múltiples modos de ejecución con varios relojes a distintas frecuencias.
 - Desactivando módulos que no se estén utilizando o incluso el mismo CPU.

Sleep – suspendiendo el μ C

- El modo sleep permite apagar el CPU para ahorrar energía. Mediante una instrucción a tal fin se suspende el sistema hasta la ocurrencia de un nuevo evento:
 - Power-on reset
 - WDT wake up (en sleep el WDT puede despertar al sistema)
 - una interrupción externa (ciertas interrupciones internas no pueden producirse a causa del modo sleep, x ej. interrupciones de timers).

Sleep – suspendiendo el μC

- Ej: Modos de ahorro de energía (ATmega328P):

Table 10-1. Active Clock Domains and Wake-up Sources in the Different Sleep Modes.

Sleep Mode	Active Clock Domains					Oscillators		Wake-up Sources							Software BOD Disable
	clk _{CPU}	clk _{FLASH}	clk _{IO}	clk _{ADC}	clk _{ASY}	Main Clock Source Enabled	Timer Oscillator Enabled	INT1, INT0 and Pin Change	TWI Address Match	Timer2	SPM/EEPROM Ready	ADC	WDT	Other I/O	
Idle			X	X	X	X	X ⁽²⁾	X	X	X	X	X	X	X	
ADC Noise Reduction				X	X	X	X ⁽²⁾	X ⁽³⁾	X	X ⁽²⁾	X	X	X		
Power-down								X ⁽³⁾	X				X		X
Power-save					X		X ⁽²⁾	X ⁽³⁾	X	X			X		X
Standby ⁽¹⁾						X		X ⁽³⁾	X				X		X
Extended Standby					X ⁽²⁾	X	X ⁽²⁾	X ⁽³⁾	X	X			X		X

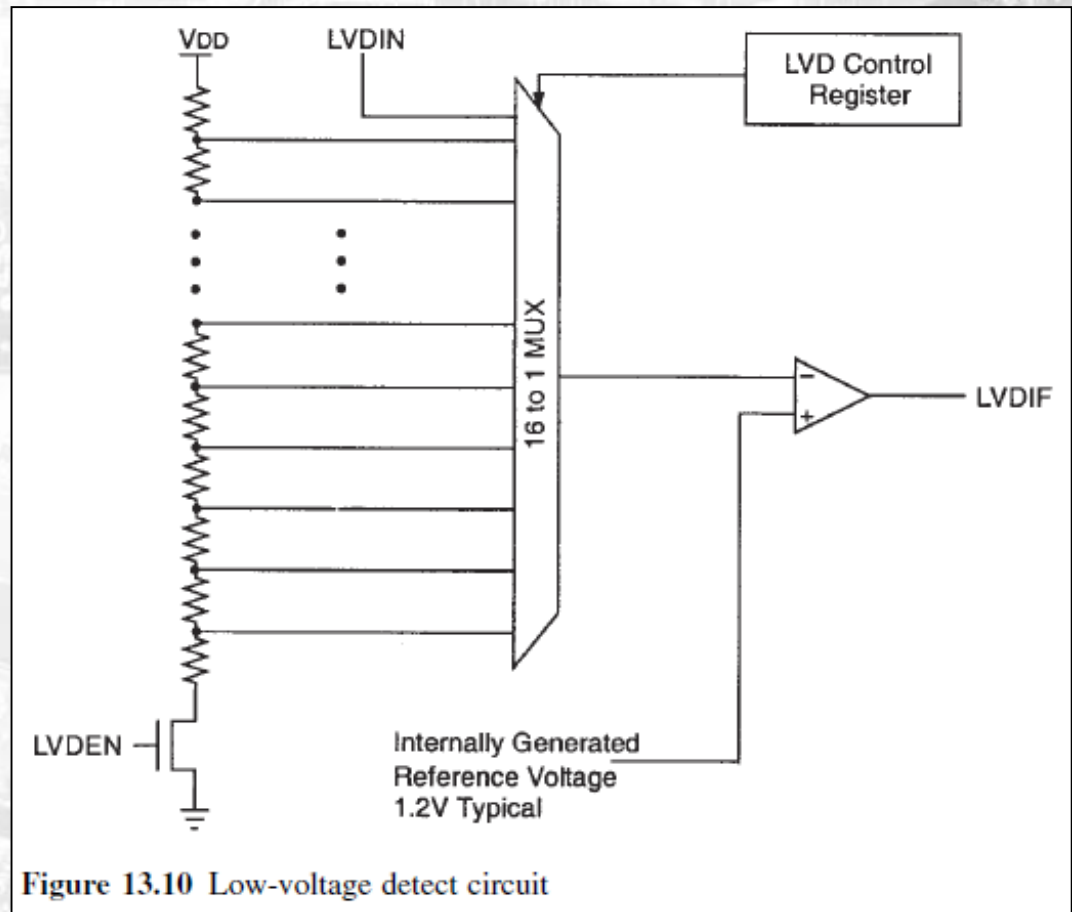
Notes: 1. Only recommended with external crystal or resonator selected as clock source.
 2. If Timer/Counter2 is running in asynchronous mode.
 3. For INT1 and INT0, only level interrupt.

Detección de voltaje bajo

- Útil para detectar la ausencia de carga suficiente en las baterías que alimentan el sistema o para detectar cortes en el suministro eléctrico.
- Muchos IC reguladores de voltaje, permiten interrumpir al CPU ante esta situación (usualmente NMI). Otras veces, este tipo de detectores vienen integrados en los uC.
- El CPU puede ejecutar una rutina crítica antes de perder la energía por completo (capacitores con cargas residuales pueden proveer la energía necesaria durante un período breve de tiempo).

Detección de voltaje bajo

- **Dispositivo de detección de voltaje bajo**
 - para ejecutar alguna rutina crítica ante la ocurrencia de dicho evento.
- El nivel de voltaje bajo debe ser mayor a nivel de brown-out reset.



Referencias

- **Atmel AVR ATmega328P Datasheet.**
- **Simon, D. An Embedded Software Primer. Addison-Wesley Professional. 1999. ISBN: 978-0201615692. Capítulo 3.**
- **Wilmshurst, T. Designing Embedded Systems with PIC Microcontrollers: Principles and Applications. Newnes. 2006. ISBN: 978-0750667555. Capítulos 2, 3, 6, 7, 8, 9 y 13.**