

Diseño, validación e implementación de una microarquitectura RISC

Tesista

Luciano César Natale, *Padrón Nro. 86.659*
luchonat@gmail.com

Director

Ing. Nicolas Alvarez, *Profesor Adjunto*
nalvare2001@yahoo.com.ar

Co-director

Ing. Octavio Alpago, *JTP. Interino*
oalpago@gmail.com

17 de marzo de 2016

1. Objeto y área de la tesis

El objetivo principal de este trabajo consiste en diseñar, validar e implementar una microarquitectura RISC¹. El diseño incluirá la completa especificación funcional de la microarquitectura y su conjunto de instrucciones (¿agregar algo de que soporta instrucciones CORDIC?). El diseño se validará mediante el desarrollo en software de un emulador de la arquitectura; la implementación se realizará en el lenguaje de descripción de hardware Verilog, y se sintetizará en un dispositivo FPGA².

El interés en este desarrollo proviene de la necesidad de contar con un núcleo de procesamiento altamente configurable y suficientemente flexible y sencillo para distintas aplicaciones dentro del ámbito de la investigación en los laboratorios de microelectrónica (¿y de sistemas embebidos?); sintetizable en FPGA (¿y en silicio?).

El área profesional de relevancia del trabajo de tesis es el diseño de sistemas digitales y su aplicación como base de proyectos de investigación que necesiten de un núcleo de procesamiento configurable y sencillo.

¹: Reduced instruction set computer. Técnica de diseño de unidades de procesamiento basadas en el hecho de que un conjunto de instrucciones simples provee una mayor performance al ser combinado con una microarquitectura capaz de ejecutar dichas instrucciones en algunos pocos ciclos de máquina.

²Field Programmable Gate Array: dispositivo semiconductor que contiene bloques de lógica cuya interconexión y funcionalidad puede ser configurada ‘in situ’ mediante un lenguaje de descripción especializado.

2. Introducción, antecedentes y actualidad

Desde la aparición de los microprocesadores a mediados de los años 70, la tendencia fue el aumento de la complejidad de las arquitecturas, generando un efecto de “bola de nieve”, al ir superponiendo capas sobre un núcleo central. Existió, entonces, una reacción adversa a esta tendencia. Por ejemplo, la arquitectura experimental de IBM 801; y también en Berkeley, David Patterson y Ditzel fueron los primeros en acuñar el término RISC o *reduced instruction set computer*, para describir una nueva clase de microarquitectura que deshacía el camino del resto de las arquitecturas hasta el momento, conocida, en contraposición, como CISC o *complex instruction set computer*. A partir de este antecedente, los principales fabricantes de microprocesadores han lanzado al mercado sus propias implementaciones basadas en los principios establecidos en IBM y Berkeley.

El concepto de las arquitecturas RISC se basa, principalmente, en el hecho de que al simplificar la lógica necesaria para la ejecución de una instrucción, permite aumentar la frecuencia de operación de las compuertas que componen la lógica. Además, es posible dividir la ejecución de las instrucciones en etapas sencillas y consecutivas, permitiendo de esta manera implementar fácilmente optimizaciones como, por ejemplo, una arquitectura de *pipeline*³. Es por eso que el conjunto de instrucciones es sencillo, permitiendo solamente operaciones básicas entre registros internos del microprocesador. El trabajo realizado por cada instrucción, en general, es menor que el generado por una instrucción CISC, pero se hace de manera sencilla y rápida. Es importante notar que no solamente la ganancia radica en poder aumentar la frecuencia de operación de la lógica, si no que estas condiciones de diseño facilitan el desarrollo de diseños de bajo consumo, característica muy valorada en el nicho de los sistemas embebidos.

El mercado de los sistemas embebidos es excesivamente amplio y está inserto en todas las industrias. En un automóvil, por ejemplo, podemos encontrar microprocesadores, en el sistema de frenos, en la central de inyección electrónica, en el sistema de entretenimiento y navegación, etc. La otra arista de vital importancia para el mercado de los sistemas embebidos, es el de los dispositivos móviles, donde se vuelve vital el requerimiento de bajo consumo. Hoy estamos viviendo la revolución de IoT (o *Internet of Things*), que se trata básicamente de sistemas embebidos autónomos que están conectados a “la nube” y pueden ser monitoreados y controlados remotamente a través de *internet*.

En la actualidad dentro del universo de las arquitecturas RISC, se destacan dos: MIPS y ARM. La primera, fue desarrollada por un grupo de investigadores de la Universidad de Stanford (entre ellos John L. Hennessy, pionero del concepto RISC junto a David Patterson, coautores de la bibliografía más relevante de esta temática). Esta arquitectura, por su sencillez, es la predilecta al momento del desarrollo de cursos enfocados en la arquitectura de computadoras. Pero esta arquitectura no sólo tiene relevancia académica, es muy popular en el mercado de los microprocesadores en sistemas embebidos como equipos de telecomunicaciones, decodificadores de TV digital, y de entretenimiento con ejemplos muy conocidos como *Nintendo* y *PlayStation*. ARM, por otro lado, ha ganado una importante porción del mercado de los embebidos (con un gran aporte de los dispositivos móviles), basando su modelo de negocios en la venta de la propiedad intelectual del diseño de los microprocesadores a las empresas que finalmente fabrican el silicio.

3. Desarrollo previsto de la Tesis

3.1. Teoría, enfoque y métodos a utilizar

El enfoque de la tesis se basará en un desarrollo teórico del conjunto de instrucciones y de las características de la microarquitectura; y en el desarrollo práctico del emulador y la implementación en lenguaje descriptor de hardware.

El concepto central detrás del presente desarrollo será el de **ortogonalidad**, en el sentido de que cada bloque constructivo de la arquitectura sea independiente e indiferenciable del resto de la arquitectura, llevando así al extremo la sencillez del diseño.

Acá me falta....

3.2. Estudios conexos

Asignaturas y otros estudios previstos que son relevantes al desarrollo de la Tesis.

- **Sistemas Digitales:** Asignatura que abarca la teoría de técnicas de diseño de hardware digital y codificación de sistemas digitales, así como también su síntesis y medición.

³: Técnica de diseño...

- **Organización de Computadoras:** Asignatura en la cual se cubren los aspectos teóricos del diseño de microarquitecturas.

3.3. Alcance proyectado para la tesis

Como resultados a obtener de la presente tesis se tienen los siguientes:

- Especificación completa de la microarquitectura
- Vectores de prueba
- Emulador de la arquitectura
- IP Core codificado en el lenguaje Verilog de la microarquitectura completa
- Resultado de los vectores de prueba tanto en el emulador como en el IP Core
- Análisis comparativo entre la microarquitectura desarrollada y otras arquitecturas RISC
- Proposición de trabajos futuros y/o mejoras.

Para asegurar que el proyecto de tesis incluya todos los trabajos requeridos, los procesos a completar se describen en un plan de trabajo en la siguiente sección.

3.4. Plan de trabajo

La duración total del trabajo se estima en un año y se considera que la misma estará compuesta por las siguientes etapas:

- **Investigación bibliográfica:** Recolección de Libros, Papers, Trabajos de Tesis, y fuentes de investigación con el objetivo de obtener el entendimiento teórico requerido y conocer el estado del arte en el tema a trabajar.
- **Introducción al trabajo de tesis:** Comprender la teoría de las microarquitecturas RISC. Describir el contenido teórico requerido para exponer los conceptos de funcionamiento del hardware a desarrollar.
- **Análisis de arquitecturas existentes:** Analizar las diferentes arquitecturas existentes con sus pro y contras. Obtener de este análisis las relaciones de compromiso asumidas en ellas para poder aplicarlas en la arquitectura a desarrollar.
- **Diseño de la microarquitectura y su conjunto de instrucciones:** Realizar la especificación funcional de la microarquitectura y su conjunto de instrucciones.
- **Validación:** Desarrollar los vectores de pruebas que permitirán validar la microarquitectura.
- **Emulación:** Desarrollar el emulador de la microarquitectura y validar los vectores de pruebas.
- **Implementación:** Desarrollar el IP core en un ambiente de simulación y, en la medida que sea posible, en campo. Realizar la síntesis de la misma para distintos dispositivos FPGA, medir recursos utilizados, máxima frecuencia de operación y potencia consumida. Validar los vectores de pruebas.
- **Conclusiones y Trabajos a Futuro:** Se extraerán las conclusiones pertinentes sobre los resultados obtenidos y se propondrán futuras mejoras de la microarquitectura (si correspondiese) a partir de los resultados obtenidos.
- **Preparación del Informe Final:** Se consolidará la documentación con la memoria de la tesis la cual contendrá el resultado de todo el trabajo realizado. Se revisará la tesis por el director y por los pares antes de enviarla al jurado.
- **Preparación de la presentación y defensa de la Tesis:** Se preparará la presentación (diapositivas) con los objetivos, alcance, introducción a las microarquitecturas RISC, desarrollo de la microarquitectura, resultados obtenidos, conclusiones y trabajos a futuro. La misma será posteriormente utilizada para la defensa.

En la figura 3.4 se encuentra el plan propuesto para la formación del tesista y el cumplimiento de los objetivos.

Actividad	Mes											
	1	2	3	4	5	6	7	8	9	10	11	12
Investigación Bibliográfica	■											
Introducción al trabajo de tesis		■	■									
Análisis de Arquitecturas				■	■							
Estudio de mejoras					■							
Implementación						■	■	■	■			
Medición									■			
Conclusiones y Trabajos a Futuro										■	■	
Preparación del Informe Final		■	■	■	■	■	■	■	■	■	■	
Preparación de la presentación y defensa de la Tesis												■

Figura 1: Diagrama de las actividades a realizar por el tesista.

4. Bibliografía

CAMBIARLA!!!

Referencias

- [1] Abbas Mohammadi & Fadhel M. Ghannouchi, “RF Transceiver Design for MIMO Wireless Communications”, Springer, p1-5, 2012.
- [2] Paulraj, A., Nabar, R., Gore, D., “Introduction to Space-Time Wireless Communications”. Cambridge University Press, 2003.
- [3] John Litva & Titus Kwok-Yeung Lo, “Digital Beamforming in Wireless Communications”, Artech House, 1996.
- [4] Abbas Mohammadi & Fadhel M. Ghannouchi, “RF Transceiver Design for MIMO Wireless Communications”, Springer, p17-20, 2012.

Buenos Aires, 17 de marzo de 2016

Sr. Luciano César Natale
Tesista

Ing. Nicolás Alvarez
Prof. Adjunto, Director

Ing. Octavio Alpago
JTP. Interino, Co-director