

Στο δεύτερο εργαστήριο του μαθήματος, μας ζητήθηκε να δοκιμάσουμε τους κώδικες που δημιουργήσαμε στο πρώτο εργαστήριο, δηλαδή τον πολλαπλασιασμό πινάκων, στο Vitis. Σκοπός ήταν να κατανοήσουμε καλύτερα κάποια ζητήματα που αφορούν το HW/SW, καθώς και να κάνουμε κάποια simulations μέσα σε αυτό το platform.

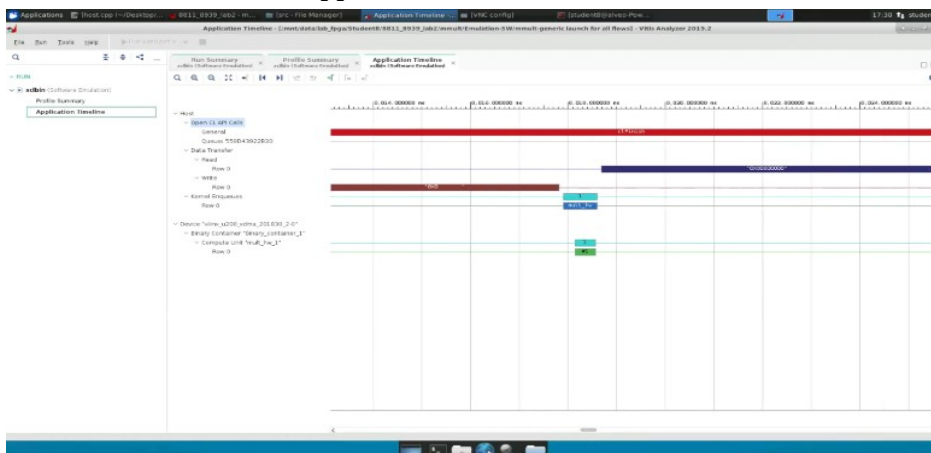
Κώδικες

Στο προηγούμενο εργαστήριο, ο κώδικας χωριζόταν στον testbench και στον hw_emulation κώδικα, που σκοπό είχαν αφενός να μπορέσουμε να συγκρίνουμε την κάθε μια υλοποίηση ξεχωριστά, αλλά και να μπορούμε να κάνουμε την σύνθεση μεταξύ HW/SW, μέσω του Vivado HLS. Όσον αφορά το vitis, βλέποντας κάποια παραδείγματα στο internet, οι υλοποιήσεις που βρήκαμε, καθώς και το παράδειγμα vadd ήταν κάπως διαφορετικές. Πρώτον, host κώδικας (ο αντίστοιχος testbench κώδικας), είχε μεγάλο κομμάτι γραμμένο σε OpenCL με το οποίο δεν ήμασταν ιδιαίτερα εξοικειωμένοι. Παρ'όλα αυτά, καταλάβαμε πως με την OpenCL, υπάρχουν μεγάλα περιθώρια εξατομίκευσης σε σχέση με το πως ο κώδικας θα περνάει στο HW μας, αλλά και πολύ καλύτερος έλεγχος των σφαλμάτων που μπορεί να υπάρξουν κατά τη διαδικασία αυτήν και κυρίως στην διαδικασία που γράφουμε στη μνήμη του HW.

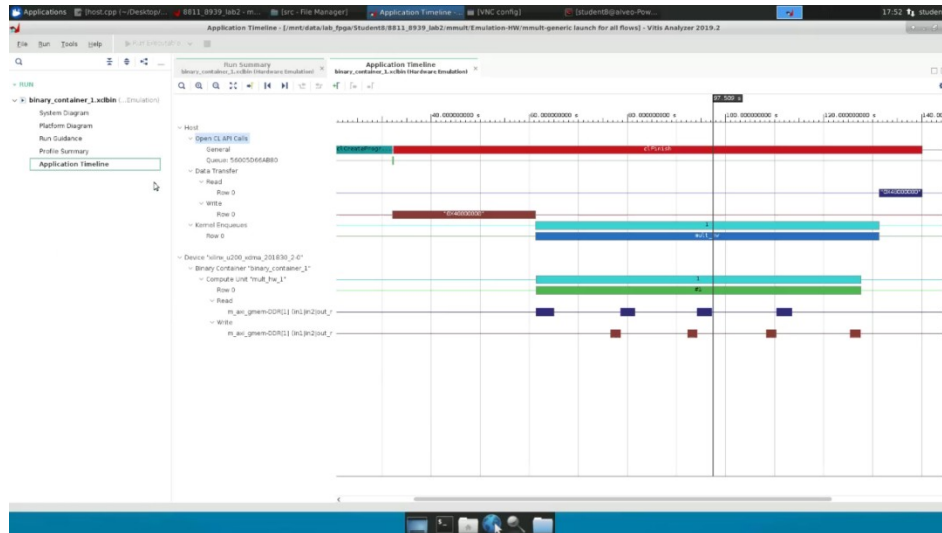
Όσον αφορά τον κώδικα του kernel (ο αντίστοιχος hw_emulation κώδικας), πέρα από τα pragmas του προηγούμενου εργαστηρίου (PIPELINE, LOOP_UNROLL, LOOP_TRIPCOUNT ARRAY_PARTITION), ήρθαμε σε επαφή με τα INTERFACE m_axi και INTERFACE s_axilite. Το INTERFACE pragma γενικά χρησιμοποιείται για να δηλώσουμε πως θα δημιουργηθούν τα ports της RTL κατά τη διαδικασία του interface synthesis. Πιο συγκεκριμένα το m_axi υλοποιεί τα ports σαν AXI4, ενώ το s_axilite τα υλοποιεί σαν AXI4-Lite. Αυτά πρακτικά αποτελούν κάποια communication interface, τα οποία χρησιμοποιούνται από την Xilinx σαν communication buses στα προϊόντα της. Στην πραγματικότητα το AXI4-Lite είναι ένα υποσύστημα του AXI4, με κυρίαρχη διαφορά – μεταξύ άλλων – ότι κάθε data access χρησιμοποιεί ολόκληρο το data bus width (32 ή 64 bits). Με μια λογική λοιπόν ότι κάθε πίνακας χωρίζεται σε buffer_sizes 4 φορές, θα γίνεται τελικά η πράξη που θέλουμε σε 4 “στάδια”.

Όσον αφορά τον κώδικα του host, είχαμε μια μεγαλύτερη δυσκολία, διότι στο 1^ο εργαστήριο είχαμε προχωρήσει σε στατική δημιουργία πινάκων, ενώ στα παραδείγματα που βρίσκαμε στο ίντερνεντ όλα ορίζονταν δυναμικά. Έτσι προχωρήσαμε σε κάποιες τροποποιήσεις του κώδικα ώστε, τελικά, να λειτουργήσει. Λόγω της στατικής δήλωσης των πινάκων, το πρόγραμμα αυτό καθαυτό δεν ήταν λειτουργικό, αφού είχε εισαχθεί περιορισμός στη διαθέσιμη μνήμη που μπορεί να δεσμευτεί με αυτό τον τρόπο. Για την επίλυση αυτού του ζητήματος, μειώσαμε το μέγεθος της κάθε διάστασης των πινάκων από 8 σε 6 κι έτσι μπόρεσαν οι προσομοιώσεις να υλοποιηθούν κανονικά. Παρακάτω σας παραθέτουμε μερικά Screenshot από τα αποτελέσματα των προσομοιώσεων.

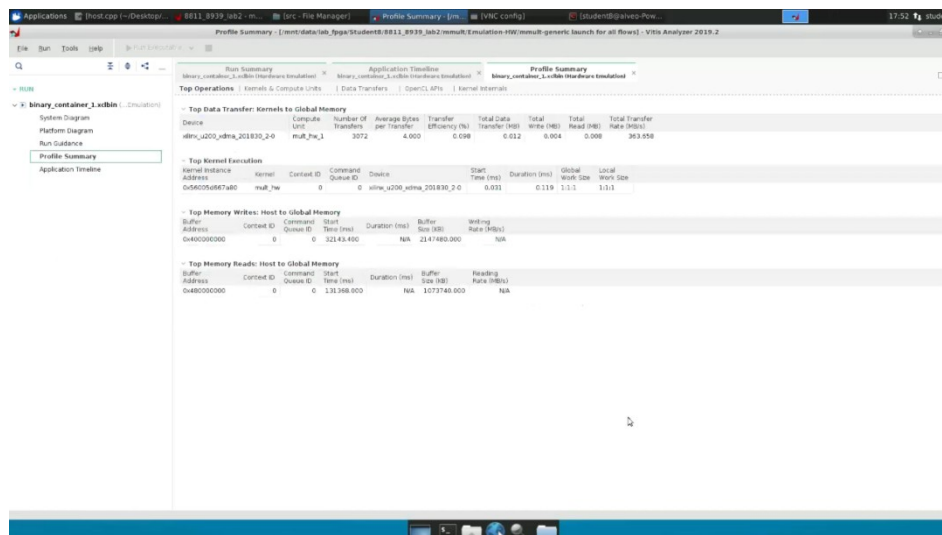
1. Software Emulation Application Timeline



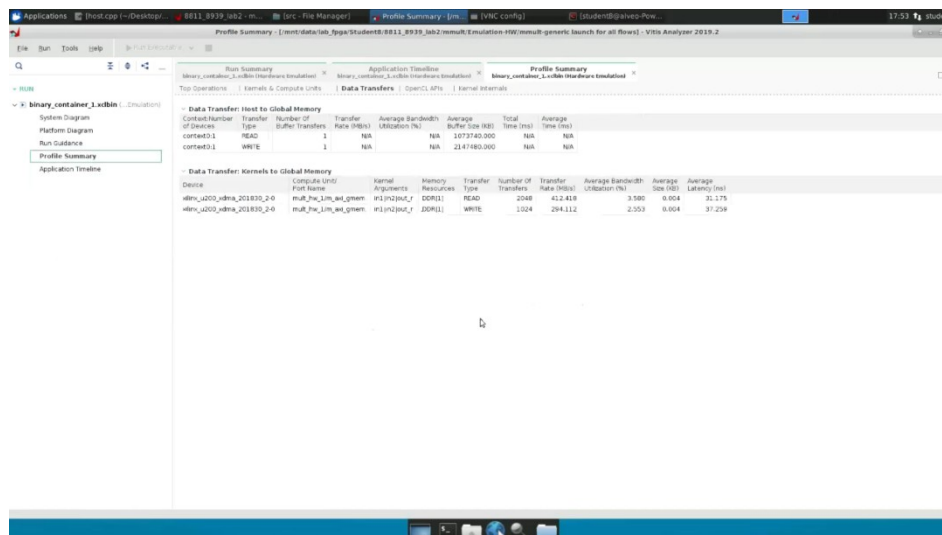
2. Hardware Emulation - Application Timeline



3. Hardware Emulation - Top Operations



4. Hardware Emulation - Data Transfers



5. Hardware Emulation - OpenCL APIs

