



ISEL

DEETC

Departamento de
Engenharia Electrónica e
de Telecomunicações e
de Computadores

Licenciatura em Engenharia Informática e de Computadores

e

Licenciatura em Engenharia Informática, Redes e Telecomunicações

Circuitos aritméticos e lógicos (*2º Trabalho de Laboratório*)

Lógica e Sistemas Digitais
2022 / 2023 inverno

30 de setembro de 2022
(revisto em 11 de novembro de 2022)

1 Objetivo

O objetivo deste trabalho é descrever um circuito aritmético e lógico (ALU – *Aritmetic and Logic Unit*) com base em VHDL estrutural, simular e implementar o circuito na placa de desenvolvimento DE10-Lite da Intel. O trabalho é obrigatório e conta para a avaliação prática.

2 Descrição do circuito a desenvolver

Pretende-se projetar uma unidade aritmética e lógica que realize as operações aritméticas adição ($W + Y + CBi$), subtração ($W - Y - CBi$), incremento ($W + CBi$) e decremento ($W - CBi$), as operações de deslocamento ($W >>> Y_{0,1}$ e $W >> Y_{0,1}$), e as operações lógicas OR ($W + \bar{Y}$) e XNOR ($\overline{W \oplus Y}$), sobre operandos de 4 bits. O resultado tem 4 bits e deve gerar os indicadores (*flags*) de erro e relação *Carry/Borrow* (CBo), *Overflow* (OV), *Zero* (Z), *Greater or Equal* (GE) e *Below or Equal* (BE).

As entradas e saídas do sistema, bem como as operações, estão representadas na Figura 1.

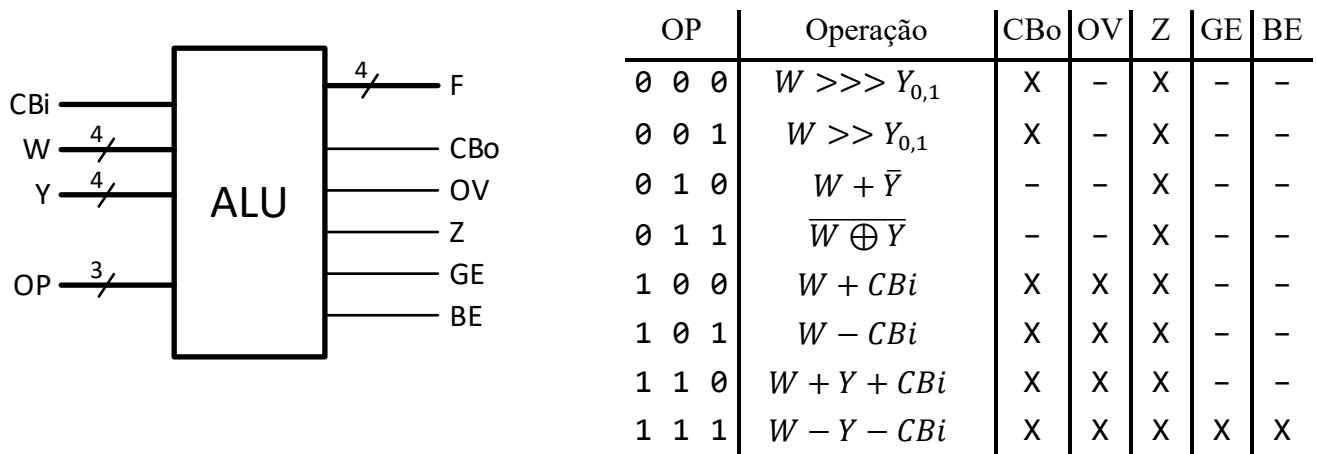


Figura 1 – Especificação da ALU a desenvolver

As entradas W e Y são os operandos de 4 bits e a entrada OP seleciona a operação a realizar. Para as operações aritméticas, considere que os operandos estão representados em números naturais e relativos. A saída F também de 4 bits é o resultado da operação, no mesmo domínio dos operandos. As operações de deslocamento $>>>$ (*Logical Shift Right* – LSR) e $>>$ (*Aritmetic Shift Right* – ASR) deslocam para a direita o valor do operando W o número de bits especificado pelos dois bits de menor peso do operando Y. A operação LSR introduz zeros no resultado F enquanto a operação ASR introduz bits com o valor do bit de sinal do operando W. Adicionalmente, são geradas ainda as cinco *flags*:

- CBo: Representa o *carry* de saída da operação de soma ou o *borrow* de saída da operação de subtração. Fica ativa quando o resultado excede o domínio dos números naturais; representa, igualmente, no âmbito das operações deslocamento (LSR e ASR), o valor do último bit deslocado de W ou 0 no caso do número de bits a deslocar ser igual a 0;
- OV: Fica ativa quando o resultado excede o domínio dos números relativos;

- Z: Fica ativa quando o resultado é igual a zero;
- GE: Fica ativa quando o primeiro operando (W) é maior ou igual do que o segundo ($Y + CBi$), considerando-se apenas na representação de números relativos;
- BE: Fica ativa quando o primeiro operando (W) é menor ou igual do que o segundo ($Y + CBi$), considerando-se apenas na representação de números naturais.

Em algumas operações, o valor das *flags* não tem significado, representado na tabela da Figura 1 com o carater ‘-’. Nesses casos, o valor das *flags* pode assumir qualquer valor.

3 Realização do Trabalho

O circuito deverá ser implementado de acordo com o diagrama de blocos da Figura 2.

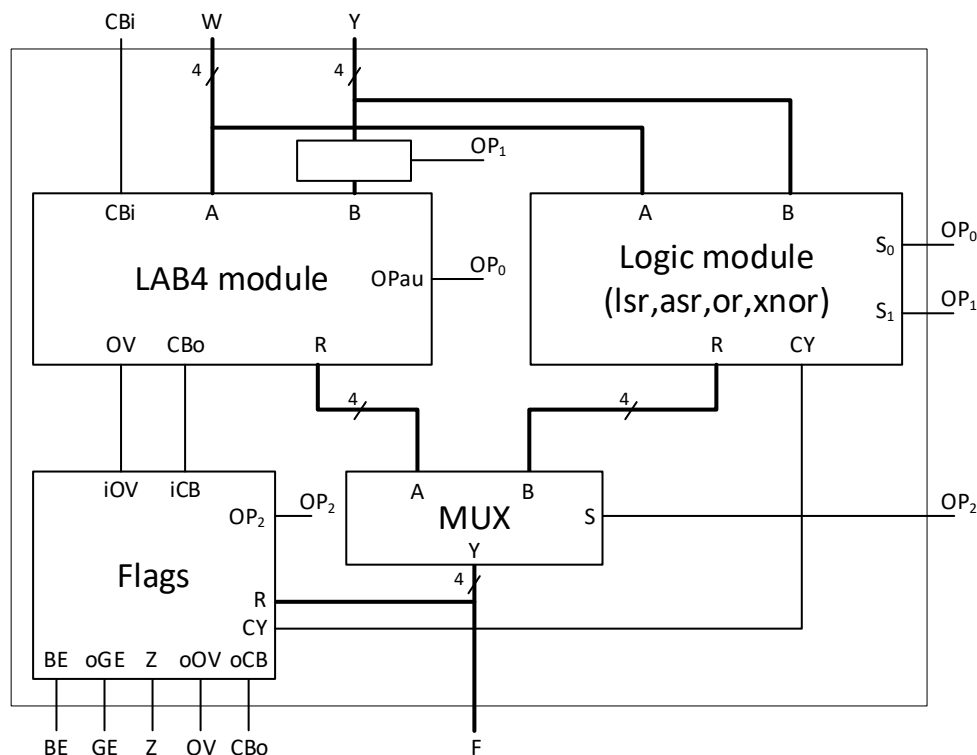


Figura 2 – Diagrama de blocos da ALU

Para o projeto da ALU deverá elaborar os seguintes passos:

1. Considere o módulo aritmético desenvolvido no laboratório LAB4 (*LAB4 module*);
2. Desenvolva e descreva em VHDL o módulo de lógica com base no módulo desenvolvido no LAB3;
3. Desenvolva e descreva em VHDL o módulo *Flags* com base nas *flags* geradas pelo módulo LAB4, no resultado F e na *flag* CY gerada pelo módulo lógica para gerar as cinco *flags* do circuito;

4. Reúna as unidades referidas nos pontos anteriores e a unidade MUX numa entidade de topo com o nome TLab2 que corresponde à descrição completa da ALU;
5. Simule o circuito (considere o ficheiro de teste anexo ao trabalho);
6. Implemente o circuito na placa DE10-Lite;
7. Confirme o funcionamento do circuito para as combinações de entrada dadas na tabela do anexo A;

Deverá apresentar um relatório do trabalho desenvolvido com a seguinte estrutura:

1. Capa com a indicação do curso, unidade curricular, elementos do grupo (número e nome), nome do trabalho;
2. Introdução: breve descrição do trabalho a desenvolver e quais os objetivos;
3. Análise e Projeto: descrição de todas as funções lógicas e diagramas lógicos;
4. Montagem laboratorial: Resultados experimentais e confirmação dos resultados teóricos;
5. Conclusão: comentário sobre o trabalho desenvolvido e sobre os resultados obtidos.
6. Anexo: Código VHDL

ANEXO A

								Resultado Teórico								Resultado Experimental							
OP	CB _i	W ₍₂₎	W _(N)	W _(Z)	Y ₍₂₎	Y _(N)	Y _(Z)	F ₍₂₎	F _(N)	F _(Z)	CB _o	OV	Z	GE	BE	F ₍₂₎	F _(N)	F _(Z)	CB _o	OV	Z	GE	BE
100	0	0000			1111																		
100	1	0000			1111																		
100	1	0111			0101																		
100	1	1111			1010																		
101	1	0000			1111																		
101	1	0001			0101																		
101	1	1000			1010																		
110	0	0001			1110																		
110	1	0001			1110																		
110	1	1000			1111																		
110	1	0010			0101																		
111	0	0011			0101																		
111	0	1101			1011																		
111	1	0110			0110																		
111	1	1000			0111																		
000	1	0001			1100																		
000	0	1101			1001																		
001	0	1010			1111																		
010	0	1100			0110																		
011	1	1100			0110																		