

Carlos Roberto Dos Santos Junior, N^oUSP 9435102
William Luis Alves Ferreira, N^oUSP: 9847599

Experiência 2

Universidade de São Paulo – USP
Escola de Engenharia de São Carlos – EESC
Instituto de Ciências Matemáticas e de Computação – ICMC
Programa de Graduação

Brasil

2021

Sumário

1	INTRODUÇÃO	3
2	QUESTÕES	4
	Questão 2	4
	Questão 6	4
	Questão 14	5
	Questão 15	5
	Questão 16	5
	Questão 17	7
	Questão 19	8
	Questão 21	8
	Questão 22	9
	REFERÊNCIAS	10
	ANEXO A – INVERSOR	11

1 Introdução

Assim como no experimento 1, este experimento tem como objetivo explorar a documentação em relação a tecnologia de $0,35\mu m$ oferecido por AustriaMicroSystems (atual, AMS AG) empresa de design e fabricação de circuitos integrados analógicos de alto desempenho como disposto no [site](#).

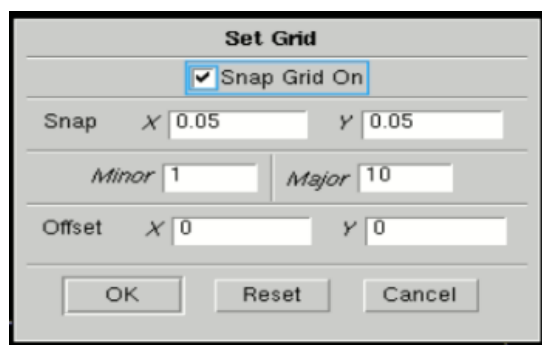
Neste documento aprofundaremos os conhecimentos do desenvolvimento de *layouts*, além de evitar problemas como estruturas parasitas advindas das composições das camadas de construção dos componentes eletrônicos de interesse, para isso, é proposto o *design* de um **inversor MOS** a fim de explorar os parâmetros de transistores na tecnologia **0.35 μm** .

Para a elaboração deste experimento os documentos: **0.35 μm CMOS C35 Process Parameters** ([AMS, 2003b](#)) e **0.35 μm CMOS C35 Design Rules** ([AMS, 2003a](#)), resumidamente, verificaremos os parâmetros de processo e regras de *desing* para a tecnologia CMOS $0,35\mu m$, desta forma, responde-se as questões proposta no enunciado do experimento a fim de explorar tal documentação e revisitar tópicos da disciplina SEL0617 - Fundamentos de Microeletrônica (2021).

2 Questões

Questão 2: Qual é o valor que deve ser usado no snap para a tecnologia AMS 0,35 m (ver nos manuais da AMS). O valor default está correto?

Figura 1 – Captura de tela ICStation - *Set Grid*



Fonte: Captura de tela dos próprios autores

O valor do *snap* padrão no software ICStation é de $0,05\mu m$ como mostra figura 1, logo esta correto por ser múltiplo de $0,25\mu m$ conforme a *GuideLine* REC001 presente no manual Eng-183 ilustrado na figura 2.

Figura 2 – Requisições de *Layout*

Guideline	Description	Value
REC001	Grid	integral multiple of $0.025\mu m$
REC002	Corners	90 deg, 135 deg
REC003	Data extrema including SCRIBE	integral multiple of $5\mu m$

Fonte: Documento Eng-183 Rev.3.0 , na página 9 (AMS, 2003a)

Questão 6: Carregue a configuração para o teclado. Descreva os comandos executados através das teclas d, u, s, m, p e c. Veja outras teclas que possam ser de interesse

Descrevemos na tabela 1 os comando carregados no menu **Other > Hotkeys > Load** e habilitados em **Other > Hotkeys > Enable**

Tabela 1 – Comandos padrão

Tecla	Descrição da função
d (delete)	(Deletar) Apagar elemento selecionado.
u (undo)	(Desfazer) Retrocede um comando.
s (shape)	(Forma) Adiciona uma nova forma.
m (move)	(Mover) Mover objeto selecionado
p (path)	(Caminho) Adiciona um novo caminho
c (copy)	(Copiar) Copia elemento selecionado

Fonte: Pelos próprios autores

Questão 14: O que aconteceria na fabricação se as camadas PPLUS ou NPLUS fossem colocadas sem ter abaixo delas a camada DIFF?

As camadas **PPLUS** e **NPLUS** são, para a tecnologia $0,35\mu m$ (AMS), materiais com dopagem no silício, respectivamente, do tipo P e N, já a camada **DIFF** é a região sem depósito de óxido na forma O , O_2 , OH^- para proteger a região ativa de operação o DIFF é composto por SiO_2 que desempenha a interface para permitir a dopagem das camadas PPLUS e NPLUS, ou seja, a ausência da camada DIFF impediria a dopagem do silício para formar as camadas PPLUS e NPLUS.

Questão 15: Quais os problemas que aparecem caso não seja colocado um contato de poço no NWELL?

Com a ausência do contato de poço NWELL a tensão de *bulk* do transistor PMOS pode variar, devido a existência do transistor NMOS de nosso circuito inversor, levando a valores inesperados de tensão de *threshold*.

Além disso, na ausência do NWELL temos a ação de estruturas parasitas como o *latch-up* descrito em mais detalhes na seção (questão) 16.

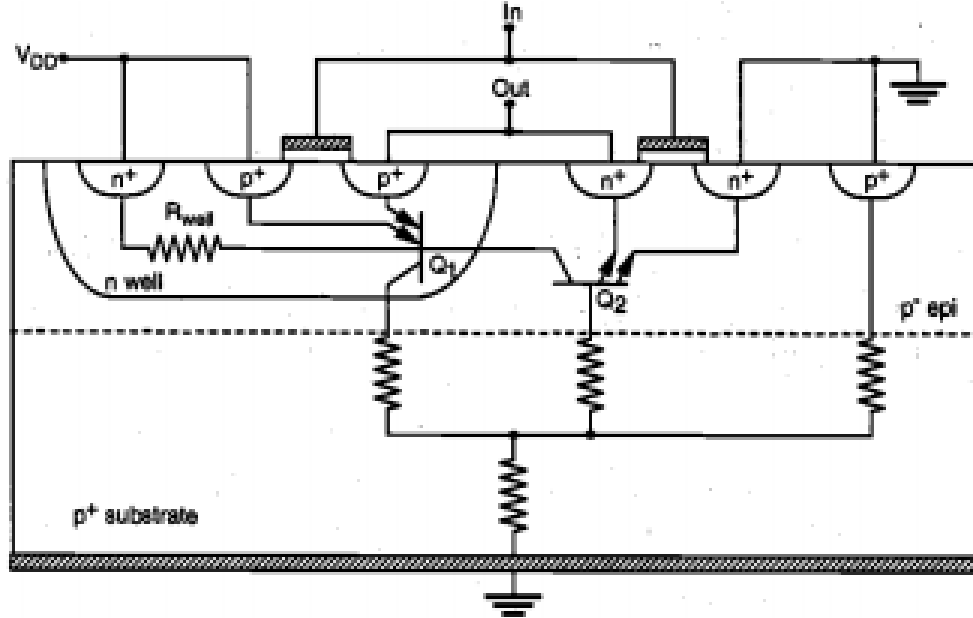
Questão 16: O que acontece, por outro lado, se o contato de poço ou substrato existe, mas está muito afastado do transistor?

Observação, essa questão complementa a seção (questão) 15.

Devido a composição do circuito podemos observar estruturas parasitárias como *latch-up* definido em (KANG, 1998) no trecho traduzido como: “*latch-up é definido como a geração de um caminho de baixa impedância em chips CMOS entre o trilho de fonte de*

alimentação (V_{DD}) e o trilho de aterramento (GND) devido à interação dos transistores bipolares PNP e NPN parasitas. ”, tal estrutura pode ser observada na figura 3

Figura 3 – Vista transversal de um inversor CMOS com transistores bipolares parasitas



Fonte: Retirado de **CMOS DIGITAL INTEGRATED CIRCUITS** (KANG, 1998), na página 555

Podemos verificar da figura 3 que o afastamento do substrato está diretamente relacionado com o aumento da impedância parasitária, logo para evitar tal efeito buscamos respeitar a relação presente em (KANG, 1998, p. 556), como:

$$\beta_1 * \beta_2 \geq 1$$

No qual β_1 é o ganho de corrente entre base-coletor do transistor bipolar Q_1 e β_2 seu correspondente ao transistor Q_2 . Desenvolvendo a relação acima com as resistências R_{well} (resistência do poço N) e R_{sub} (resistência do substrato) obtém-se a relação presente em (KANG, 1998, p. 559).

$$\alpha_1 + \alpha_2 \geq 1 + \left(\frac{\frac{R_T}{R_{well}}\alpha_1 + \frac{R_T}{R_{sub}}\alpha_2}{\frac{V_{DD}}{V_{BE}} - 2} \right)$$

Uma simplificação possível é a presente na apresentação “Etapas de Processo para Fabricação de CI” slide número 341 da disciplina SEL0617 - Fundamentos de Microeletrônica.

$$1 > \text{Ganho} = \beta_1 \left(\frac{R_{sub}}{R_{sub} + r_{\pi 1}} \right) * \beta_1 \left(\frac{R_{well}}{R_{sub} + r_{\pi 2}} \right) \quad (2.1)$$

Por fim, é possível verificar que para evitar a possibilidade de disparo do *latch-up* devemos manter a relação reduzindo o suficiente os valores da resistência R_{well} e R_{sub} para desempenhar a relação 2.1.

Questão 17: Desenhe um inversor

Com as dimensões:

- $L = 0,35\mu m$.
- $W_n = 15,5\mu m$.
- $W_p = 45,5\mu m$. Obtido ao longo da questão.
- As menores dimensões permitidas.
- Um contato/metal no gate para entrada de sinal.

Para realizar o cálculo de W_p precisamos relaciona-lo a W_n , para isso, usaremos o tempo para atingir os níveis lógicos baixo e alto (atraso de propagação de tensão) para os transistores PMOS e NMOS, desta forma, para o circuito inversor precisamos que o tempo de atraso da propagação de subida (em inglês, t_{PLH}) e o tempo de atraso da propagação de descida (em inglês, t_{PHL}), e com as equações de cálculo do atraso (6.8) e (6.9) juntamente com a expressão de corrente (15.1) para transistores MOS presentes em (KANG, 1998, .p 200,.p 600), temos as relações:

$$t_{PLH} = \frac{\Theta C_L}{C_{ox}\mu_p \frac{W_p}{L} V_{DD}}$$

$$t_{PHL} = \frac{\Theta C_L}{C_{ox}\mu_n \frac{W_n}{L} V_{DD}}$$

Desta forma, considerando as incógnita t_{PLH} , t_{PHL} , W_n e W_p , ao igualar os atrasos, temos:

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

Consultando o documento Eng-183 Rev.3 (AMS, 2003a, .p 11,.p 12) verificamos que a mobilidade efetiva do NMOS e PMOS, resultando em:

$$\frac{W_p}{15,5} = \frac{370}{126} \left[\frac{cm^2/Vs}{cm^2/Vs} \right] \rightarrow W_p \approx 45,5\mu m$$

O desenho do inversor MOS é apresentado como *layout* na figura 5.

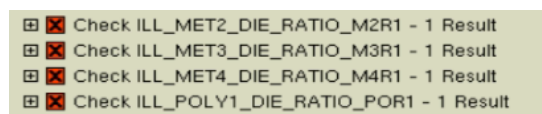
Questão 19: Qual é a função das camadas NLDD e FIMP?

A camada LDD (Lightly Doped Drain) no caso para dopagem tipo N a sigla NLDD, sua principal função é evitar ou diminuir o efeito de injeção portadores quentes no transistor, segundo definido por (PAVANELLO, 2021, .p 17-18) como *Portadores quentes são portadores que possuem alta energia cinética e que, como consequência gerando os fenômenos, injeção de portadores no óxido de porta modificando a barreira potencial entre silício e o óxido, ruptura do transistor, degeneração da mobilidade, entre outros fenômenos negativos ao desempenho do transistor.*

Já a camada FIMP é responsável por delimitar a região de implementação dos íons que compõem o *stop channel* que desempenha a função de um poço com dopagem N (NWEELL) para transistor tipo P.

Questão 21: O que significam estes erros dos metais e poly1 (olhar no manual ENG_183).

Figura 4 – Captura de tela - *Material density errors*



Fonte: Captura de tela dos próprios autores

Os erros presentes na figura 4 estão relacionados a densidade de área dos metais e ploy1 em relação ao *layout*, como o inversor é uma estrutura pequena em relação a projetos reais não alcança os níveis de proporção esperadas dos materiais (metais e ploy1), logo, conforme a tecnologia a densidade de tais materiais precisa respeitar as regras descritas no documento Eng-183 Rev.3 organizadas na tabela 2

Tabela 2 – Densidade mínimas de materiais - Regras de *design*

Material	Densidade (porcentagem)
MET1	30%
MET2	30%
MET3	30%
MET4	30%
POLY1	14%

Fonte: Documento Eng-183 Rev.3 (AMS, 2003a, .p 16,.p 20,.p 21, .p 22 e .p 28)

Questão 22: Uma vez obtido o layout sem erros salve, apresente ao professor e coloque o desenho no relatório.

Devido as dimensões extensas o inversor CMOS apresentado na figura 5 esta presente no anexo [A](#).

Referências

AMS, A. *0.35 μm CMOS C35 Design Rules*. [S.l.], 2003. Disponível em: <https://edisciplinas.usp.br/pluginfile.php/5354648/mod_resource/content/1/ENG-183_rev3.pdf>. Acesso em: 27 Jun. 2021. Citado 4 vezes nas páginas 3, 4, 7 e 8.

AMS, A. *0.35 μm CMOS C35 Process Parameters*. [S.l.], 2003. Disponível em: <https://edisciplinas.usp.br/pluginfile.php/5354646/mod_resource/content/1/ENG-182_rev2.pdf>. Acesso em: 27 Jun. 2021. Citado na página 3.

KANG, Y. L. S.-M. S. *CMOS DIGITAL INTEGRATED CIRCUITS: Analysis and Design*. 2. ed. Rio de Janeiro: The McOrnw · Hill Companies. Inc., 1998. Acesso em: 1 jul 2021. Citado 3 vezes nas páginas 5, 6 e 7.

PAVANELLO, J. W. S. e M. A. *Escalamento e Limites dos Dispositivos MOS*. CCS e FEEC - UNICAMP, 2021. Disponível em: <<https://www.ccs.unicamp.br/cursos/fee107/download/cap07.pdf>>. Acesso em: 01 Jul. 2021. Citado na página 8.

ANEXO A – Inversor

Figura 5 – *Layout no software* ICStation - Inversor CMOS

