

Carlos Roberto Dos Santos Junior, N^oUSP 9435102
William Luis Alves Ferreira, N^oUSP: 9847599

SEL0621: Experiência 1

Universidade de São Paulo – USP
Escola de Engenharia de São Carlos – EESC
Instituto de Ciências Matemáticas e de Computação – ICMC
Programa de Graduação

Brasil
2021

Sumário

1	INTRODUÇÃO	3
2	QUESTÕES	4
	Questão 1	4
	Questão 2	6
	Questão 5	8
	Questão 6	10
	Questão 8	10
	Questão 11	16
	Questão 16	16
	Questão 17/18	22
	Questão 19	23
	Questão 21/22	24
	Questão 24	31
	Questão 25/26	32
	Questão 27	38
	Questão 28	39
	Questão 29	42
	REFERÊNCIAS	43

1 Introdução

Continuando a disciplina Projetos de Circuitos Integrados Analógicos (SEL0618), este experimento tem como objetivo introduzir o projeto de circuitos eletrônicos na forma de esquemáticos juntamente ao *layout* visto na disciplina SEL0618. Nesta disciplina, Projetos de Circuitos Integrados Digitais I (SEL0621), Verificou-se que as ferramentas da tecnologias AMS possui independência em desenvolver circuitos apenas através de esquemáticos (uma das formas de visualizar o projeto), além de oferecer a associação ao *layout* de uma célula para ajustes finos de projetos.

Por fim, realiza-se diversas simulações utilizando o ELDO MENTOR (CORPORATION, 2005) com EZWave para analisar parâmetros de projeto, além de averiguar as possíveis discrepâncias (também vista na ferramenta LVS) entre a performance do circuito (*cell*) em suas diferentes visualizações (*views*, como *layout*, *schematic* e *device*).

2 Questões

Questão 1: Considere a porta lógica CMOS estática que implementa a função lógica $\neg(ab+c)$ (o símbolo “ \neg ” indica negação). Determine as dimensões de todos os transistores.

Considerandos os critérios de dimensionamento:

1. (atraso de propagação na descida com $ABC = “110”$) = (atraso de propagação na descida com $ABC = “001”$) = (pior atraso de propagação na subida)
2. Todos os transistores PMOS tenham as mesmas dimensões. (deixe indicados os valores usados).
3. Tendo o transistor NMOS de menor dimensão um $W = 2,7 \mu\text{m}$ e $L = 0,35 \mu\text{m}$

Primeiramente, vale recordar as relações do atraso de propagação de subida e descida utilizadas no relatório 2 da disciplina Projetos de Circuitos Integrados Analógicos (SEL0618), esta relação é advinda das equações de corrente de dreno como exposto pela referência ([UNICAMP, 2021](#)) e ([KANG, 1998](#)) para o inversor CMOS, logo, temos as relações:

$$\begin{aligned} \text{subida} \rightarrow T_{pLH} &= \frac{1,6C_l}{c_{ox}\mu_p \frac{W_p}{L} VDD} = \frac{1,6C_l L}{c_{ox}\mu_p W_p VDD} \\ \text{descida} \rightarrow T_{pHL} &= \frac{1,6C_l}{c_{ox}\mu_n \frac{W_n}{L} VDD} = \frac{1,6C_l L}{c_{ox}\mu_n W_n VDD} \end{aligned} \quad (2.1)$$

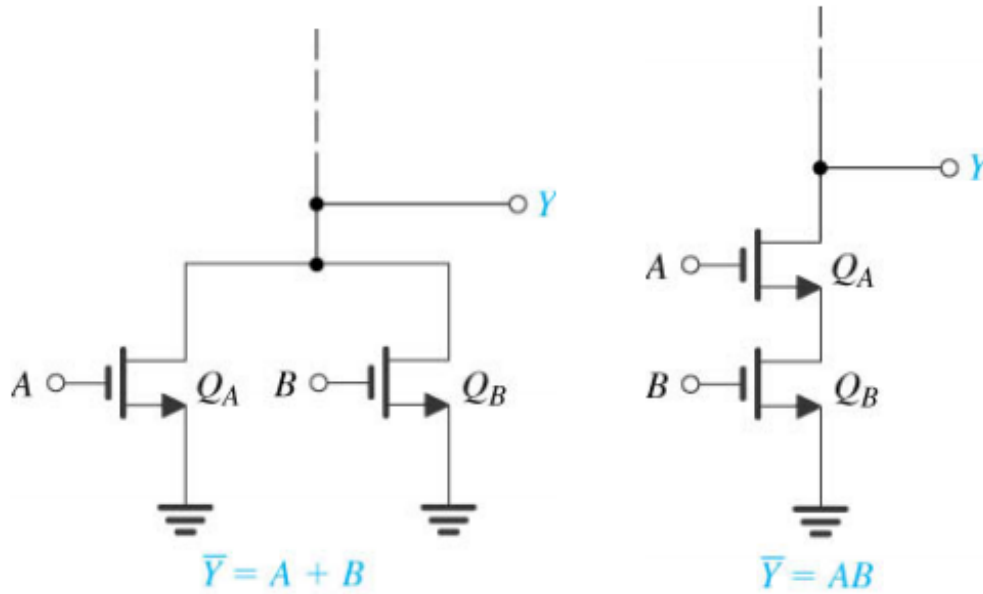
Destas relações obtemos a relação de W_n e W_p , como utilizada em relatórios da disciplina SEL0618:

$$W_p = W_n * 2,9365 \quad (2.2)$$

Com as equações 2.1 e 2.2, inciamos a exploração dos critérios de dimensionalidade disposta no enunciado, vale resaltar que antes de utilizar o tempo de atraso de propagação é necessário entender parte ou totalidade do circuito projetado na questão 2, principalmente as lógicas *AND* e *OR* exposto na figura 1.

Critério 1:

Com $ABC = 110 \rightarrow T_{pHLAB}$ e $ABC = 001 \rightarrow T_{pHLC}$, pelo critério 1, temos que $T_{pHLAB} = T_{pHLC}$, e, considerando a figura 1, temos que o comprimento de canal (L) de

Figura 1 – Rede *Pull-Down* para lógica *And* e *Or* invertido.

Fonte: Retidado do slide (SEABRA, 2021, .p 5)

dois transistores em série (AB) e dois transistores em paralelo ($AB + C$), como sendo, $2L_{AB} = L_C$, configura-se em parte da lógica será apresentado completamente na questão 2 obtido de antemão, logo com valor de L fixo temos a variação de W_n , como segue a expressão:

$$T_{phlAB} = T_{phlC} \rightarrow \frac{1,6C_l 2L_{AB}}{c_{ox}\mu_n W_n VDD} = \frac{1,6C_l L_C}{c_{ox}\mu_n W_n VDD} \Rightarrow \frac{2L}{W_{nAB}} = \frac{L}{W_{nC}}$$

portanto, temos que a relação de W_{nAB} e W_{nC} considerando que o resistor com W_n menor de valor $2,7 \mu m$, como:

$$2W_{nC} = W_{nAB} \Rightarrow W_{nC} = 2,7 \mu m; W_{nAB} = W_{nA} = W_{nB} = 5,4 \mu m$$

Critério 2:

Considerando que a lógica para o pior tempo de atraso de propagação na subida referente na atribuição de todas as entradas passarem a ser $ABC = 000$ obtendo valor 1 na saída, logo temos que:

$$T_{plhA} = T_{phlA}$$

Considerando que para o caso da rede *pull-Up* (??, .p 6) , teremos os transistores correspondente as parcelas A e B em paralelo, e esses em série com a parcela C, logo $(A+B)C$, correpondente a parcela *PULL-UP* da rede, portando, $W_{nA} + W_{nB} = 2W_p$ e $L_{AB} + LC = 2L$, o que mantem a proporção igual a 1 em W/L , desta forma, temos:

$$\frac{2W}{2L} = \frac{W}{L} \Rightarrow W_p = 2,9365W_{nA}$$

Por fim, considerando pelo **critério 3**, que todos os W_p são iguais assim como L, temos, resumidamente:

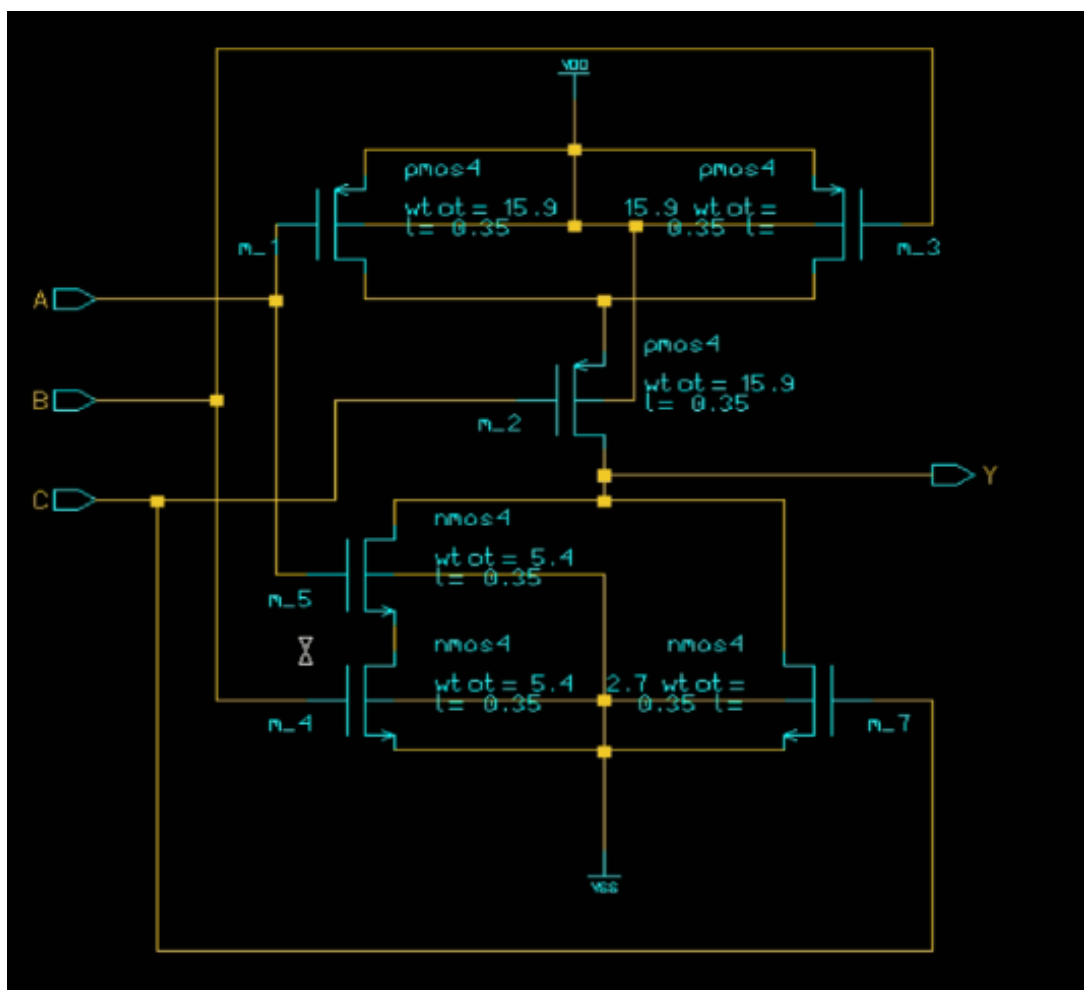
Tabela 1 – **Resumo** das dimensões para desempenhar a lógica e atender os critérios

Medida	dimensão [μm]
W_{nA}	5,4
W_{nB}	5,4
W_{nC}	2,7
$W_{pA} = W_{pB} = W_{pC}$	15,9
L	0,35

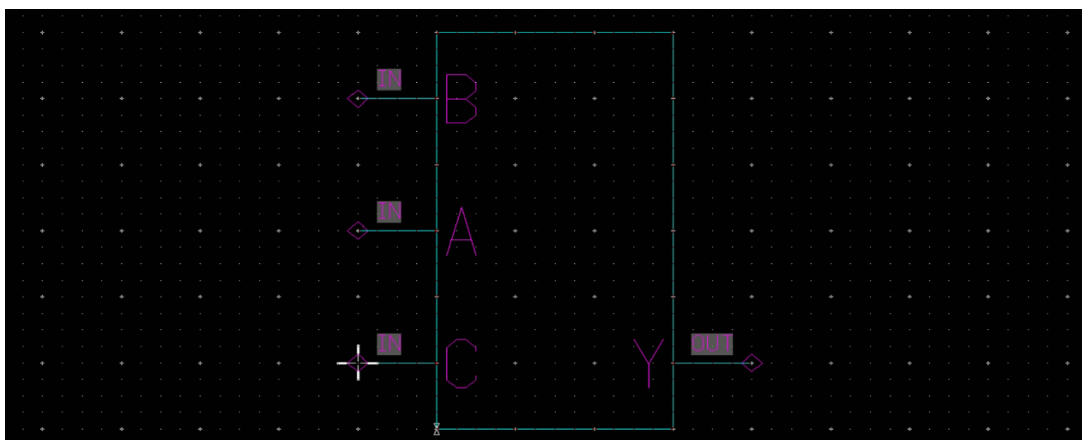
Fonte: Pelos próprios autores

Questão 2: Faça o circuito esquemático da porta CMOS e gere seu símbolo. Faça todas as verificações necessárias no esquemático e no símbolo não deixando nenhum erro ou warning. Não se esqueça de ligar o bulk dos transístores (mostrar o esquemático no relatório)

Apresenta-se a seguir o circuito projetado para desempenhar a lógica $\neg(ab+c)$, no qual foi utilizado uma rede pull-up e pull-down (como sugerido pela referencia ([SEABRA, 2021](#)) para obter menor latência de saída) seguindo como base inversores apresentados em ([UNICAMP, 2021](#)), temos o esquemático na figura 2, símbolo gerado na figura 3 e a verificação do esquemático e símbolo, respectivamente nas figuras 4 e 5.

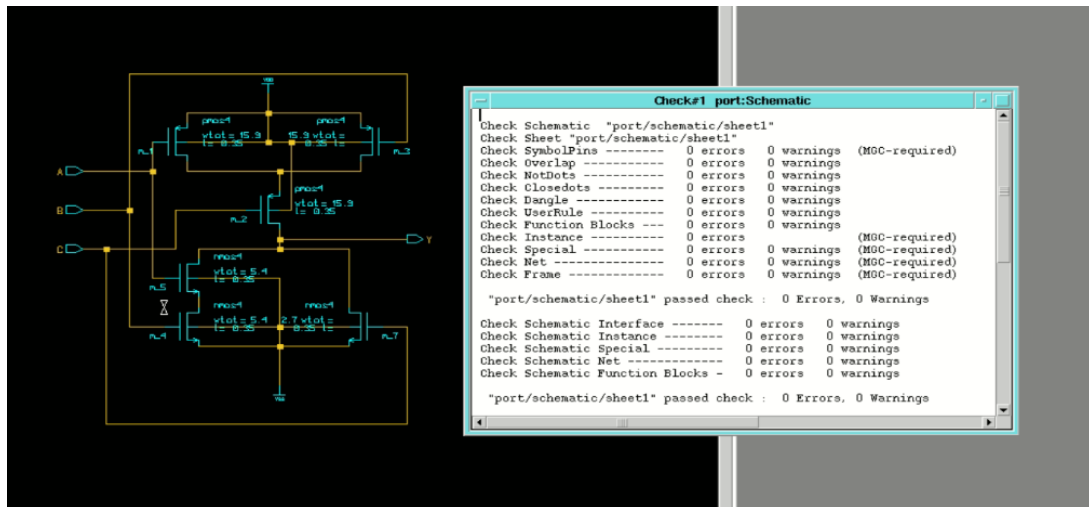
Figura 2 – Esquemática para lógica $\neg(ab+c)$ 

Fonte: Pelos próprios autores

Figura 3 – Símbolo gerado para o esquemático pelo **miscellaneous**

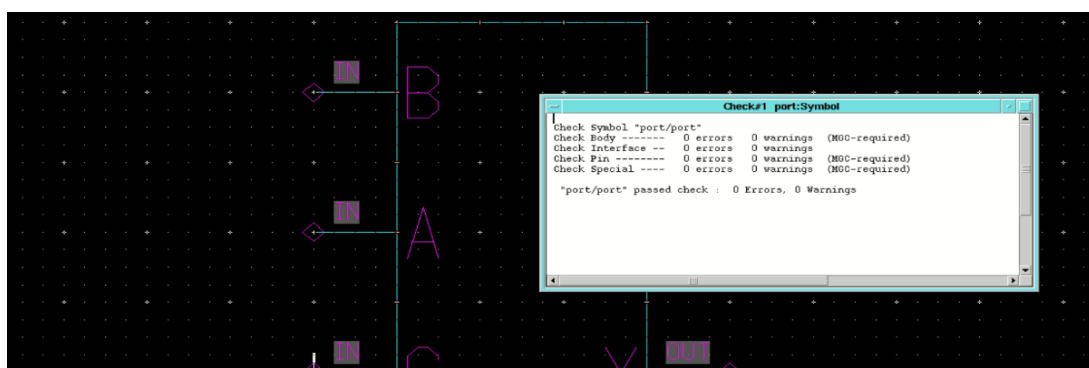
Fonte: Pelos próprios autores

Figura 4 – Verificação esquemática



Fonte: Pelos próprios autores

Figura 5 – Verificação símbolo



Fonte: Pelos próprios autores

Questão 5: Gere o netlist executando o comando apropriado na coluna à esquerda. Com outro comando nessa coluna, o ASCII Results, verifique os resultados na opção view netlist. Acrescente o netlist ao relatório

Nesta questão vemos uma maneira de gerar o netlist sem a decomposição em *layout* através da simulação de *device* intitulado "vpt_c35b4_device", clicando na ferramenta *view netlist*, temos:

Arquivo: port_vpt_c35b4_device.cir

```
* Component: $Q2/default.group/logic.views/port Viewpoint: vpt_c35b4_device
.INCLUDE port_vpt_c35b4_device.spi
.OPTION NOASCII
```



```
.OPTION MODWL
.OPTION ENGNOT
.OPTION AEX

* .CONNECT statements
.CONNECT GROUND 0

* ELDO netlist generated with ICnet by 'cad' on Tue Aug 17 2021 at 22:10:19

* Globals.
.global VDD VSS

* MAIN CELL: Component pathname : $Q2/default.group/logic.views/port
*
      M_7 Y C VSS VSS MODN w=2.700000e-06 l=3.500000e-07 as=2.295000e-12
+   ad=2.295000e-12 ps=4.400000e-06 pd=4.400000e-06 nrs=1.574074e-01
+   nrd=1.574074e-01
      M_2 Y C N$231 VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02
+   nrd=2.672956e-02
      M_1 N$231 A VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02
+   nrd=2.672956e-02
      M_5 Y A N$220 VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02
+   nrd=7.870370e-02
      M_4 N$220 B VSS VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02
+   nrd=7.870370e-02
      M_3 N$231 B VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02
+   nrd=2.672956e-02
*
.end
```

Questão 6: Como são calculadas as áreas e perímetros de dreno e source no circuito extraído pelo esquemático (relação usada)?

Assim como utilizado no relatório 4 da disciplina SEL0618, temos que o modelo `del_eldo35` possui parâmetros para caracterizar o transistor nos arquivos de simulação `eldo`, no qual podemos definir as áreas e perímetros partindo da largura do dreno e do source, então utilizamos as seguintes equações para realizar o cálculo:

$$Area = L \times W$$

$$Perimetro = 2 \times L + W$$

Questão 8: Apresente os gráficos da questão anterior e copie os comandos de medida e sinais de entrada que usou no ELDO.

Para determinar uma frequência de operação adequada para o bom funcionamento do circuito fizemos uso dos comandos de medida a seguir para analisar a frequência de operação adequada.

```
*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)
.meas tran MinZero find v(Y) when v(A)=2.9 fall=5
.meas tran MaxUm find v(Y) when v(A)=0.1 rise=5

*** Escursionando frequencia em busca da estável
.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
```

Optamos por operar com frequência de 0,2GHz para manter a relação tempo de atraso de propagação mais próximo possível do linear.

Para o pior cenário de temos o sinal de entrada **PULSE** para realizar a transição entre a lógica ABC com nível lógico 101 para 000, logo temos os gráficos de tempo de atraso de propagação para descida e subida, no qual para subida tratamos do pior caso.

Subida: lógica ABC com nível lógico 101 intercalada com 000:

Para executar essa operação executamos os comandos:

```
*** ABC = 101 -> 000 PIOR cenário
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
VinA A GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT A C
```

```
.CONNECT B VSS
```

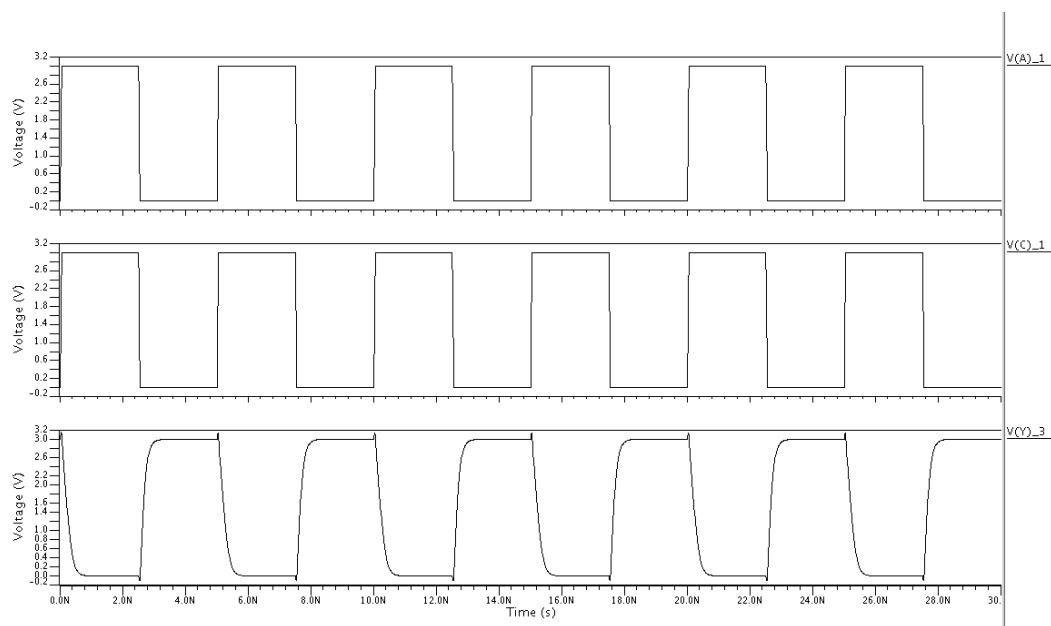
```
*** Tempo de propagacao de subida
```

```
.meas tran temposubida trig v(A) val=tensao/2 fall=5
```

```
+ targ v(Y) val=tensao/2 rise=5
```

Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 6.

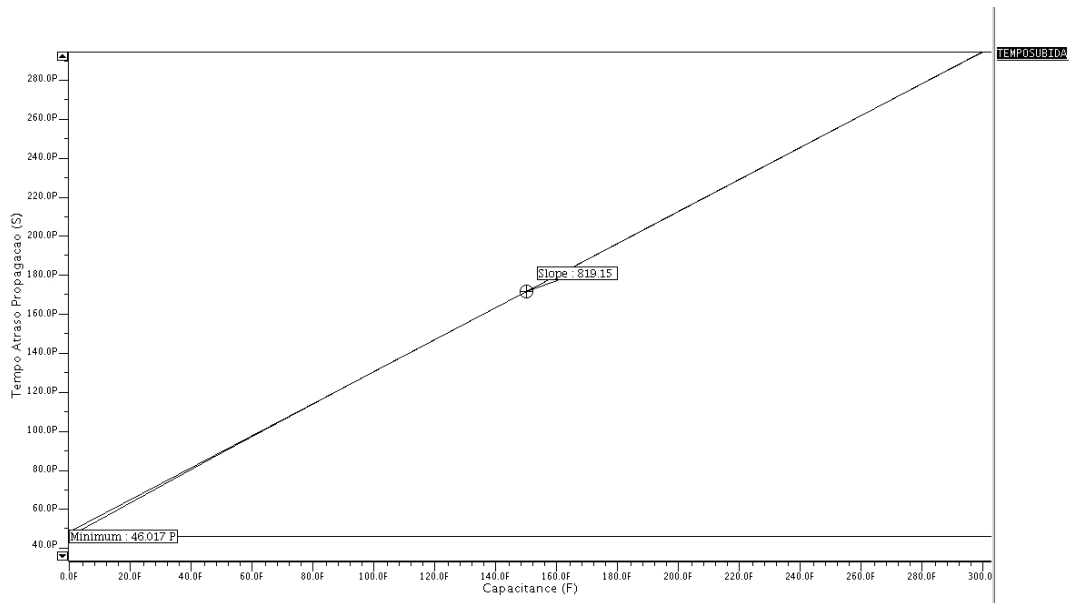
Figura 6 – As duas curvas de tensão de entrada A e C com tensão de saída para 150fF de capacitância de saída



Fonte: Pelos próprios autores

Com a frequência explorada prosseguimos para o excursionamento da capacitância de saída entre os valores 0 a 300 fF, esses valores são suficientes para inferir uma relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 7 e tabela 2.

Figura 7 – Curva tempo de atraso de propagação de propagação de subida versus capacitância na saída - Inclinação com *Slope* em 150fF



Fonte: Pelos próprios autores

Tabela 2 – Tabela com amostra da curva tempo de atraso de propagação de subida versus capacitância na saída

Capacitância Saída [fF]	Atraso na subida [pS]
0	46,02
50	89,21
100	130,80
150	171,95
200	212,91
250	253,74
300	294,46

Fonte: Pelos próprios autores

Descida: lógica ABC com nível lógico 110 intercalada com 000:

*** ABC = 110 -> 000 :: PIOR Subida conforme verificado na questao 2

*** 1% de tempo de propagacao de subida e decida PULSE

*VinA A GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)

*.CONNECT A B

*.CONNECT C VSS

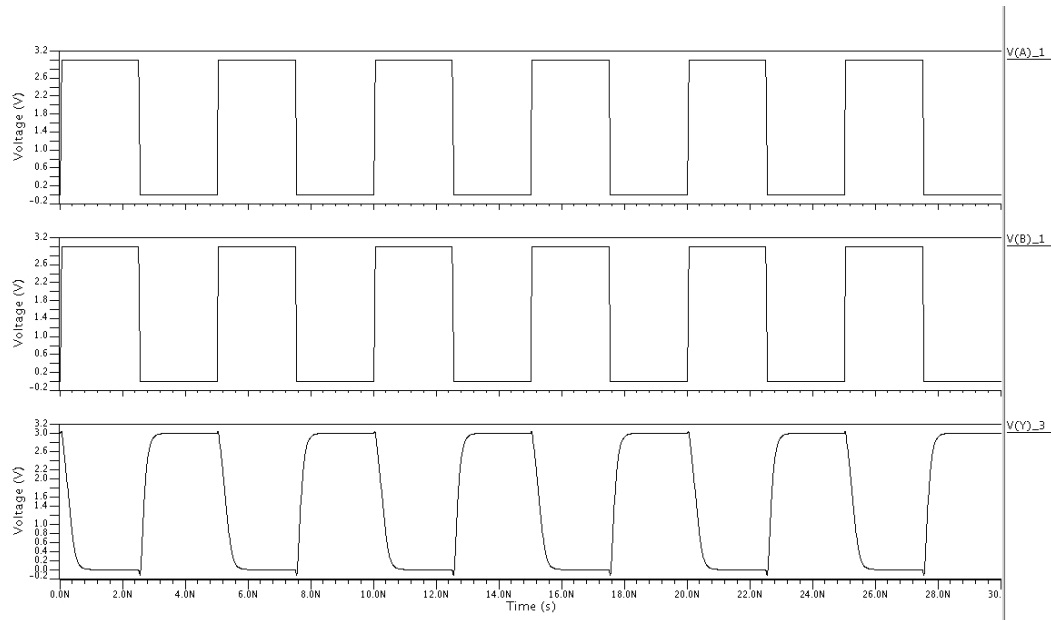
*** Tempo de propagacao de descida

*.meas tran tempodecida trig v(A) val=tensao/2 rise=5

+targ v(Y) val=tensao/2 fall=5

Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 8.

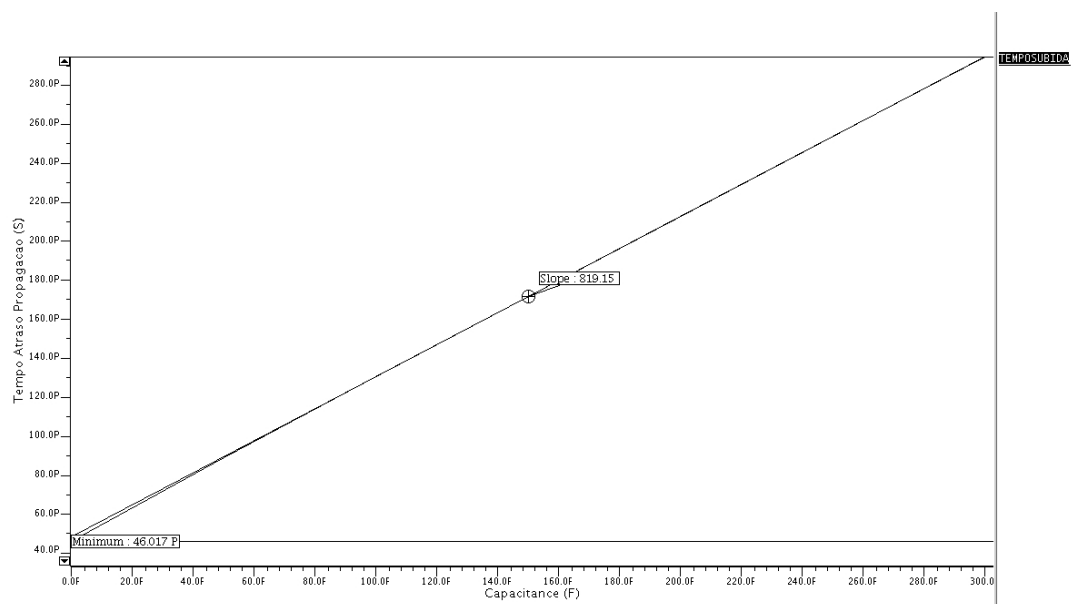
Figura 8 – As duas curvas de tensão de entrada A e B com tensão de saída para 150fF de capacitância de saída



Fonte: Pelos próprios autores

Como anteriormente, a relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 9 e tabela 3.

Figura 9 – Curva tempo de atraso de propagação de propagação de descida versus capacitância na saída - Inclinação com *Slope* em 150fF



Fonte: Pelos próprios autores

Assim como realizado para a lógica a cima temos, os comandos executados para tempo de atraso de propagação de subida:

Tabela 3 – Tabela com amostra da Curva tempo de atraso de propagação de descida versus capacitância na saída

Capacitância Saída [fF]	Atraso na descida [pS]
0	137,96
50	198,38
100	254,33
150	308,46
200	361,65
250	414,30
300	466,58

Fonte: Pelos próprios autores

Por fim, apresenta-se o código do arquivo completo com extensão **.SPI** e **.CIR**:

Arquivo: port_vpt_c35b4_device.cir

```
* Component: $Q2/default.group/logic.views/port Viewpoint: vpt_c35b4_device
*** Configuracao Simulacao
.option measDGT=8
.options ingold=1
*.option lis
.option hmax=0.01n

*** Include arquivo .cir
.INCLUDE port_vpt_c35b4_device.spi
.OPTION NOASCII
.OPTION MODWL
.OPTION ENGNOT
.OPTION AEX
```

Arquivo: port_vpt_c35b4_device.spi

```
* .CONNECT statements
*
.CONNECT GROUND 0
.include Model35_Eldo

* ELDO netlist generated with ICnet by 'cad' on Tue Aug 17 2021 at 22:10:19
```

```

* Globals.
.global VDD VSS
* MAIN CELL: Component pathname : $Q2/default.group/logic.views/port
*
      M_7 Y C VSS VSS MODN w=2.700000e-06 l=3.500000e-07 as=2.295000e-12
+   ad=2.295000e-12 ps=4.400000e-06 pd=4.400000e-06 nrs=1.574074e-01 nrd=1.574074e-01
      M_2 Y C N$231 VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02
      M_1 N$231 A VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02
      M_5 Y A N$220 VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02 nrd=7.870370e-02
      M_4 N$220 B VSS VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02 nrd=7.870370e-02
      M_3 N$231 B VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02

*** Parametro de frequencia de operacao
.Param F=0.2G P='1/F'
*** Escursionamento de capacitancia
.Param Ccout=50fF
*** Alimentacao Verificicada
.Param tensao=3v

*** Conectando subcircuito
Cout Y GROUND Ccout

*** Tensoes estabelecidas como base
Vdd VDD GROUND DC tensao
Vss VSS GROUND DC 0

*****
*** ABC = 110 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE
*** PIOR Subida conforme verificado na questao 2
*VinA A GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
*.CONNECT A B
*.CONNECT C VSS
*
*** Tempo de propagacao de descida
*.meas tran tempodecida trig v(A) val=tensao/2 rise=5 targ v(Y) val=tensao/2 fall=5
*****

```

```

*** ABC = 101 -> 000 PIOR cenário
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
VinA A GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT A C
.CONNECT B VSS

*** Tempo de propagacao de subida
.meas tran temposubida trig v(A) val=tensao/2 fall=5 targ v(Y) val=tensao/2 rise=5
*****
*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)
*.meas tran MinZero find v(Y) when v(A)=2.9 fall=5
*.meas tran MaxUm find v(Y) when v(A)=0.1 rise=5

*** Escursionando frequencia em busca da maxima
*.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
*****
.tran P '6*P' 0 'P/1000' sweep Cout INCR 50f 0f 300f
.probe tran ALL
.include Model35_Eldo
.end

```

Questão 11: Como se pode acrescentar aos *ports* VDD e VSS as regiões de *source* dos transistores sem transformarmos os transistores em *flatten*?

É possível acrescentar aos ports VDD e VSS as regiões de source aumentando as áreas dos ports, utilizando a camada MET1. Podemos fazer isso através do comando *route > run* e selecionando a camada MET1, depois adicionamos a camada de MET1 nos ports através do menu *Connectivity > Port > Add to Port*.

Questão 16: Uma vez feitas as verificações com DRC e LVS, caso não tenha sido encontrado nenhum erro, o layout estará pronto para uso. Agora, extraia o circuito de simulação a partir do layout (opção C+CC) e repita as simulações feitas no item 7. Apresente os gráficos com resultados (gere uma figura do layout e inclua no trabalho).

Neste item temos a replicação do item 7, com o intuito de verificar as curvas obtidas pelo *netlist* gerado a partir do layout, as principais diferenças entre os *netlists* gerados entre as fontes distintas (esquemático e *layout*) é a presença de capacitores parasitários e a formatação do circuito como um sub-circuito (*subckt*), com isso, temos a seguir o *netlist* gerado acrescido dos comandos de simulação do eldo idem ao item 7.

```
* File: port.pex.netlist
```



```

* Created: Fri Aug 27 02:19:15 2021
* Program "Calibre xRC"
* Version "v2006.2_16.16"
*** Configuracao Simulacao
.option measDGT=8
.options ingold=1
.option hmax=0.01n
*** Parametro de frequencia de operacao
.Param F=0.2G P='1/F'
*** Escursionamento de capacitancia
.Param Ccout=50fF
*** Alimentacao Verificicada
.Param tensao=3v
.global VDD VSS
*
.subckt PORT  B A C Y
*
mM0 3 B VSS VSS MODN L=3.5e-07 W=5.4e-06 AD=2.7e-12 AS=5.13e-12 PD=1e-06
+ PS=7.3e-06 NRD=0.0787037 NRS=0.0787037
mM1 Y A 3 VSS MODN L=3.5e-07 W=5.4e-06 AD=3.42e-12 AS=2.7e-12 PD=3.2e-06
+ PS=1e-06 NRD=0.0787037 NRS=0.0787037
mM2 VSS C Y VSS MODN L=3.5e-07 W=2.7e-06 AD=2.295e-12 AS=1.71e-12 PD=4.4e-06
+ PS=1.6e-06 NRD=0.157407 NRS=0.157407
mM3 VDD B 5 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.5105e-11 AS=1.3515e-11
+ PD=1.78e-05 PS=1.76e-05 NRD=0.0267296 NRS=0.0267296
mM4 5 A VDD VDD MODP L=3.5e-07 W=1.59e-05 AD=7.95e-12 AS=1.5105e-11 PD=1e-06
+ PS=1.78e-05 NRD=0.0267296 NRS=0.0267296
mM5 Y C 5 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.3515e-11 AS=7.95e-12 PD=1.76e-05
+ PS=1e-06 NRD=0.0267296 NRS=0.0267296
c_6 VDD 0 46.9013f
c_14 B 0 1.11945f
c_20 3 0 0.0348321f
c_28 A 0 1.13046f
c_34 5 0 0.0990634f
c_42 C 0 1.77679f
c_48 VSS 0 1.70078f
c_56 Y 0 1.00844f
*
.include "port.pex.netlist.PORT.pxi"
*
.ends PORT
*

```

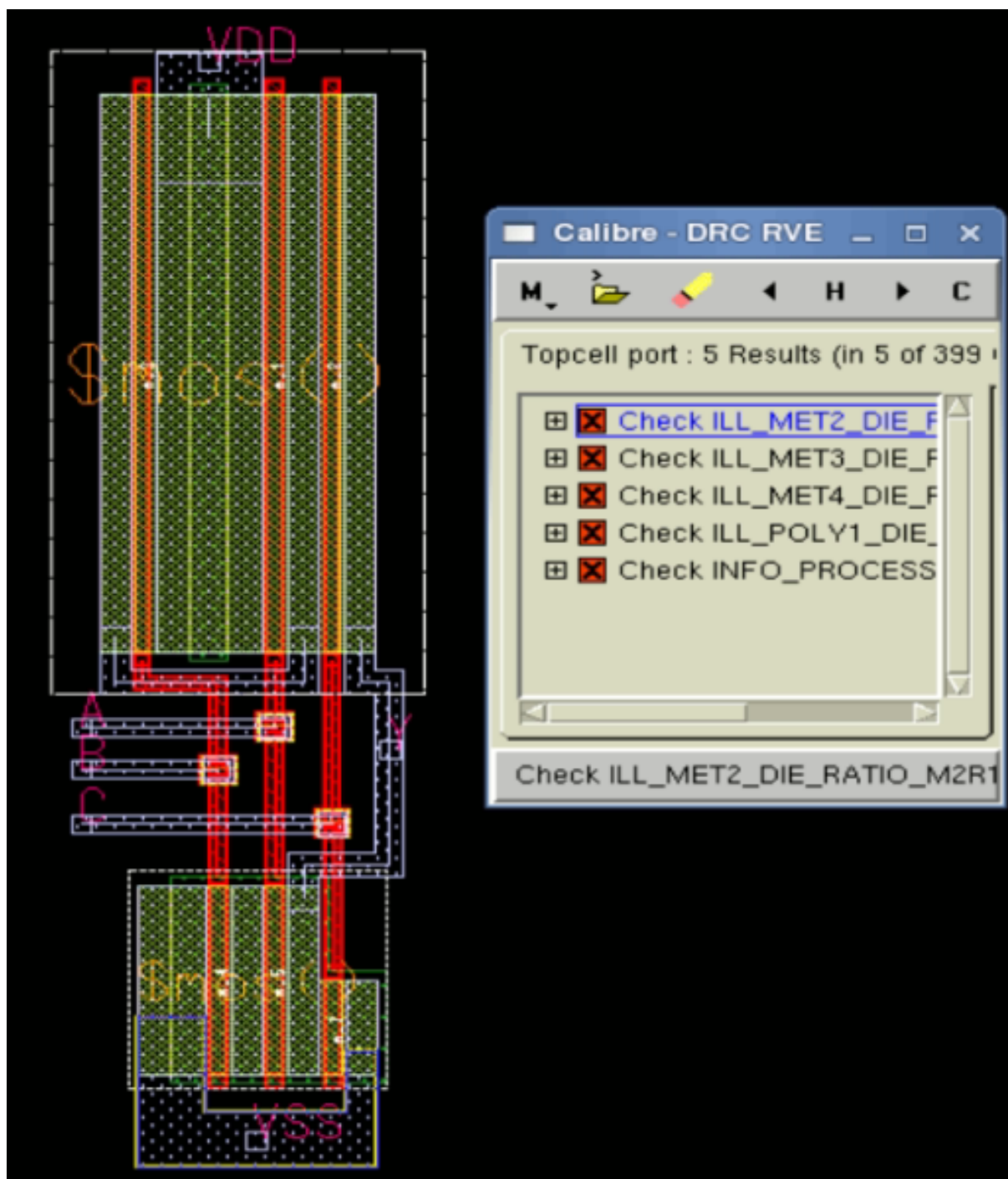
```

*** Conectando subcircuito
Xport inB inA inC out PORT
Cout out 0 Cout
*** Tensoes estabelecidas como base
Vdd VDD 0 DC tensao
Vss VSS 0 DC 0
*****
*** ABC = 110 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE
*** PIOR Subida conforme verificado na questao 2
VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT inA inB
.CONNECT inC VSS
*
*** Tempo de propagacao de decida
.meas tran tempodecida trig v(inA) val=tensao/2 rise=5 targ v(out) val=tensao/2 fall=5
*****
*** ABC = 101 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
*VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
*.CONNECT inA inC
*.CONNECT inB VSS
*** Tempo de propagacao de subida
*.meas tran temposubida trig v(inA) val=tensao/2 fall=5 targ v(out) val=tensao/2 rise=5
*****
*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)
*.meas tran MinZero find v(out) when v(inA)=2.9 fall=5
*.meas tran MaxUm find v(out) when v(inA)=0.1 rise=5
*** Escursionando frequencia em busca da maxima
*.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
*****
.tran P '6*P' 0 'P/1000' sweep Cout INCR 50f 0f 300f
.probe tran ALL
.include Model35_Eldo
.end

```

Ao completar os itens de 9 a 15 concluímos o layout baseado no esquemático para a porta lógica $\neg(ab+c)$ como apresentado na figura 10 acompanhado da janela DRC.

Figura 10 – Layout da porta lógica $\neg(ab+c)$ instanciado pelo esquemático ao lado do DRC



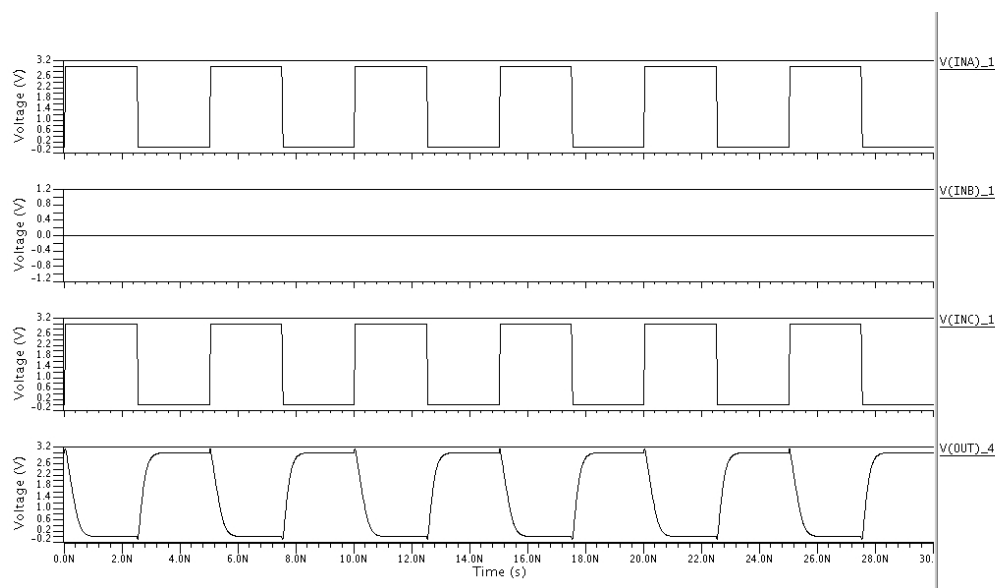
Fonte: Pelos próprios autores

Prosseguindo, assim como no item 7, devemos realizar a análise da relação do tempo de atraso de propagação de descida e subida versus capacitância de saída, logo determinamos seus correspondentes sinais pulsos intercalando os níveis lógicos de interesse para determinar os tempos para subida e descida.

Subida: lógica ABC com nível lógico 101 intercalada com 000:

Com a mesma frequência de operação do item 7 obtemos as seguinte curvas de tensão apresentada na figura 11.

Figura 11 – As três curvas de tensão de entrada inA, inB e inC com tensão de saída para 150fF de capacitância de saída (out)



Fonte: Pelos próprios autores

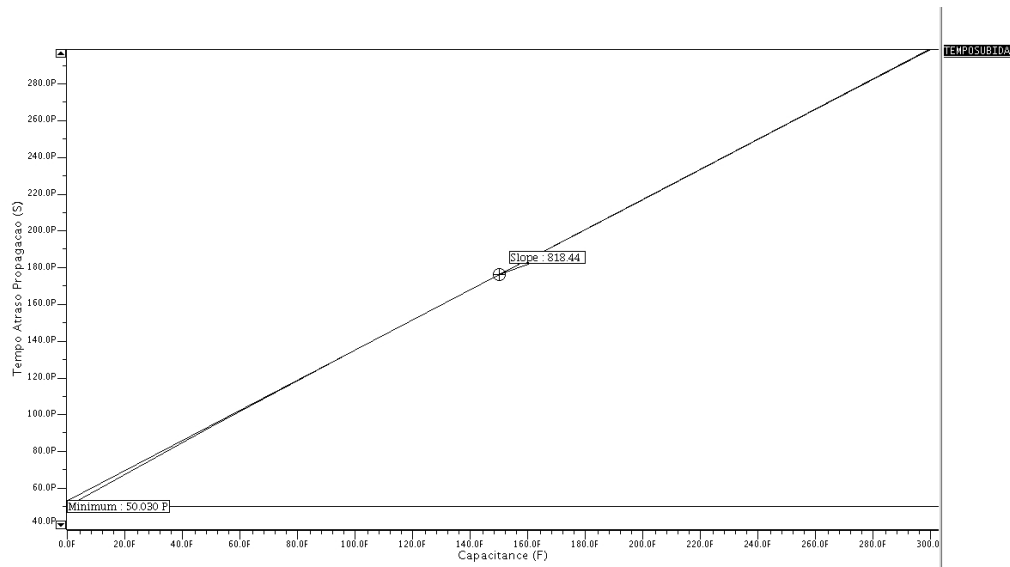
Já o excursionamento da capacitância de saída entre os valores 0 a 300 fF, esses valores são suficientes para inferir uma relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 12 e tabela 4.

Tabela 4 – Tabela com amostra da curva tempo de atraso de propagação de subida versus capacitância na saída

Capacitância Saída [fF]	Atraso na subida [pS]
50	93,53
100	135,16
150	176,28
200	217,20
250	258,02
300	298,73

Fonte: Pelos próprios autores

Figura 12 – Curva tempo de atraso de propagação de propagação de subida versus capacitância na saída - Inclinação com *Slope* em 150fF

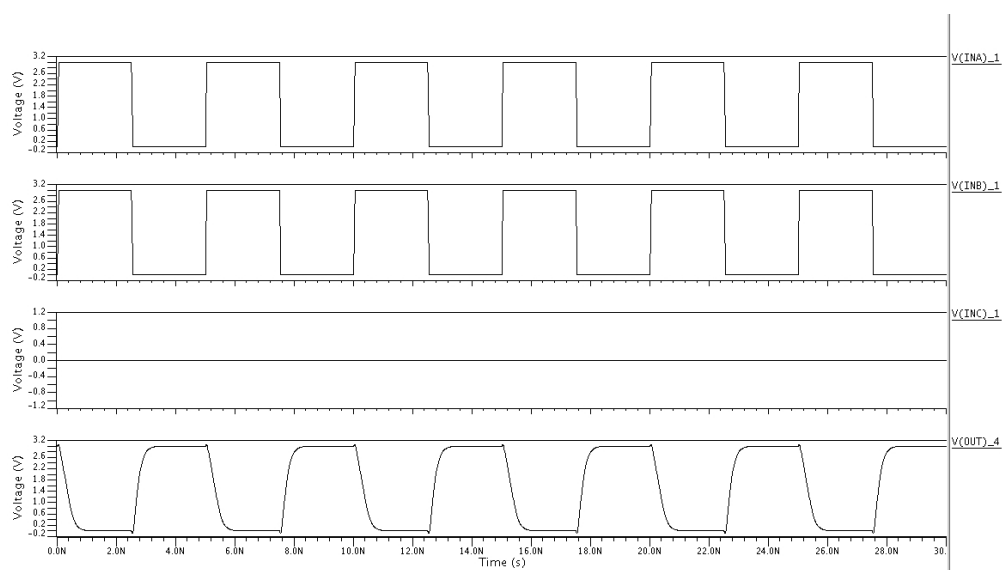


Fonte: Pelos próprios autores

Descida: lógica ABC com nível lógico 110 intercalada com 000:

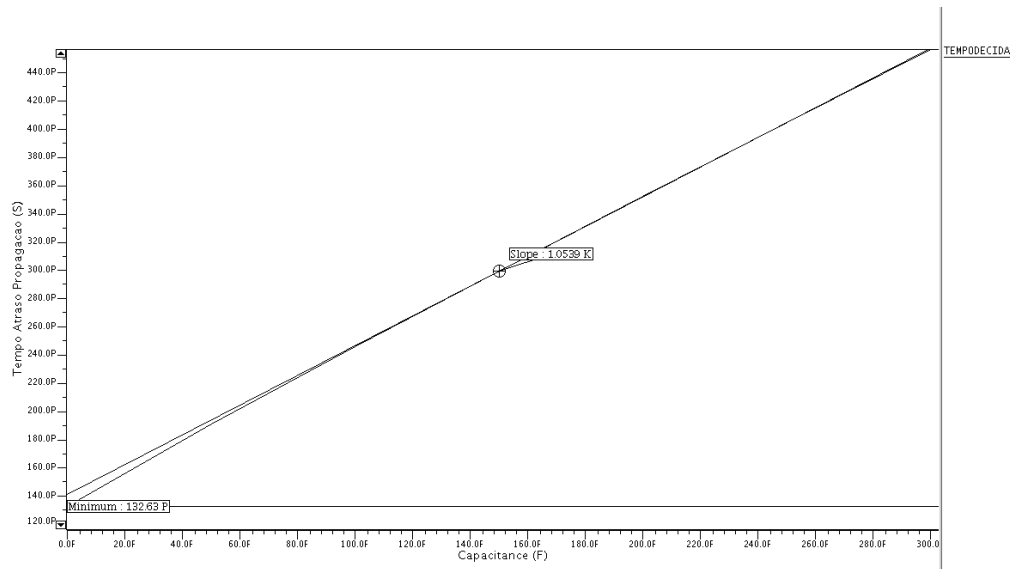
Assim como realizado para a lógica a cima temos as seguinte curvas de tensão apresentada na figura 13. Como anteriormente, a relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 14 e tabela 5.

Figura 13 – As três curvas de tensão de entrada A, B e C com tensão de saída para 150fF de capacitância de saída



Fonte: Pelos próprios autores

Figura 14 – Curva tempo de atraso de propagação de descida versus capacitância na saída - Inclinação com *Slope* em 150fF



Fonte: Pelos próprios autores

Tabela 5 – Tabela com amostra da Curva tempo de atraso de propagação de descida versus capacitância na saída

Capacitância Saída [fF]	Atraso na descida [pS]
50	191,37
100	246,28
150	299,71
200	352,40
250	404,68
300	456,68

Fonte: Pelos próprios autores

Questão 17/18: Para as curvas atraso de propagação na subida e descida versus carga, geradas a partir do layout, calcule as inclinações e o pontos de cruzamento com o eixo Y (eixo de tempo). Comente as diferenças entre os resultados encontrados nas questões 8 e 16/17? Dê as razões para elas.

Este item foi concatenado as questões 17 e 18 devido a utilização dos mesmos dados e representam a sumarização dos resultados encontrados nas itens 8 e 16, vale a ressalva que a inclinação da curvas de tempo de atraso de propagação versos carga de saída foram obtidas a partir da ferramenta “Slope” e o ponto de intersecção da curva com eixo Y pelo “Minimum”.

Ao verificar a tabela 6 observa-se que a diferença entre os *netlists* gerados em termos de tempo de atraso de propagação são ínfimos da ordem da dezena de pico segundo (ps) o que confirma a verificação *Layout Verse Schematic* (LVS) sem grandes discrepâncias

nas diversas formas de representar o mesmo circuito na tecnologia AMS.

Tabela 6 – Tabela comparativa do tempo de atraso de propagação versos a carga de saída para o *netlist* do esquemático e *layout*

Capacitância	Tempo de atraso de Propagação [ps]					
	Esquemático		Layout		Diferença Abs. Δ	
	Descida	Subida	Descida	Subida	Descida	Subida
0	137,96	46,02	132,63	50,03	5,33	4,01
50	198,38	89,21	191,37	93,54	7,01	4,33
100	254,33	130,80	246,28	135,16	8,05	4,36
150	308,46	171,95	299,71	176,28	8,75	4,33
200	361,65	212,91	352,40	217,20	9,25	4,29
250	414,30	253,74	404,68	258,02	9,62	4,28
300	466,58	294,46	456,68	298,73	9,90	4,27

Fonte: Pelos próprios autores

Também nota-se que a diferença absoluta do tempo de atraso de propagação de descida cresce linearmente proporcional a carga de saída o que não se repete ao tempo de atraso de propagação de subida, isso se deve a disposição dos elementos capacitivos parasitas obtidos pela **extração C + CC** do layout. Por fim, verificando a tabela 7 temos variações na ordem unitária o que reafirma a conclusão anterior.

Tabela 7 – Tabela comparativa do tempo de atraso de propagação versos a carga de saída para o *netlist* do esquemático e *layout*

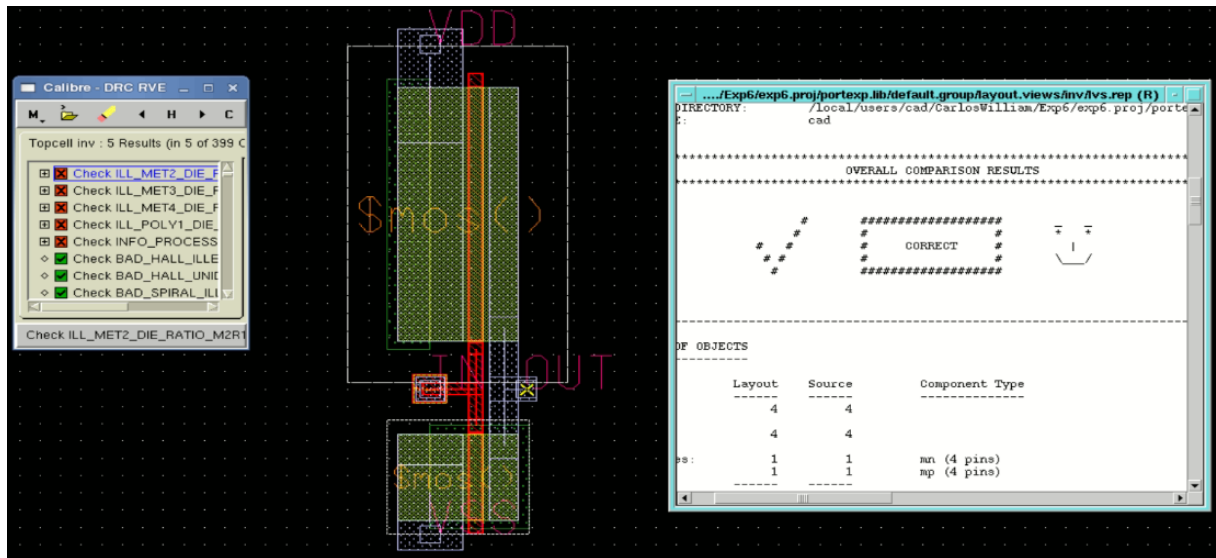
Métrica	Esquemático		Layout	
	Descida	Subida	Descida	Subida
Inclinação	1,064 K	0,819 K	1,054 K	0,818 K
Intersecção Y	137,96 ps	46,02 ps	132,63 ps	50,03 ps

Fonte: Pelos próprios autores

Questão 19: Faça um inversor com $W_N = 2,5\mu m$ e $L_N = 0,35\mu m$. Faça o esquemático, símbolo e layout. Passe as verificações no esquemático e símbolo. O layout deve ser feito com cuidado para ter área pequena, utilização correta de metais/poli e ports de tamanho conveniente. Passe o DRC no layout e faça o LVS deixando a célula pronta para uso. Acrescente ao relatório o layout feito.

Conforme solicitado foi feito o esquemático do inversor e simbolo para gerar por fim o layout, apresenta-se na figura 15 o *layout* do inversor, DRC e LVS.

Medidas do inversor : $W_N = 2,5\mu m$, $L_N = 0,35\mu m$ e $W_P = 7,35\mu m$.

Figura 15 – *Layout* instanciado a partir do esquemático, acompanhado do DRC e LVS

Fonte: Pelos próprios autores

Questão 21/22: Replique o item 7. Desenhe os gráficos da questão anterior e copie os comandos de medida e sinais de entrada que usou no ELDO.

Idem ao item 7 é preciso determinar uma frequência de operação adequada para o bom funcionamento do circuito fizemos uso dos comandos de medida a seguir para analisar a frequência de operação adequada.

*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)

```
.meas tran MinZero find v(Y) when v(A)=2.9 fall=5
```

```
.meas tran MaxUm find v(Y) when v(A)=0.1 rise=5
```

*** Escursionando frequencia em busca da estável

```
.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
```

Optamos por operar com frequência de 0,1GHz para manter a relação tempo de atraso de propagação mais próximo possível do linear.

Para o pior cenário de temos o sinal de entrada **PULSE** para realizar a transição entre a lógica ABC com nível lógico 101 para 000, logo temos os gráficos de tempo de atraso de propagação para descida e subida, no qual para subida tratamos do pior caso, e para este item diferente do item 7 temos a medida realizada por *rise* e *fall* para o sinal de saída e entrada pois a lógica é não invertida.

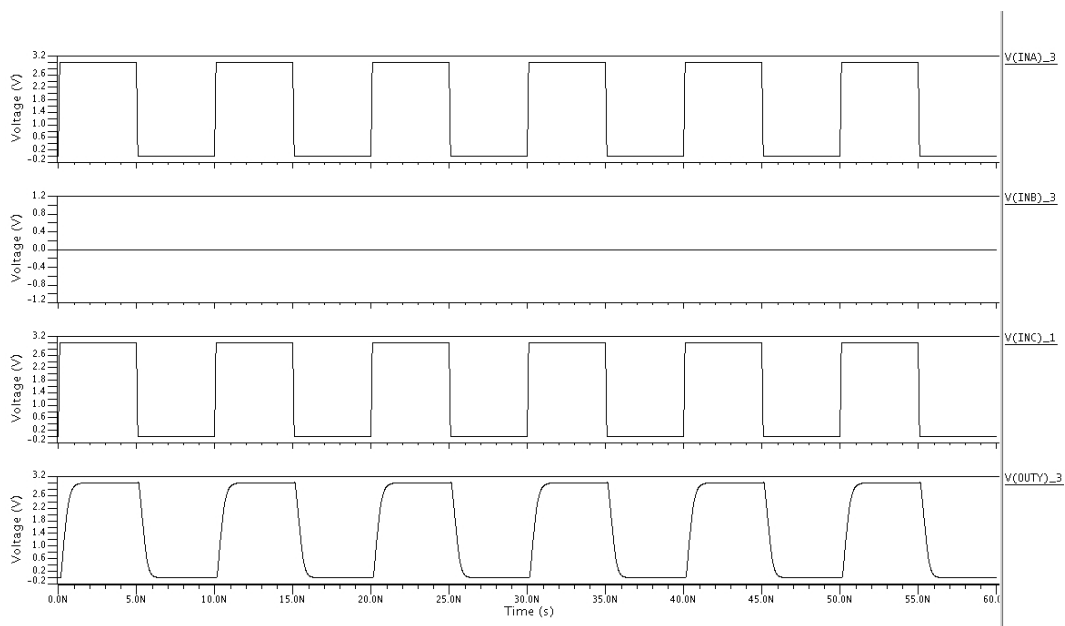
Subida: lógica ABC com nível lógico 101 intercalada com 000:

Para executar essa operação executamos os comandos:

```
*** ABC = 101 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
VinA INA GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT INA INC
VinB INB 0 0
*** Tempo de propagacao de subida
.meas tran temposubida trig v(INA) val=tensao/2 fall=5 targ v(OUTY) val=tensao/2 fa
```

Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 16.

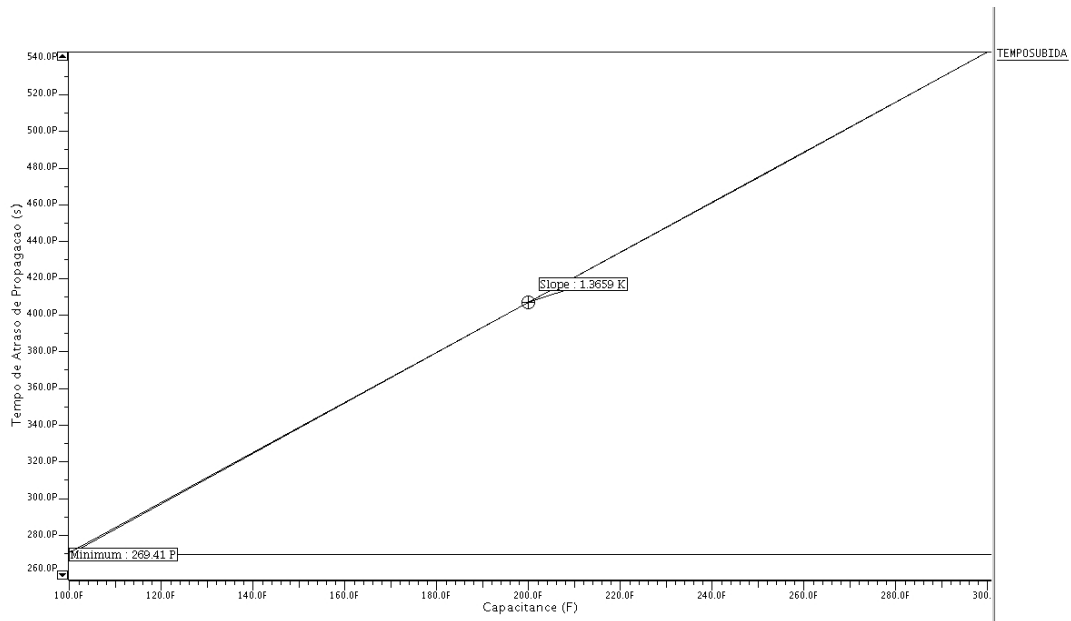
Figura 16 – As três curvas de tensão de entrada A, B e C com tensão de saída para 200fF de capacitância de saída



Fonte: Pelos próprios autores

Com a frequência explorada prosseguimos para o excursionamento da capacitância de saída entre os valores 100 a 300 fF, esses valores são suficientes para inferir uma relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 17 e tabela 8.

Figura 17 – Curva tempo de atraso de propagação de propagação de subida versus capacitância na saída - Inclinação com *Slope* em 200fF



Fonte: Pelos próprios autores

Tabela 8 – Tabela com amostra da curva tempo de atraso de propagação de subida versus capacitância na saída

Capacitância Saída [fF]	Atraso na subida [pS]
100	269,51
150	338,32
200	406,76
250	475,05
300	543,29

Fonte: Pelos próprios autores

Descida: lógica ABC com nível lógico 110 intercalada com 000:

Assim como realizado para a lógica a cima temos, os comandos executados para tempo de atraso de propagação de subida:

```
*** ABC = 110 -> 000
```

```
*** 1% de tempo de propagacao de subida e decida PULSE
```

```
*** PIOR Subida conforme verificado na questao 2
```

```
*VinA INA GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
```

```
*.CONNECT INA INB
```

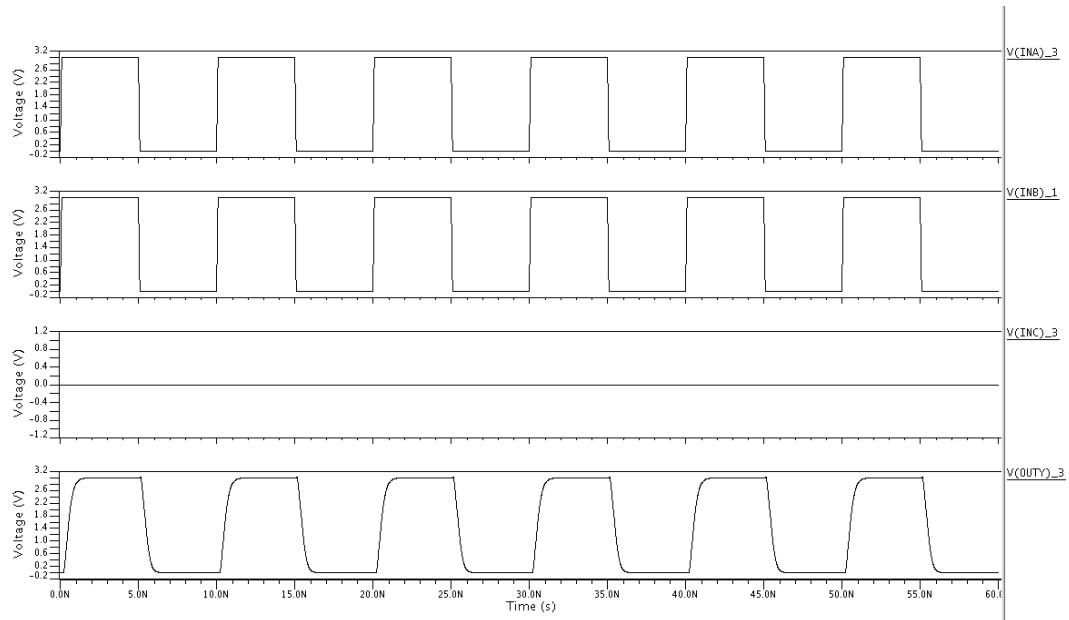
```
*VinC INC 0 0
```

```
*** Tempo de propagacao de descida
```

```
*.meas tran tempodescida trig v(INA) val=tensao/2 rise=5 targ v(OUTY) val=tensao/2
```

Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 18.

Figura 18 – As três curvas de tensão de entrada A, B e C com tensão de saída para 200fF de capacitância de saída



Fonte: Pelos próprios autores

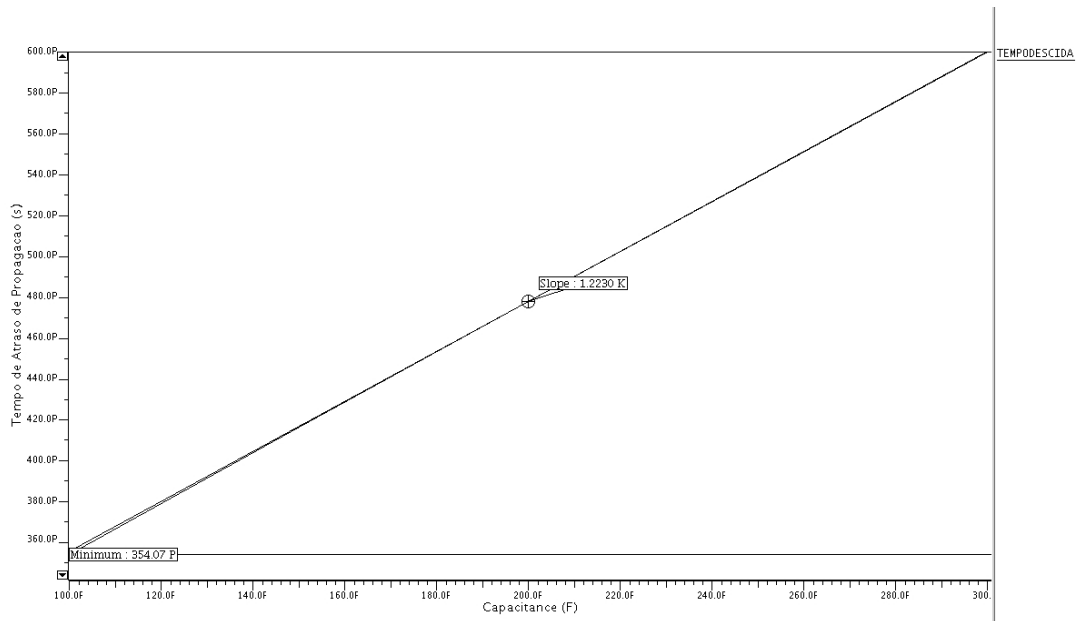
Como anteriormente, a relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 19 e tabela 9.

Tabela 9 – Tabela com amostra da Curva tempo de atraso de propagação de descida versus capacitância na saída

Capacitância Saída [fF]	Atraso na descida [pS]
100	354,07
150	416,62
200	478,21
250	539,36
300	600,28

Fonte: Pelos próprios autores

Figura 19 – Curva tempo de atraso de propagação de propagação de descida versus capacitância na saída - Inclinação com *Slope* em 200fF



Fonte: Pelos próprios autores

Por fim, apresenta-se o código do arquivo completo com extensão **.SPI** e **.CIR**:

Arquivo: port_vpt_c35b4_device.cir

```
* Component: $portexp/default.group/logic.views/novofinal Viewpoint: vpt_c35b4_dev
*** Configuracao Simulacao
.option measDGT=8
.options ingold=1
*.option lis
.option hmax=0.01n

*** Include arquivo .cir
.INCLUDE novofinal_vpt_c35b4_device.spi
.OPTION NOASCII
.OPTION MODWL
.OPTION ENGNOT
.OPTION AEX
```

Arquivo: port_vpt_c35b4_device.spi

```
* .CONNECT statements
```

```
.CONNECT GROUND 0
.include Model35_Eldo
* ELDO netlist generated with ICnet by 'cad' on Thu Sep  9 2021 at 01:26:58
* Globals.
.global VDD VSS

* Component pathname : $portexp/default.group/logic.views/port

.subckt PORT  Y A B C

    M_7 Y C VSS VSS MODN w=2.700000e-06 l=3.500000e-07 as=2.295000e-12
+   ad=2.295000e-12 ps=4.400000e-06 pd=4.400000e-06 nrs=1.574074e-01 nrd=1.574074e-01
    M_2 Y C N$231 VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02
    M_1 N$231 A VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02
    M_5 Y A N$220 VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02 nrd=7.870370e-02
    M_4 N$220 B VSS VSS MODN w=5.400000e-06 l=3.500000e-07 as=4.590000e-12
+   ad=4.590000e-12 ps=7.100000e-06 pd=7.100000e-06 nrs=7.870370e-02 nrd=7.870370e-02
    M_3 N$231 B VDD VDD MODP w=1.590000e-05 l=3.500000e-07 as=1.351500e-11
+   ad=1.351500e-11 ps=1.760000e-05 pd=1.760000e-05 nrs=2.672956e-02 nrd=2.672956e-02
.ends PORT

* Component pathname : $portexp/default.group/logic.views/inv

.subckt INV  OUT IN

    M_2 OUT IN VDD VDD MODP w=7.350000e-06 l=3.500000e-07 as=6.247500e-12
+   ad=6.247500e-12 ps=9.050000e-06 pd=9.050000e-06 nrs=5.782313e-02 nrd=5.782313e-02
    M_1 OUT IN VSS VSS MODN w=2.500000e-06 l=3.500000e-07 as=2.125000e-12
+   ad=2.125000e-12 ps=4.200000e-06 pd=4.200000e-06 nrs=1.700000e-01 nrd=1.700000e-01
.ends INV

* MAIN CELL: Component pathname : $portexp/default.group/logic.views/novofinal
    X_PORT2 N$207 INA INB INC PORT
    X_INV2 OUTY N$207 INV

*** Parametro de frequencia de operacao
.Param F=0.1G P='1/F'
*** Escursionamento de capacitancia
.Param Ccout=100fF
*** Alimentacao Verificada
.Param tensao=3v
```

```

*** Conectando subcircuito
Cout OUTY GROUND Ccout
*** Tensoes estabelecidas como base
Vdd VDD GROUND DC tensao
Vss VSS GROUND DC 0

*****
*** ABC = 110 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE
*** PIOR Subida conforme verificado na questao 2
*VinA INA GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
*.CONNECT INA INB
*VinC INC 0 0
*
*** Tempo de propagacao de descida
*.meas tran tempodescida trig v(INA) val=tensao/2 rise=5 targ v(OUTY) val=tensao/2 rise=5

*****
*** ABC = 101 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
VinA INA GROUND PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT INA INC
VinB INB 0 0

*** Tempo de propagacao de subida
.meas tran temposubida trig v(INA) val=tensao/2 fall=5 targ v(OUTY) val=tensao/2 fall=5
*****

*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)
*.meas tran MinZero find v(OUTY) when v(INA)=2.9 fall=5
*.meas tran MaxUm find v(OUTY) when v(INA)=0.1 rise=5
*** Escursionando frequencia em busca da maxima
*.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
*****

.tran P '6*P' 0 'P/1000' sweep Cout INCR 50f 100f 300f

.probe tran ALL
.include Model35_Eldo
.end

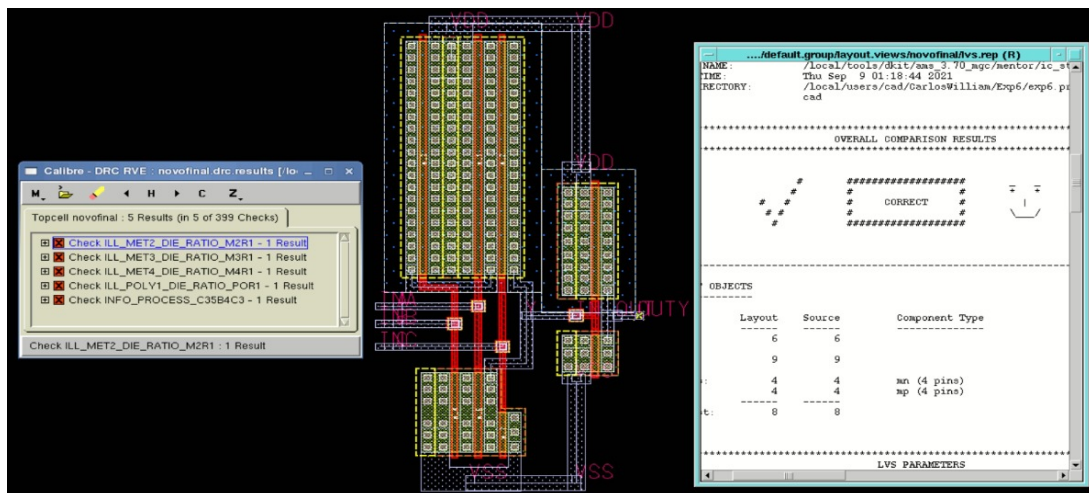
```

Contudo, verifica-se que as relações de tempo de atraso de propagação versus a carga na saída, não diferenciou-se em relação a utilização da porta com lógica $\neg(ab+c)$ contra sua reutilização no circuito correspondente a lógica $(ab+c)$, porém é notável a contribuição no impacto destas relações com o acréscimo do circuito inversor.

Questão 24: Termine layout da célula, passe o DRC e faça o LVS. Gere uma figura do layout mostrando todos os níveis e inclua no trabalho.

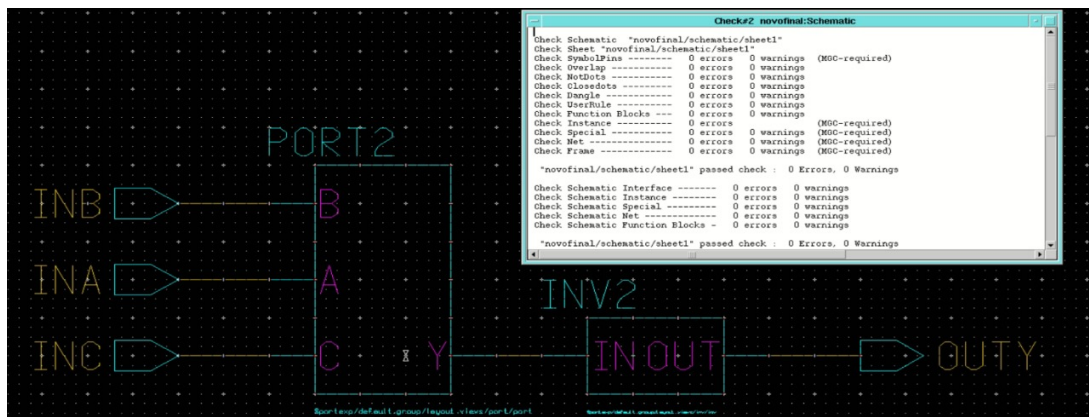
Conforme solicitado é disposto na figura 20 o *layout* gerado a partir do esquemático (disposto na figura 21).

Figura 20 – *Layout* a partir do esquemático para desempenhar a lógica $(ab+c)$



Fonte: Pelos próprios autores

Figura 21 – Esquemático para desempenhar a lógica $(ab+c)$



Fonte: Pelos próprios autores

Questão 25/26: Agora extraia o circuito de simulação a partir do layout (opção C+CC) e repita as simulações feitas no item 22. Apresente gráficos e tabelas com os resultados. Para as curvas tempo de propagação na subida e descida geradas a partir do layout, calcule as inclinações e os pontos de cruzamento com o eixo Y (eixo de tempo).

Idem aos itens 7, 8, 16, 18, 21 e 22 é preciso determinar uma frequência de operação adequada para o bom funcionamento do circuito fizemos uso dos comandos de medida a seguir para analisar a frequência de operação adequada.

*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)

```
.meas tran MinZero find v(Y) when v(A)=2.9 fall=5
```

```
.meas tran MaxUm find v(Y) when v(A)=0.1 rise=5
```

*** Escursionando frequencia em busca da estável

```
.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
```

Optamos por operar com frequência de 0,1GHz para manter a relação tempo de atraso de propagação mais próximo possível do linear.

Para o pior cenário de temos o sinal de entrada **PULSE** para realizar a transição entre a lógica ABC com nível lógico 101 para 000, logo temos os gráficos de tempo de atraso de propagação para descida e subida, no qual para subida tratamos do pior caso.

Subida: lógica ABC com nível lógico 101 intercalada com 000:

Para executar essa operação executamos os comandos:

*** ABC = 101 -> 000

*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110

*** PIOR Subida conforme verificado na questao 2

```
VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
```

```
.CONNECT inA inC
```

```
.CONNECT inB VSS
```

*** Tempo de propagacao de subida

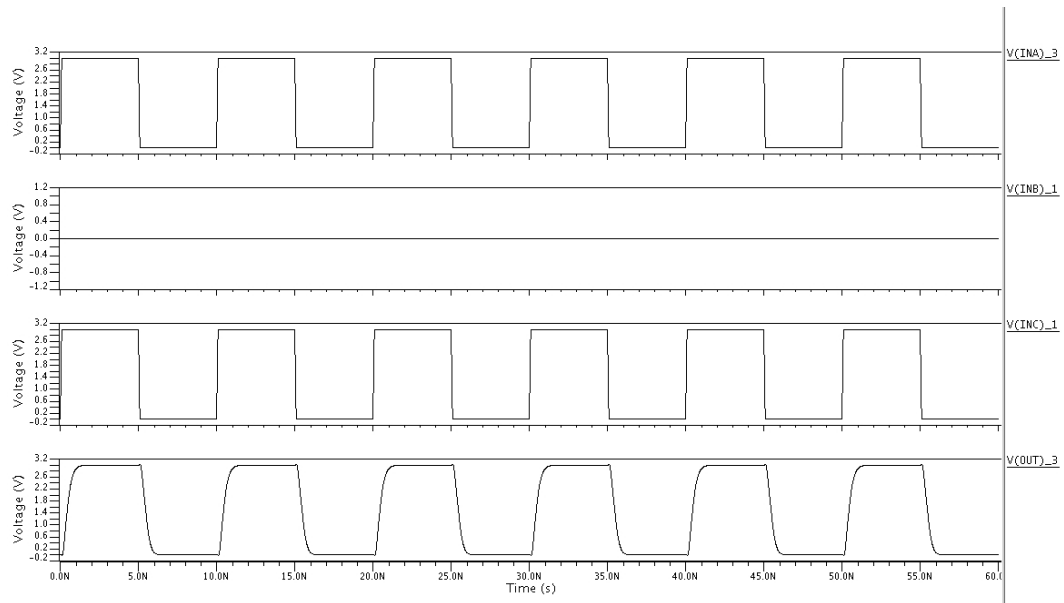
```
.meas tran temposubida trig v(inA) val=tensao/2
```

```
+fall=5 targ v(out) val=tensao/2 fall=5
```

Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 22.

Com a frequência explorada prosseguimos para o excursionamento da capacitância de saída entre os valores 100 a 300 fF, esses valores são suficientes para inferir uma relação

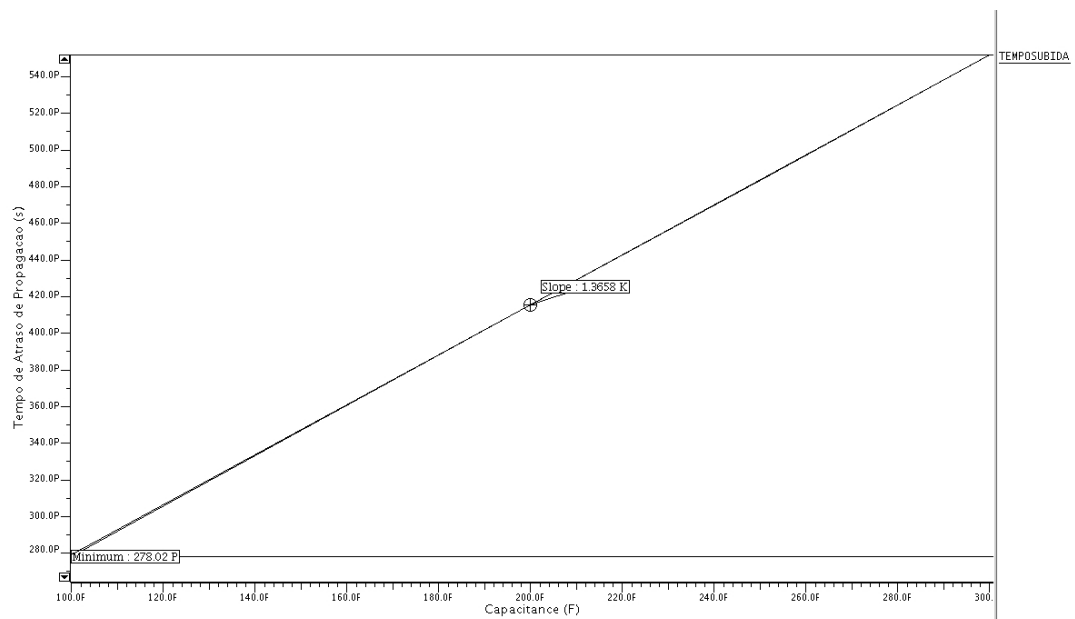
Figura 22 – As três curvas de tensão de entrada A, B e C com tensão de saída para 200fF de capacitância de saída



Fonte: Pelos próprios autores

linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 23 e tabela 10.

Figura 23 – Curva tempo de atraso de propagação de propagação de subida versus capacitância na saída - Inclinação com *Slope* em 200fF



Fonte: Pelos próprios autores

Tabela 10 – Tabela com amostra da curva tempo de atraso de propagação de subida versus capacitância na saída

Capacitância Saída [fF]	Atraso na subida [pS]
100	278,02
150	346,90
200	415,33
250	483,62
300	551,86

Fonte: Pelos próprios autores

Descida: lógica ABC com nível lógico 110 intercalada com 000:

Assim como realizado para a lógica a cima temos, os comandos executados para tempo de atraso de propagação de descida:

```

*** ABC = 110 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE
*** PIOR Subida conforme verificado na questao 2
*VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
*.CONNECT inA inB
*.CONNECT inC VSS
*** Tempo de propagacao de descida
*.meas tran tempodescida trig v(inA) val=tensao/2
+rise=5 targ v(out) val=tensao/2 rise=5

```

Como anteriormente, a relação linear entre capacitância de saída e tempo de atraso de propagação, como visto na figura 24 e tabela 11.

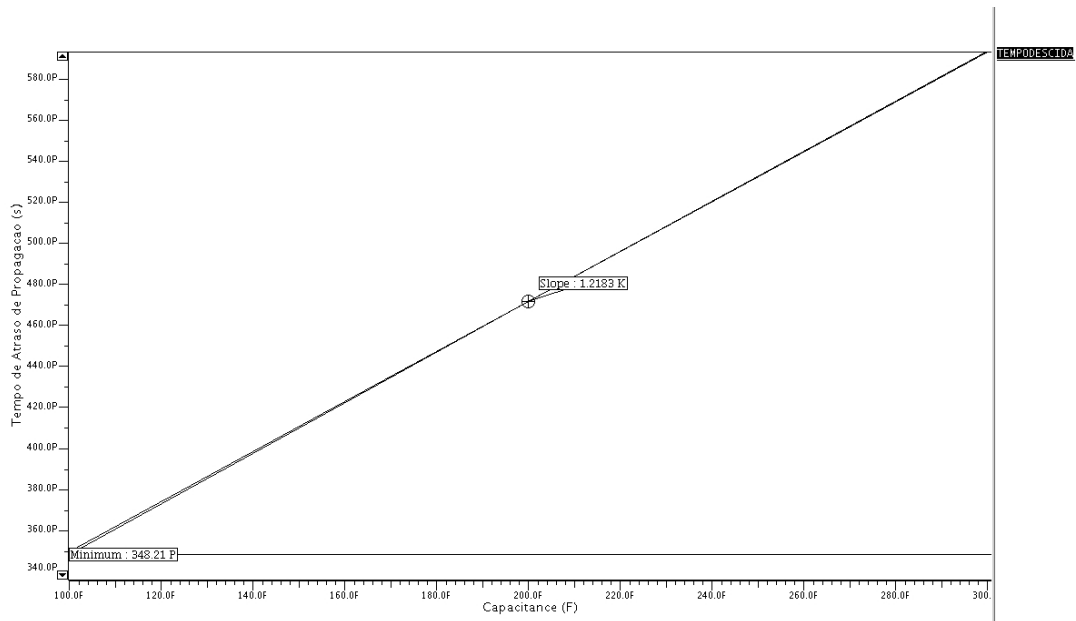
Tabela 11 – Tabela com amostra da Curva tempo de atraso de propagação de descida versus capacitância na saída

Capacitância Saída [fF]	Atraso na descida [pS]
100	348,21
150	410,20
200	471,43
250	532,34
300	593,09

Fonte: Pelos próprios autores

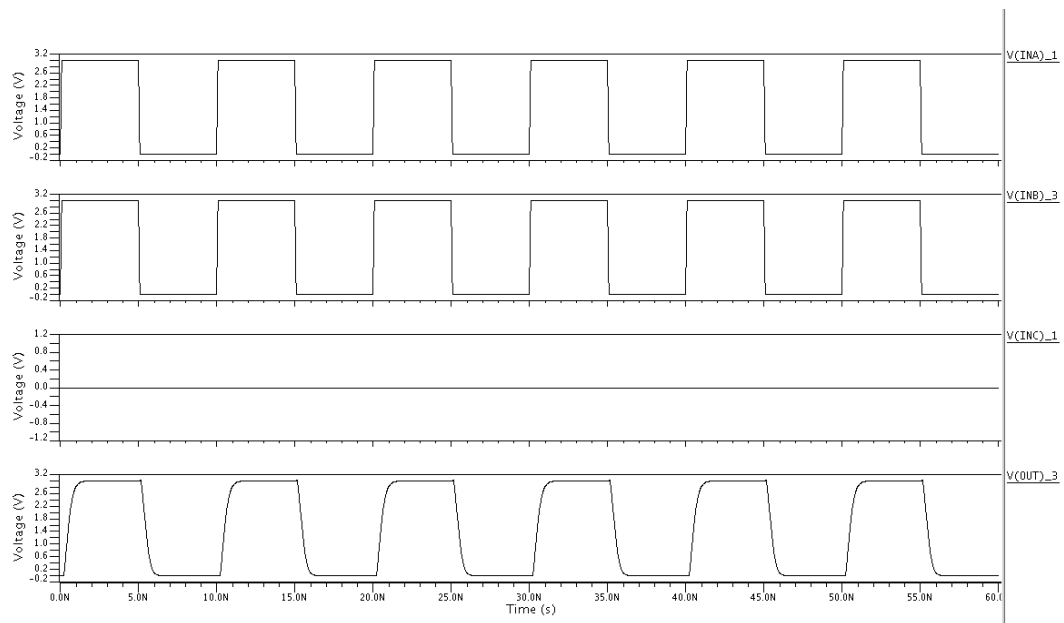
Explorando a frequência de operação obtemos as seguinte curvas de tensão apresentada na figura 25.

Figura 24 – Curva tempo de atraso de propagação de propagação de descida versus capacitância na saída - Inclinação com *Slope* em 200fF



Fonte: Pelos próprios autores

Figura 25 – As três curvas de tensão de entrada A, B e C com tensão de saída para 200fF de capacitância de saída



Fonte: Pelos próprios autores

Por fim, apresenta-se o código do arquivo completo:

```
*** Configuracao Simulacao
.option measDGT=8
```

```

.options ingold=1
.option hmax=0.01n

*** Parametro de frequencia de operacao
.Param F=0.1G P='1/F'
*** Escursionamento de capacitancia
.Param Ccout=100fF
*** Alimentacao Verificicada
.Param tensao=3v
.global VDD VSS

.subckt NOVOFINAL  INB INA INC OUTY
*
mM0 2 INB VSS VSS MODN L=3.5e-07 W=5.4e-06 AD=2.7e-12 AS=5.13e-12 PD=1e-06
+ PS=7.3e-06 NRD=0.0787037 NRS=0.0787037
mM1 6 INA 2 VSS MODN L=3.5e-07 W=5.4e-06 AD=3.42e-12 AS=2.7e-12 PD=3.2e-06
+ PS=1e-06 NRD=0.0787037 NRS=0.0787037
mM2 VSS INC 6 VSS MODN L=3.5e-07 W=2.7e-06 AD=2.295e-12 AS=1.71e-12 PD=4.4e-06
+ PS=1.6e-06 NRD=0.157407 NRS=0.157407
mM3 OUTY 6 VSS VSS MODN L=3.5e-07 W=2.5e-06 AD=2.125e-12 AS=2.375e-12
+ PD=4.2e-06 PS=4.4e-06 NRD=0.17 NRS=0.17
mM4 VDD INB 4 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.5105e-11 AS=1.3515e-11
+ PD=1.78e-05 PS=1.76e-05 NRD=0.0267296 NRS=0.0267296
mM5 4 INA VDD VDD MODP L=3.5e-07 W=1.59e-05 AD=7.95e-12 AS=1.5105e-11 PD=1e-06
+ PS=1.78e-05 NRD=0.0267296 NRS=0.0267296
mM6 6 INC 4 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.3515e-11 AS=7.95e-12
+ PD=1.76e-05 PS=1e-06 NRD=0.0267296 NRS=0.0267296
mM7 OUTY 6 VDD VDD MODP L=3.5e-07 W=7.35e-06 AD=6.2475e-12 AS=6.9825e-12
+ PD=9.05e-06 PS=9.25e-06 NRD=0.0578231 NRS=0.0578231
c_8 INB 0 1.17811f
c_14 2 0 0.0348321f
c_22 INA 0 1.21674f
c_28 4 0 0.0990634f
c_36 INC 0 1.86812f
c_45 6 0 1.60737f
c_53 VSS 0 3.17723f
c_61 VDD 0 61.8556f
c_65 OUTY 0 0.479063f
*
.include "novofinal.pex.netlist.NOVOFINAL.pxi"
*
.ends NOVOFINAL

```

```

*
*** Conectando subcircuito
Xport inB inA inC out NOVOFINAL
Cout out 0 Ccout
*** Tensoes estabelecidas como base
Vdd VDD 0 DC tensao
Vss VSS 0 DC 0

*****
*** ABC = 110 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE
*** PIOR Subida conforme verificado na questao 2
*VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
*.CONNECT inA inB
*.CONNECT inC VSS
*
*** Tempo de propagacao de descida
*.meas tran tempodescida trig v(inA) val=tensao/2 rise=5 targ v(out) val=tensao/2 rise=5
*****
*** ABC = 101 -> 000
*** 1% de tempo de propagacao de subida e decida PULSE entre ABC = 000 e 110
*** PIOR Subida conforme verificado na questao 2
VinA inA 0 PULSE(0 tensao 0 '0.01*P' '0.01*P' '0.49*P' P)
.CONNECT inA inC
.CONNECT inB VSS
*** Tempo de propagacao de subida
.meas tran temposubida trig v(inA) val=tensao/2 fall=5 targ v(out) val=tensao/2 fall=5
*****
*** Operacao para encontrar maxima frequencia de operacao (Do enunciado)
*.meas tran MinZero find v(out) when v(inA)=2.9 fall=5
*.meas tran MaxUm find v(out) when v(inA)=0.1 rise=5

*** Escursionando frequencia em busca da maxima
*.tran P '6*P' 0 'P/1000' sweep F INCR 0.1G 0.01G 3.5G
*****

.tran P '6*P' 0 'P/1000' sweep Cout INCR 50f 100f 300f
.probe tran ALL

.include Model35_Eldo
.end

```

Por fim, verificou-se a diferença absoluta do tempo de atraso de propagação de descida cresce linearmente proporcional a carga de saída o que não se repete ao tempo de atraso de propagação de subida, isso se deve a disposição dos elementos capacitivos parasitas obtidos pela **extração C + CC** do layout, idem a questão 18. Por fim, verificando a tabela 12 temos variações na ordem unitária.

Tabela 12 – Tabela comparativa do tempo de atraso de propagação versos a carga de saída para o *netlist* do esquemático e *layout*

Métrica	Esquemático		Layout	
	Descida	Subida	Descida	Subida
Inclinação	1,223 K	1,366 K	1,218 K	1,366 K
Intersecção Y	354,07 ps	296,41 ps	348,21 ps	278,02 ps

Fonte: Pelos próprios autores

Questão 27: Gere novamente os tempos de propagação na subida e descida utilizando agora os comandos (faça os ajustes necessários para seu circuito).

Considerando os ajustes do anunciado juntamente aos comandos para execução da simulação do ELDO. Com isso, temos o resultado dos comandos com tempo de atraso de propagação de subida e descida similares com carga de 30fF, disposto na tabela 13.

```
Va a 0 3V
Vb b 0 0
Vc c 0 pulse (0 3 0 1p 1p 2n 4n)
. tran 1n 40n 0n 1p
.meas tran delayF trig v(c) val=1.5 fall=6 targ v(out) val=1.5 fall=6
.meas tran delayR trig v(c) val=1.5 rise=6 targ v(out) val=1.5 rise=6
Cl out 0 30fF
```

Tabela 13 – Tabela com amostra da Curva tempo de atraso de propagação de descida versus capacitância na saída

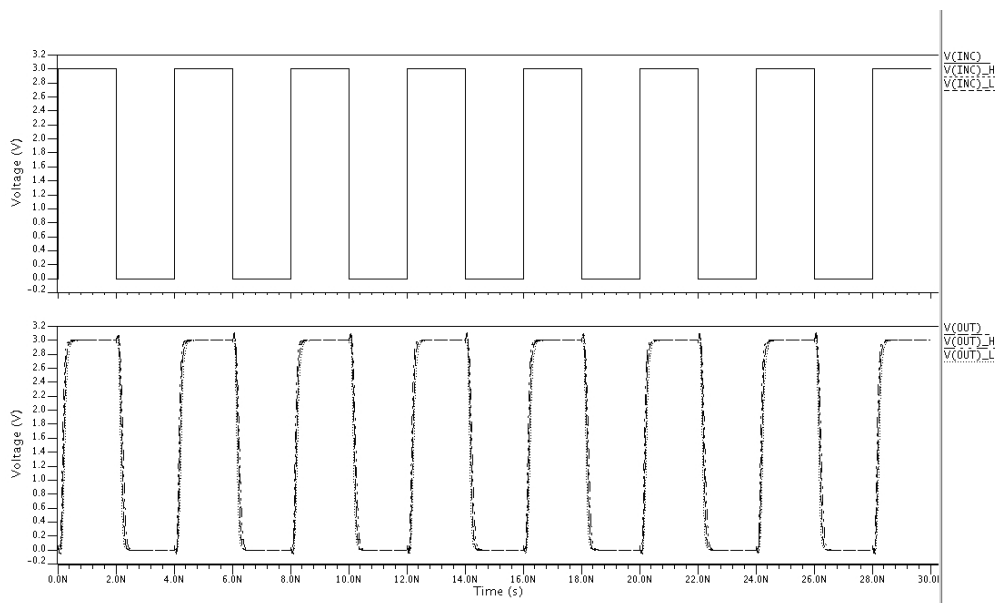
Atraso na subida [pS]	Atraso na descida [pS]
186,46	186,35

Fonte: Pelos próprios autores

Questão 28: Vamos realizar agora a simulação de Monte Carlo. Nesta simulação são realizadas, na verdade, várias simulações com parâmetros diferentes e podemos conhecer o comportamento do circuito para diversas condições de fabricação. Utilizando os comandos abaixo realize Monte Carlo (faça os ajustes necessários para seu circuito, não coloque no arquivo o modelo do transistor). Forneça os gráficos da tensão em c e na saída (valor típico e piores casos) e os gráficos do número de saídas versus delayF e delayR.

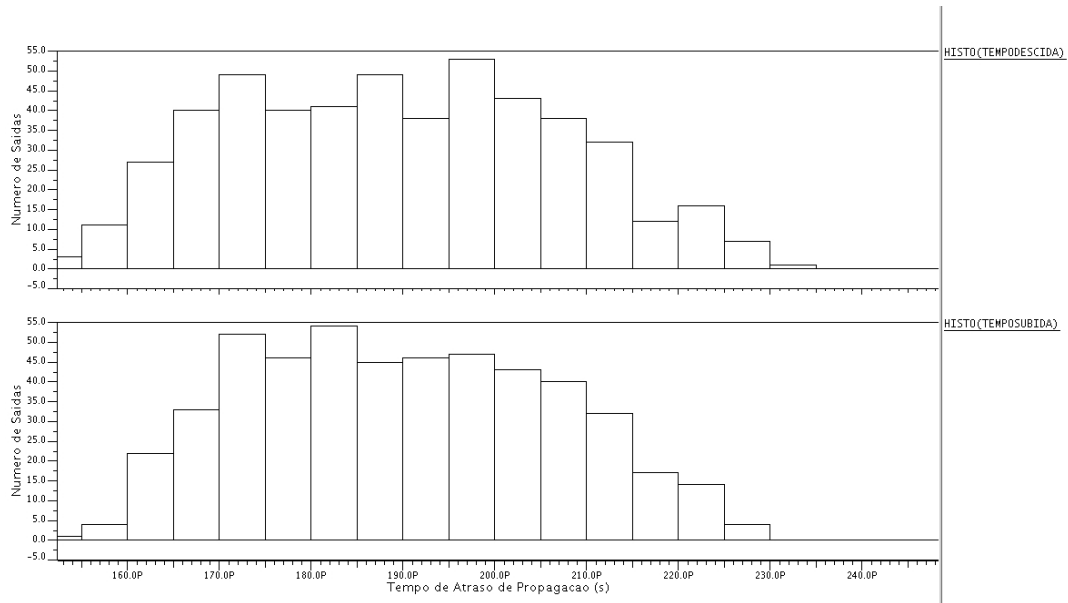
Com a simulação realizada, foi possível gerar os gráficos pedidos que estão nas figuras 26 e 27, primeiro, apresenta-se o valor típico, rápido e pior caso para a tensão de entrada C e saída Out, respectivamente, INC e OUT, INC_H e OUT_H , INC_L e OUT_L, no qual a tensão de entrada C não teve variação por não ter sofrido variação na simulação Monte Carlo, já a tensão de saída alcança o valor típico, melhor e pior curva de acordo com a variação dos parâmetros disponíveis, como disposto na figura 26. Segundo, temos os histogramas para 20 intervalos (*bins*) de tempo de propagação de saída para distintas quantidade de saídas.

Figura 26 – As curvas de tensões de entrada (INC) e saída (OUT), com seu contraste típico, melhor (_H) e pior (_L) configuração de parâmetros



Fonte: Pelos próprios autores

Figura 27 – Histogramas com Número de saídas versus tempo de atraso de propagação



Fonte: Pelos próprios autores

Foram feitas todas as alterações necessárias para utilizar a simulação de Monte Carlo, a seguir o código completo:

```
*** Configuracao Simulacao
.option SST_MTHREAD=1
.MC 500 NBBINS=20
.INCLUDE /local/tools/dkit/ams_3.70_mgc/eldo/c35/profile.opt
.LIB /local/tools/dkit/ams_3.70_mgc/eldo/c35/wc53.lib mc

.global VDD VSS
.subckt NOVOFINAL INB INA INC OUTY
*
mM0 2 INB VSS VSS MODN L=3.5e-07 W=5.4e-06 AD=2.7e-12 AS=5.13e-12 PD=1e-06
+ PS=7.3e-06 NRD=0.0787037 NRS=0.0787037
mM1 6 INA 2 VSS MODN L=3.5e-07 W=5.4e-06 AD=3.42e-12 AS=2.7e-12 PD=3.2e-06
+ PS=1e-06 NRD=0.0787037 NRS=0.0787037
mM2 VSS INC 6 VSS MODN L=3.5e-07 W=2.7e-06 AD=2.295e-12 AS=1.71e-12 PD=4.4e-06
+ PS=1.6e-06 NRD=0.157407 NRS=0.157407
mM3 OUTY 6 VSS VSS MODN L=3.5e-07 W=2.5e-06 AD=2.125e-12 AS=2.375e-12
+ PD=4.2e-06 PS=4.4e-06 NRD=0.17 NRS=0.17
mM4 VDD INB 4 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.5105e-11 AS=1.3515e-11
+ PD=1.78e-05 PS=1.76e-05 NRD=0.0267296 NRS=0.0267296
mM5 4 INA VDD VDD MODP L=3.5e-07 W=1.59e-05 AD=7.95e-12 AS=1.5105e-11 PD=1e-06
```



```

+ PS=1.78e-05 NRD=0.0267296 NRS=0.0267296
mM6 6 INC 4 VDD MODP L=3.5e-07 W=1.59e-05 AD=1.3515e-11 AS=7.95e-12
+ PD=1.76e-05 PS=1e-06 NRD=0.0267296 NRS=0.0267296
mM7 OUTY 6 VDD VDD MODP L=3.5e-07 W=7.35e-06 AD=6.2475e-12 AS=6.9825e-12
+ PD=9.05e-06 PS=9.25e-06 NRD=0.0578231 NRS=0.0578231
c_8 INB 0 1.17811f
c_14 2 0 0.0348321f
c_22 INA 0 1.21674f
c_28 4 0 0.0990634f
c_36 INC 0 1.86812f
c_45 6 0 1.60737f
c_53 VSS 0 3.17723f
c_61 VDD 0 61.8556f
c_65 OUTY 0 0.479063f
.include "novofinal.pex.netlist.NOVOFINAL.pxi"
.ends NOVOFINAL

```

*** Parametro de frequencia de operacao

```
.Param F=0.1G P='1/F'
```

*** Escursionamento de capacitancia

```
.Param Ccout=30fF
```

*** Alimentacao Verificada

```
.Param tensao=3v
```

*** Conectando subcircuito

```
Xport inB inA inC out NOVOFINAL
```

```
Cout out 0 Ccout
```

*** Tensoes estabelecidas como base

```
Vdd VDD 0 DC tensao
```

```
Vss VSS 0 DC 0
```

*** Conforme verificado na questao 27

```
VinA inA 0 3V
```

```
VinB inB 0 0V
```

```
VinC inC 0 PULSE(0 tensao 0 1p 1p 2n 4n)
```

```
.meas tran tempodescida trig v(inC) val=tensao/2
```

```
+fall=5 targ v(out) val=tensao/2 fall=5
```

```
.meas tran temposubida trig v(inC) val=tensao/2
```

```
+rise=5 targ v(out) val=tensao/2 rise=5
```

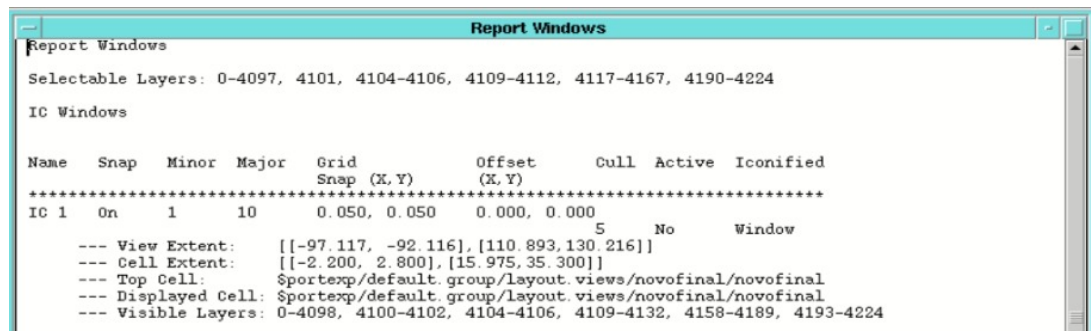
```
.tran 1n 30n 0n 10p
```

.probe tran ALL

Questão 29: Utilize o comando Report – Windows do ICStation para determinar o tamanho da célula (coloque o tamanho de sua célula no relatório).

Através do comando especificado acima, foi possível extrair o Report que está na figura 28, através dele conseguimos obter o tamanho da célula que possui $15,975\mu m$ de comprimento e $35,300\mu m$ de largura.

Figura 28 – Report ICStation



Fonte: Pelos próprios autores

Referências

CORPORATION, M. G. *Mentor Graphics Corporation*. [S.l.], 2005. Disponível em: http://web.engr.uky.edu/~elias/tutorials/Eldo/eldo_ur.pdf. Acesso em: 20 Jul. 2021. Citado na página 3.

KANG, Y. L. S.-M. S. *CMOS DIGITAL INTEGRATED CIRCUITS: Analysis and Design*. 2. ed. Rio de Janeiro: The McOrnw · Hill Companies. Inc., 1998. Acesso em: 1 jul 2021. Citado na página 4.

SEABRA, A. C. *Aula 14: Portas Lógicas CMOS*. [S.l.], 2021. Disponível em: <https://bit.ly/3yIrLBC>. Acesso em: 17 Ago. 2021. Citado 2 vezes nas páginas 5 e 6.

UNICAMP. *O inversor CMOS*. [S.l.], 2021. Disponível em: <https://www.ccs.unicamp.br/cursos/fee107/download/cap07.pdf>. Acesso em: 17 Ago. 2021. Citado 2 vezes nas páginas 4 e 6.