

MINIPROJECT

Tổng quan

- Trong Project này, chúng ta sẽ thiết kế một bộ ALU có khả năng thực hiện một số phép bitwise và phép toán số học đơn giản theo những công đoạn đã được học.
- Chúng ta sẽ sử dụng công cụ của Cadence để thực hiện các công đoạn Synthesize mạch tổ hợp, thiết kế Schematic và Layout cho khối ALU.

Mục tiêu

Qua Project này, sinh viên sẽ có thể:

- Thực hiện Synthesize một khối tính toán bất kỳ
- Thiết kế Schematics và Layout một số mạch logic đơn giản
- Verify thiết kế thông qua mô phỏng, DRC và LVS

Nội dung

Thiết kế khối tính toán ALU (Arithmetic Logic Unit) bao gồm:

- 2 inputs 8 bits
- Tín hiệu input Control 4 bits dùng để chọn phép tính
- 1 outputs 8 bits
- Tín hiệu output ZERO 1 bit

Nội dung

Khối ALU có khả năng thực hiện phép tính 8 bits bao gồm phép tính số học cộng trừ và phép tính bitwise AND OR.

Cờ ZERO được kích hoạt khi kết quả output là '0'.

Nội dung

Tín hiệu Control sẽ xác định phép tính của ALU theo như bảng sau, các trường hợp khác thì output coi như don't cares:

Operation	Control value
ADD	0010
SUB	0110
AND	0000
OR	0001

Yêu cầu

- Sử dụng code Verilog/SystemVerilog để hiện thực mô tả khối ALU. Sinh viên có thể bổ sung function nếu muốn.
- Sử dụng hướng dẫn từ các bài lab để Synthesis mạch logic.
- Thiết kế Schematic, simulation và Layout cho mạch trên.
- Cuối cùng chạy DRC và LVS (sửa lỗi nếu có)