

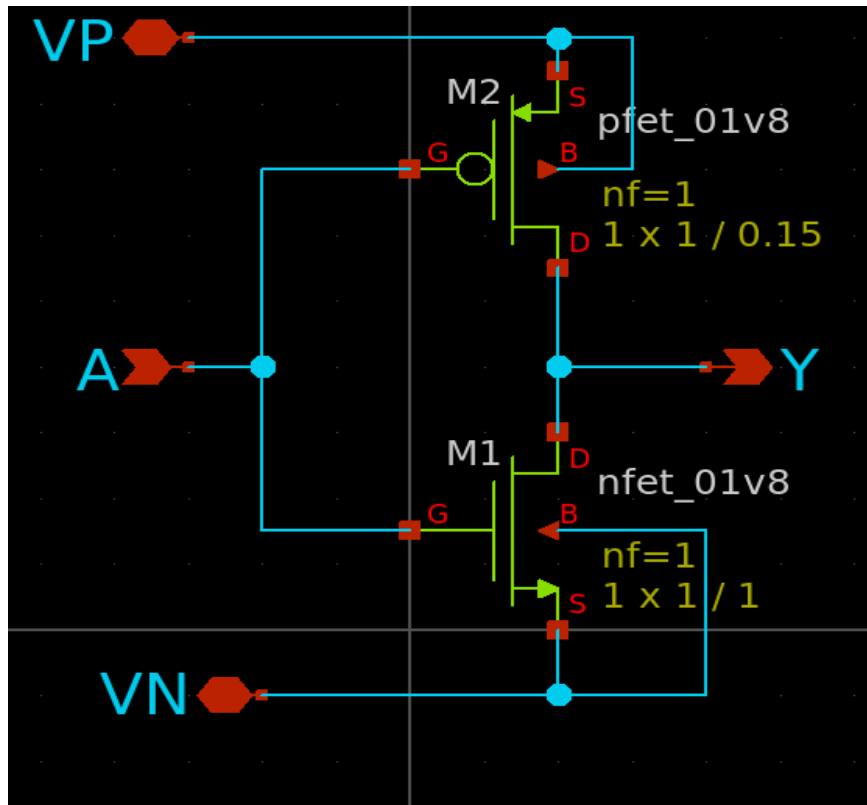
# Laporan Akhir Ring Oscillator DSRT

Nama : Ahmad Jabar Ilmi

NRP : 5022211038

github : [https://github.com/ilmiahmad/dsrt2024\\_Ring-Oscillator\\_Ahmad-Jabar-Ilmi.git](https://github.com/ilmiahmad/dsrt2024_Ring-Oscillator_Ahmad-Jabar-Ilmi.git)

## 1. Desain Skematik

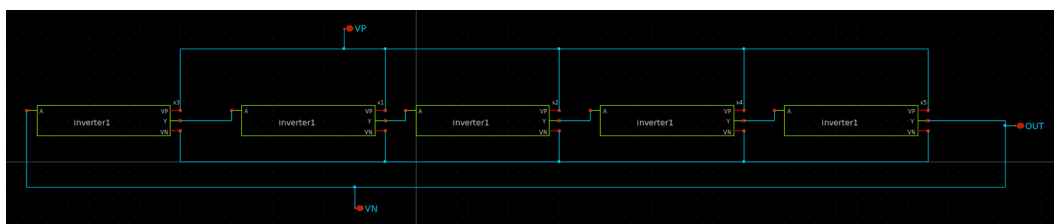


- **Skematik inverter CMOS**

skematik CMOS dibuat menggunakan gabungan pfet\_01v8 dan nfet\_01v8 dengan masing masing komponen berukuran 1 x 1 dengan length 0.15 micron.

- **Skematik Ring Oscillator**

Skematik Ring Oscillator dibuat dengan menseri 5 inverter CMOS

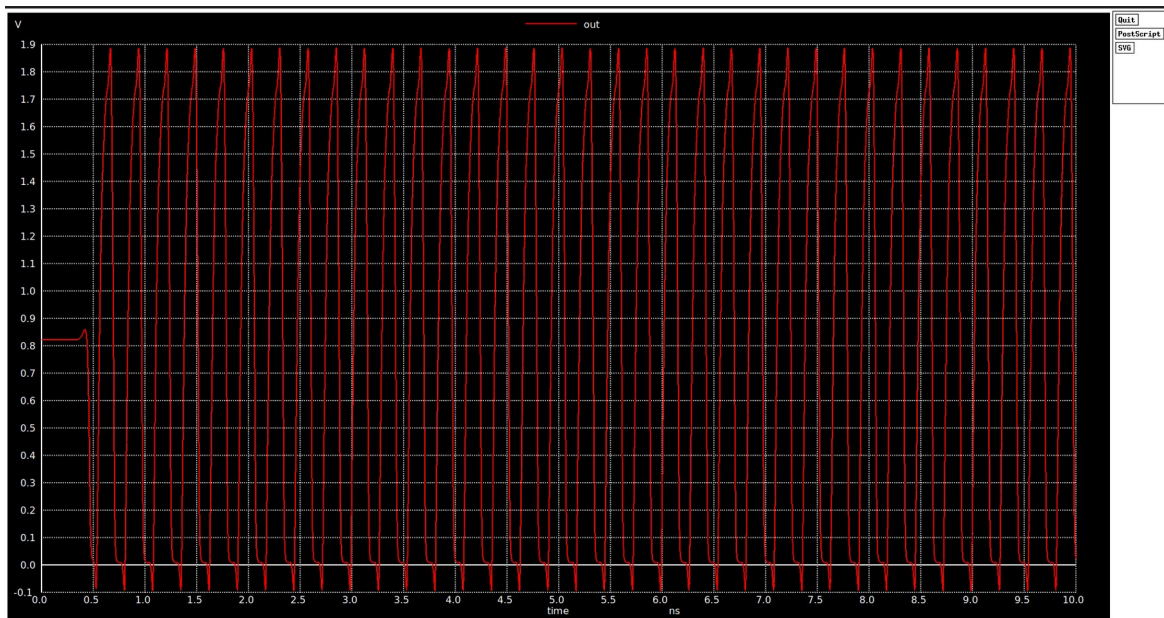
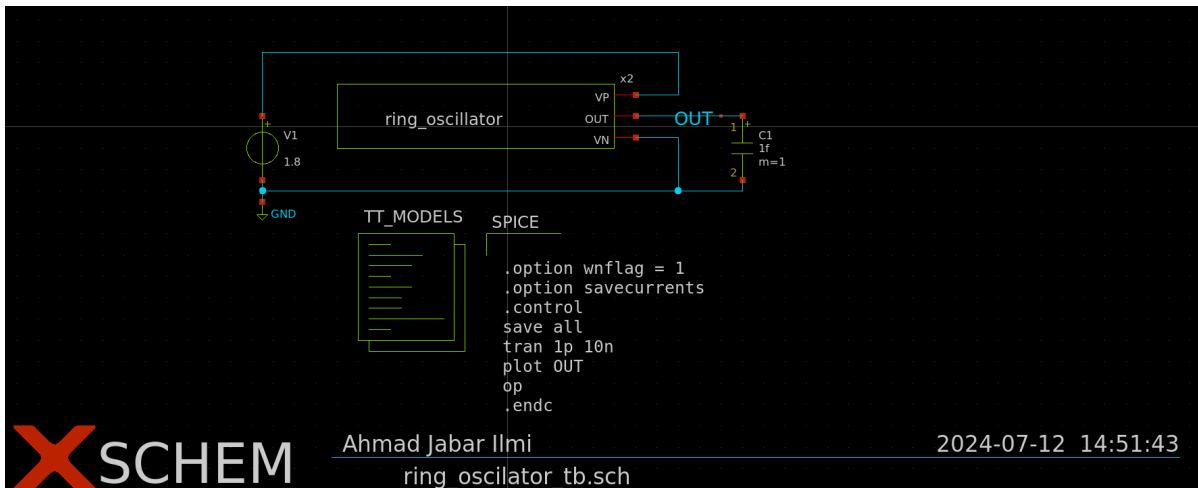


## 2. Simulasi Layout

Rangkaian bekerja sebagai berikut:

Lima rangkaian inverter yang dihubungkan secara seri akan membentuk sebuah rangkaian osilator cincin. Osilator cincin ini beroperasi dengan memanfaatkan waktu beralih yang dimiliki oleh MOSFET. Ketika output MOSFET pertama berada dalam keadaan LOW, MOSFET berikutnya akan menghasilkan sinyal HIGH. Begitu sinyal HIGH dari inverter kedua diterima oleh inverter ketiga, MOSFET selanjutnya akan menghasilkan sinyal LOW, dan pola ini berlanjut hingga MOSFET kelima. Proses ini terus berulang, menghasilkan osilasi pada sinyal keluaran.

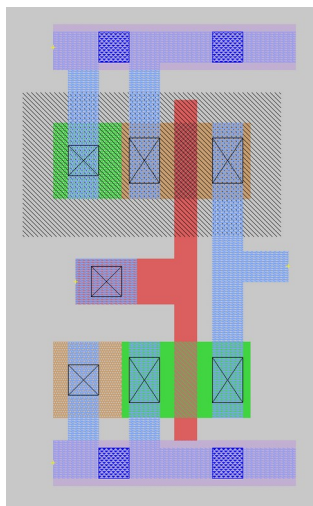
Berikut Merupakan skematik test bench dan hasil simulasi



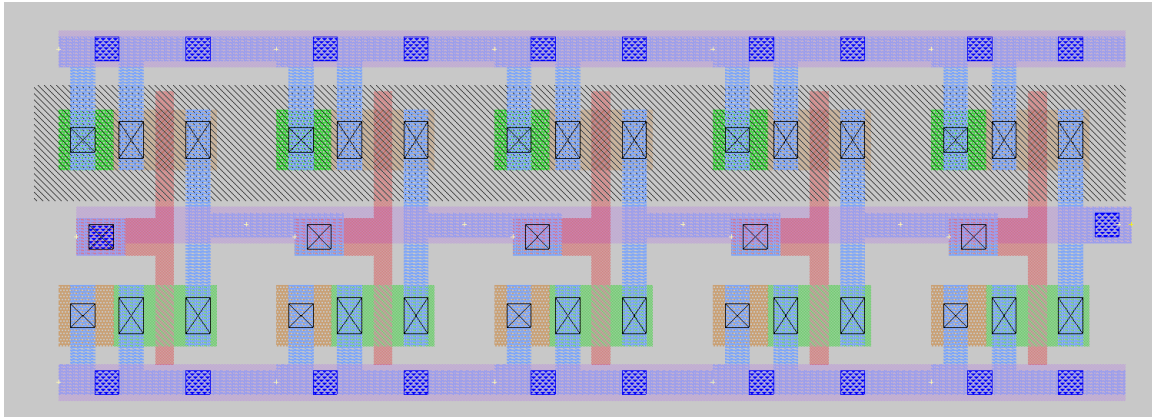
### 3. Layout dan LVS

Berikut merupakan layout dari skematik diatas beserta hasil lvs nya

- **Layout inverter CMOS**



- **Layout Ring Oscillator**



- **LVS**

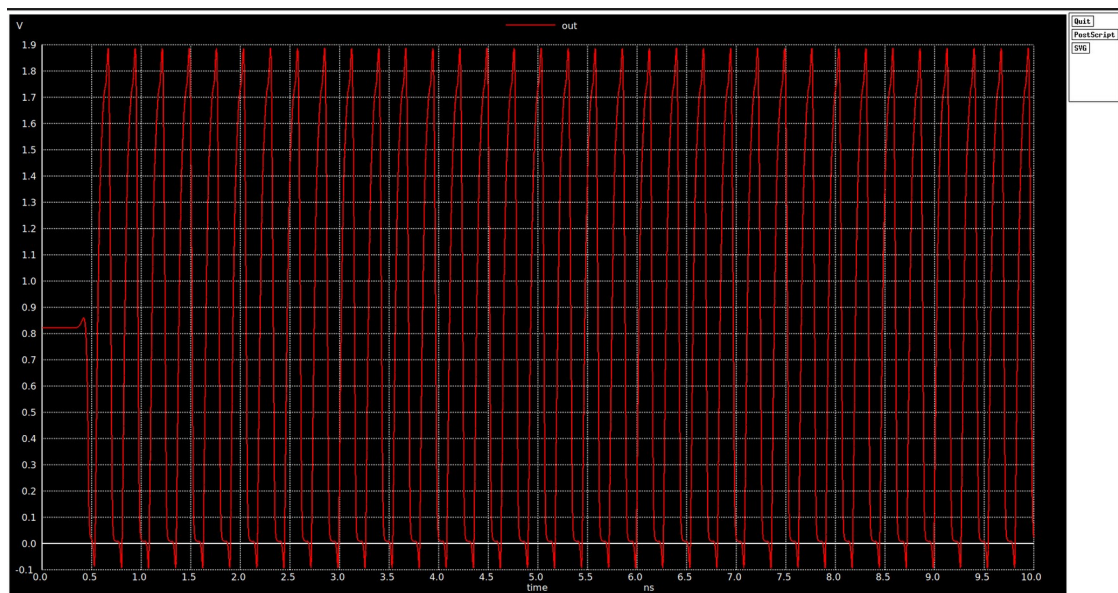
LVS antara skematik dan layout keseluruhan menggunakan netgen tidak menunjukkan error

```
% netgen lvs ring_oscillator.spice ringosc3_layout.spice ringosc_lvs.tcl
```

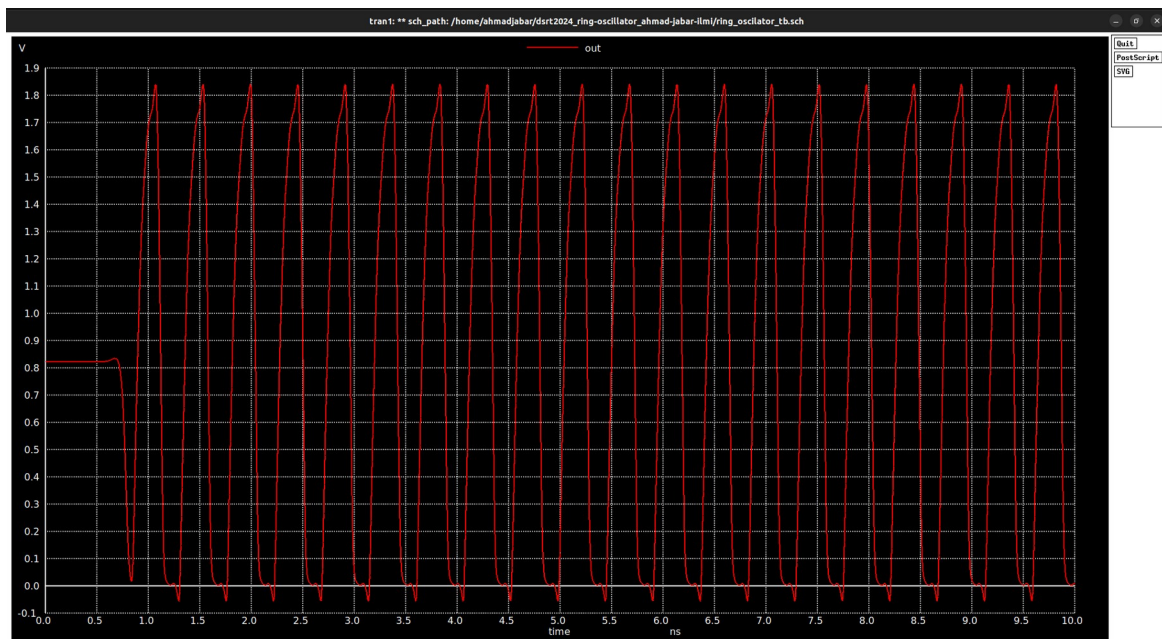
#### 4. **Post Simulation**

Setelah dilakukan LVS, hasil spice yang digenerate oleh ext2spice dengan parameter cthresh 0 dan rhtresh 0 digabungkan kembali ke file testbench. Berikut merupakan hasil perbandingan sebelum dan sesudah layout

##### **Sebelum**



Sesudah



Dari kedua Gambar diatas dapat disimpulkan bahwa desain ring oscillator setelah layout memiliki delay yang lebih besar dibandingkan sebelum dilakukan layout. Hal tersebut disebabkan karena menambahkan nilai kapasitor parasitic pada desain layout.