

Σχεδιασμός Συστημάτων VLSI

Εργαστήριο 4

Λουδάρος Ιωάννης (1067400)



Μπορείτε να δείτε την τελευταία έκδοση του Project [εδώ](#) ή σκανάροντας τον κωδικό QR που βρίσκεται στην επικεφαλίδα.

Περιγραφή Αναφοράς

Παρακάτω παραθέτω τις απαντήσεις μου στην “4η Εργαστηριακή Άσκηση” του μαθήματος “Σχεδιασμός Συστημάτων VLSI” καθώς και σχόλια τα οποία προέκυψαν κατά την εκπόνηση της.

Περιεχόμενα

1. Άσκηση 1	2
1.1.Πειραματισμός με την Μέγιστη Καθυστέρηση	2
1.2.Διαφορετικοί τρόποι compilation	2
2. Άσκηση 2	3
2.1.RCA με καταχωρητές	3
2.2.RCA με Pipeline	3
Ανάλυση area-report, με και χωρίς retime.	4
3. Άσκηση 3	5
3.1.Σύνθεση του Accumulator	5
3.2.Σύνθεση του Vending Machine	5
4. Άσκηση 4	6
Εξομοίωση Κυκλώματος	7
Σύνθεση Κυκλώματος	7

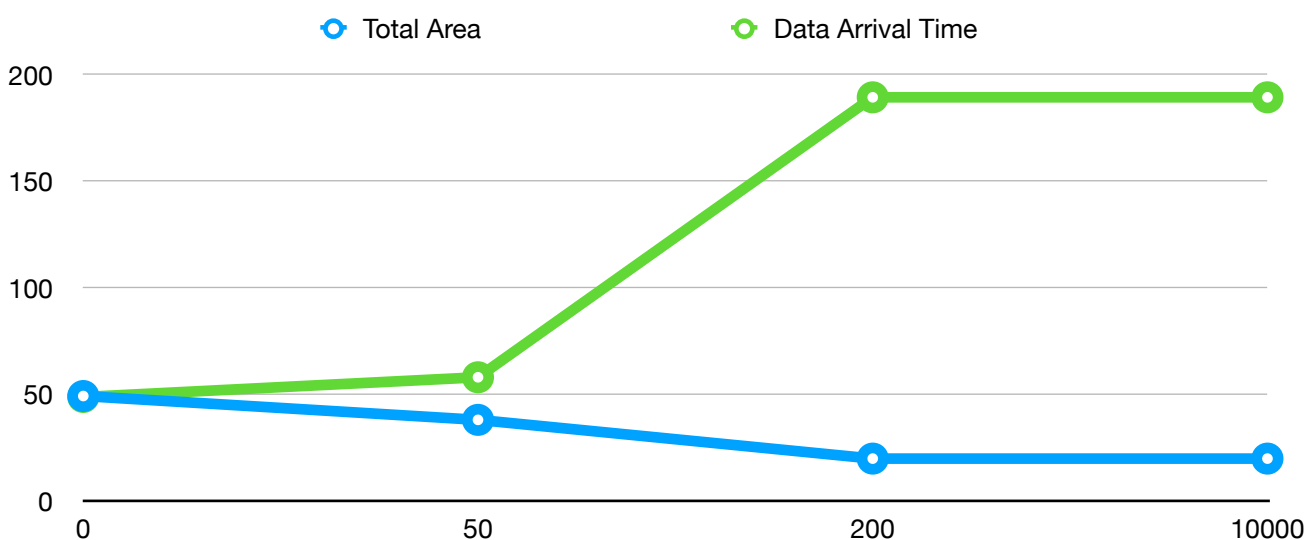
Απαντήσεις

1. Άσκηση 1

1.1. Πειραματισμός με την Μέγιστη Καθυστέρηση

Έγιναν 4 δοκιμές με χρόνους 0, 50, 200, 10000. Σε όλες τις περιπτώσεις χρησιμοποιήθηκε “compile_ultra”. Μπορείτε να βρείτε τα αντίστοιχα scripts στον κατάλογο “my_scripts”, με όνομα “ex_1_1_(καθυστέρηση).tcl”.

Παρατηρούμε τις εξής διαφορές μεταξύ των διαφορετικών χρόνων:



	0	50	200	10000
Total Area	49.2221	38.0246	19.8288	19.8288
Data Arrival Time	48.77	58.03	189.53	189.53

1.2. Διαφορετικοί τρόποι compilation

Μπορείτε να βρείτε τα αντίστοιχα scripts στον κατάλογο “my_scripts”, με όνομα “ex_1_2_200_(compile command).tcl”.

Τα αποτελέσματα μας φαίνονται παρακάτω:

	compile	compile_ultra
Total Area	25.8941	19.8288

Μας γίνεται ξεκάθαρη η διαφορά μεταξύ “compile” και “compile_ultra”.

Συγκρίνοντας τα netlist που παράγονται, βλέπουμε επίσης, ότι το “compile_ultra” έχει κάνει τον σχεδιασμό μας μη ιεραρχικό, για να κάνει όλες τις δυνατές απλοποιήσεις.

2. Άσκηση 2

2.1. RCA με καταχωρητές

Μπορείτε να βρείτε τον σχεδιασμό μας εδώ :

`rca_w_regs.v`

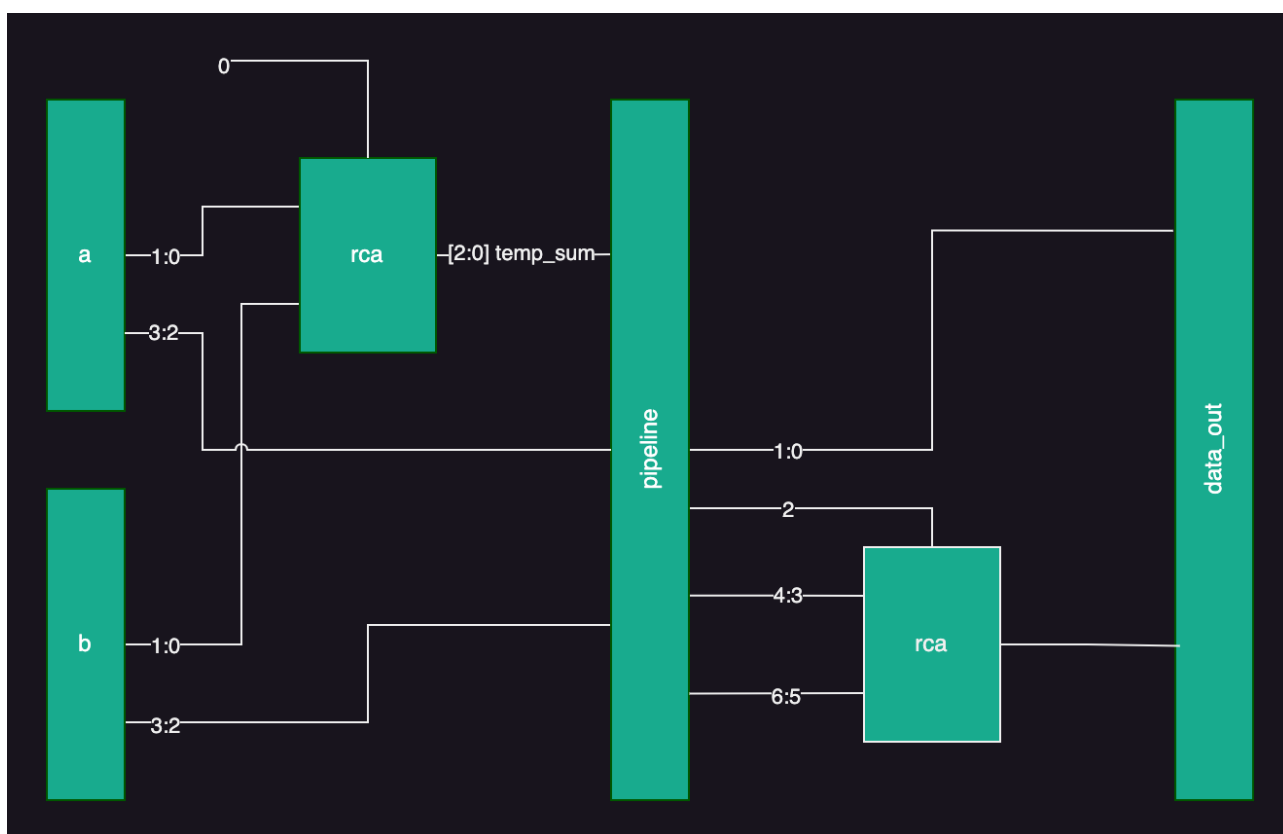
Σύμφωνα με το `timing_report`, το data arrival time είναι 43.73. Άρα η μέγιστη συχνότητα είναι:

$$\frac{1}{43.73} \approx 0.0228$$

Μπορείτε να βρείτε τα αντίστοιχα scripts στον κατάλογο “my_scripts”, με όνομα “ex_2_1_(`compile command`)).tcl”.

2.2. RCA με Pipeline

Η λογική μας για την παραγωγή του σχεδιασμού φαίνεται στο παρακάτω σχηματικό:

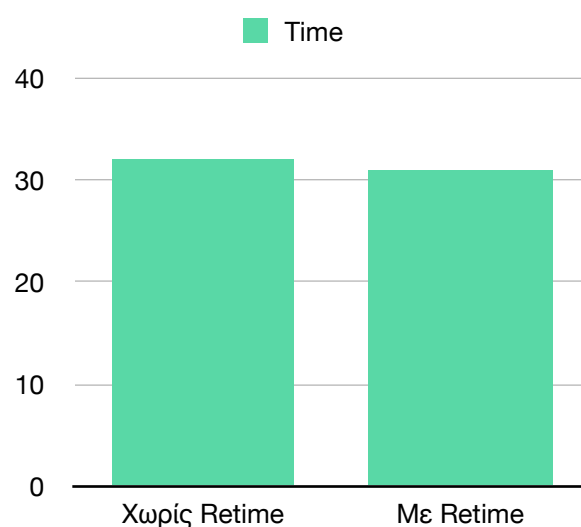
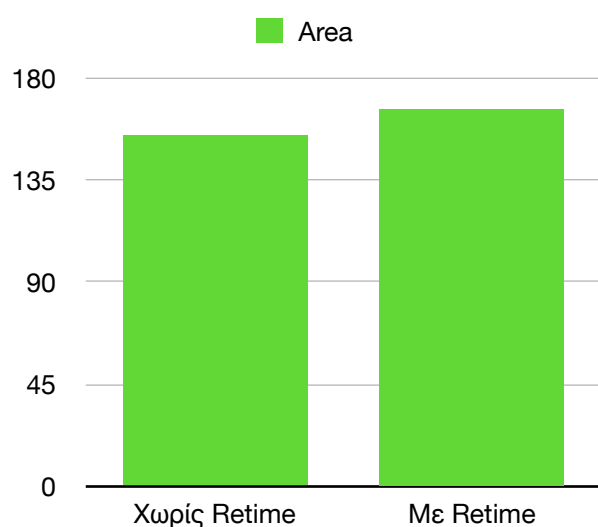


Μπορείτε να βρείτε τα αντίστοιχα scripts στον κατάλογο “my_scripts”, με όνομα “ex_2_2_(`retime option`)).tcl”.

Μπορείτε να βρείτε τον σχεδιασμό μας εδώ :

rca_pipelined.v

Ανάλυση area-report, με και χωρίς retime.



	Χωρίς Retime	Με Retime
Total Area	154.198079	166.095359
Data Arrival Time	31.85	30.80

3. Άσκηση 3

3.1. Σύνθεση του Accumulator

Επειδή το presto μόνο που δεν με έφτισε για τον δικό μου accumulator, χρησιμοποίησα τον δικό σας.

	Accumulator
Total Area	214.850880
Data Arrival Time	32.76

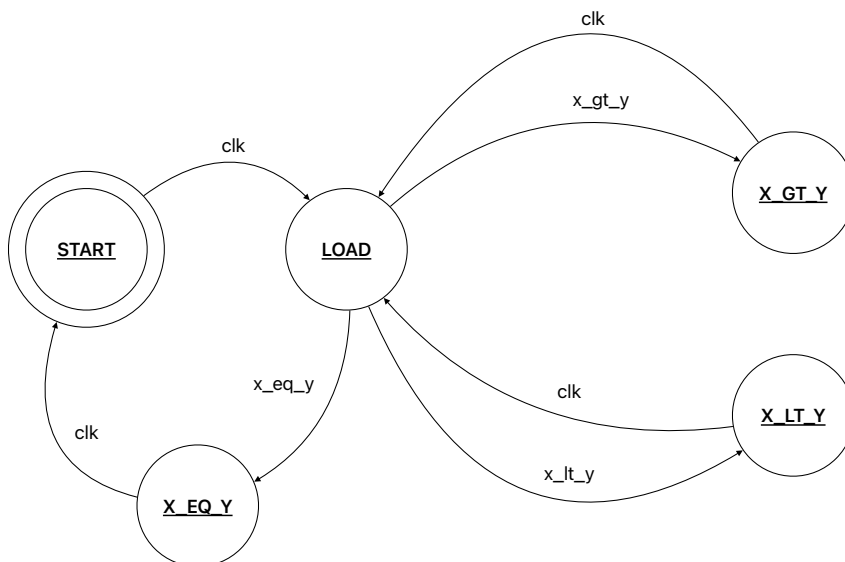
3.2. Σύνθεση του Vending Machine

	Vending Machine
Total Area	37.324800
Data Arrival Time	34.07

4. Άσκηση 4

Προσθέτουμε άλλον έναν πολυπλέκτη εκατέρωθεν ώστε να γίνεται να κρατήσουμε την τιμή των μεταβλητών πριν γίνει η αφαίρεση. Η έξοδος των καινούργιων πολυπλεκτών οδηγεί την είσοδο μηδέν των υπαρχόντων. Ελέγχονται από το σήμα `keep_y` και `keep_x` αντίστοιχα.

Παραθέτω το FSM που χρησιμοποιήθηκε για την δημιουργία του κυκλώματος.



START
`x_sel : 1`
`y_sel : 1`
`x_keep : 1`
`y_keep : 1`
`x_ld : 0`
`y_ld : 0`
`data_en : 0`

LOAD
`x_ld : 1`
`y_ld : 1`

X_GT_Y
`x_sel : 0`
`y_sel : 0`
`x_keep : 0`
`y_keep : 1`
`x_ld : 0`
`y_ld : 0`

X_EQ_Y
`data_en : 1`
`x_ld : 0`
`y_ld : 0`

X_LT_Y
`x_sel : 0`
`y_sel : 0`
`x_keep : 1`
`y_keep : 0`
`x_ld : 0`
`y_ld : 0`

Μπορείτε να βρείτε τις περιγραφές των δύο modules, πατώντας τα κουμπιά παρακάτω:

[gcd_dataflow.v](#)

[gcd_fsm.v](#)

Εξομοίωση Κυκλώματος

loading...

Σύνθεση Κυκλώματος

loading...