

Εισαγωγή σε VLSI

Εργαστηριακή Άσκηση 4

Λουδάρος Ιωάννης (1067400) — Αλέξιος Γεωργαντόπουλος - Γιαννούτσος (1062268)



Μπορείτε να δείτε την τελευταία έκδοση του Project [εδώ](#) ή σκανάροντας τον κωδικό QR που βρίσκεται στην επικεφαλίδα.

Περιγραφή Αναφοράς

Παρακάτω παραθέτουμε τις απαντήσεις μας στην “[Τέταρτη Εργαστηριακή Άσκηση](#)” του μαθήματος “[Εισαγωγή σε VLSI](#)” καθώς και σχόλια τα οποία προέκυψαν κατά την εκπόνηση του.

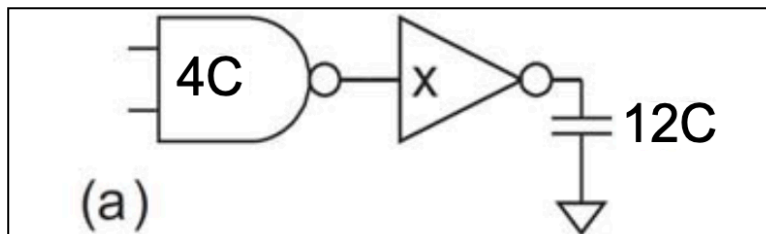
Περιεχόμενα

1. Πρώτη Άσκηση	2
Ερώτημα (a)	2
Ερώτημα (b)	3
2. Δεύτερη Άσκηση	4
Ερώτημα (i)	4
Ερώτημα (ii)	4
Ερώτημα (iii)	4
3. Τρίτη Άσκηση	6

Απαντήσεις

1. Πρώτη Άσκηση

Ερώτημα (a)



Εφαρμόζοντας την μέθοδο του παραδείγματος, υπολογίζουμε πρώτα το F :

$$F = GHB = \left(\frac{4}{3} \cdot 1\right) \cdot \frac{12}{4} \cdot 1 = 4$$

Ύστερα μπορούμε να υπολογίσουμε το \hat{f} .

$$\hat{f} = \sqrt{F} = 2$$

Και άρα, χρησιμοποιώντας τον τύπο, βρίσκουμε το x :

$$C_{in} = \frac{gC_{out}}{\hat{f}} \Rightarrow x = \frac{1 \cdot 12}{2} = 6C$$

Επίσης, υπολογίζουμε την καθυστέρηση μονοπατιού ως:

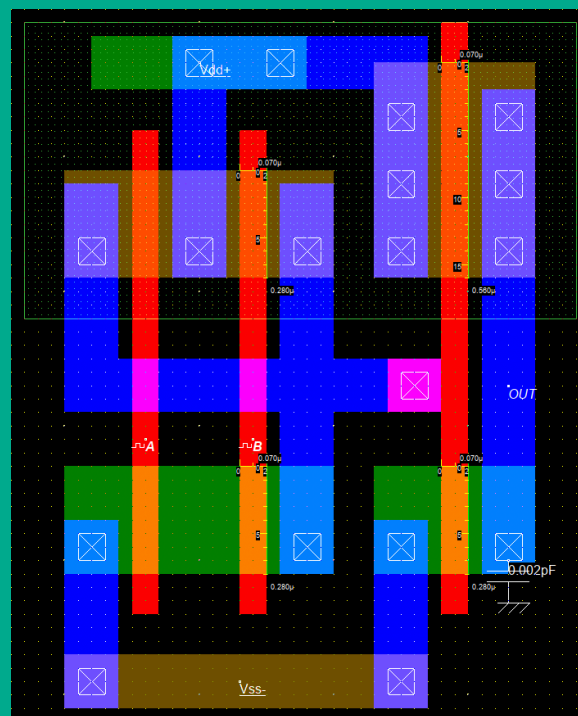
$$D = D_F + P = 2 \cdot 2 + 3 = 7 \Rightarrow D \approx 7 \cdot 2 = 14 \text{ ns}$$

Για την πειραματική επαλήθευση, κατασκευάσαμε πρώτα τον ελάχιστο αντιστροφέα μόνο του (σε cmos65n) ώστε να βρούμε το τ της τεχνολογίας. Βρήκαμε ότι είναι 2ns. Ταυτόχρονα, μετρήσαμε την χωρητικότητα της πύλης, η οποία ήταν 0.5 fF.

Ύστερα, γνωρίζοντας πλέον όλες τις χωρητικότητες (και άρα τα πλάτη των τρανζίστορ που χρειαζόμαστε), σχεδιάσαμε ολόκληρο το layout που φαίνεται στην Εικόνα 1 (κάτω από την οποία φαίνονται και οι διαστάσεις των transistor). Στην Εικόνα 2 και στον πίνακα που την συνοδεύει, μπορείτε να δείτε τις καθυστερήσεις που επιβεβαιώνουν τους παραπάνω υπολογισμούς.

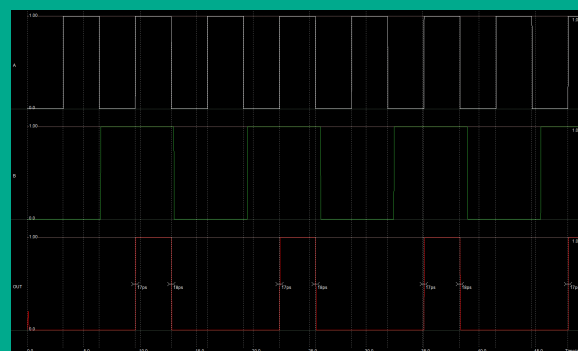
Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

Υπολογισμοί



Εικόνα 1

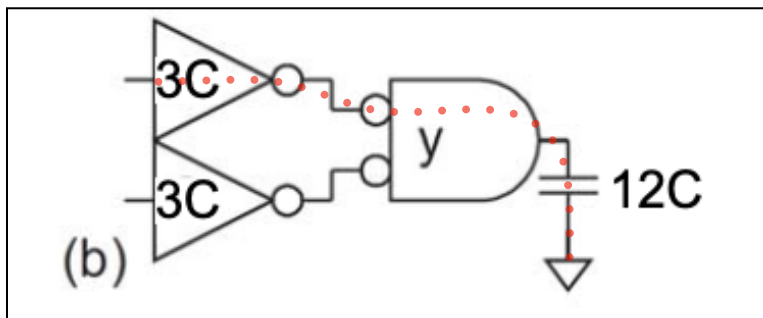
Transistor	λ	nm
NAND PMOS	8	280
NAND NMOS	8	280
NOT PMOS	16	560
NOT NMOS	8	280



Εικόνα 2

Rise Delay	17 ns
Fall Delay	18 ns

Ερώτημα (b)



Για τους υπολογισμούς μας χρησιμοποιούμε το μονοπάτι που φαίνεται παραπάνω.

Υπολογίζουμε πάλι πρώτα το F:

$$F = GHB = \left(1 \cdot \frac{5}{3}\right) \cdot \frac{12}{3} \cdot 1 = \frac{60}{9}$$

Ύστερα μπορούμε να υπολογίσουμε το \hat{f} .

$$\hat{f} = \sqrt{F} = 2,582$$

Και άρα, χρησιμοποιώντας τον τύπο:

$$C_{in} = \frac{g C_{out}}{\hat{f}} \Rightarrow y = \frac{5 \cdot 12}{3 \cdot 2,582} = 7,746 C$$

Επίσης, υπολογίζουμε την καθυστέρηση μονοπατιού ως:

$$D = D_F + P = 2 \cdot 2,582 + 2 + 1 = 8,164$$

$$\Rightarrow D \approx 8,164 \cdot 2 = 16,328 \text{ ns}$$

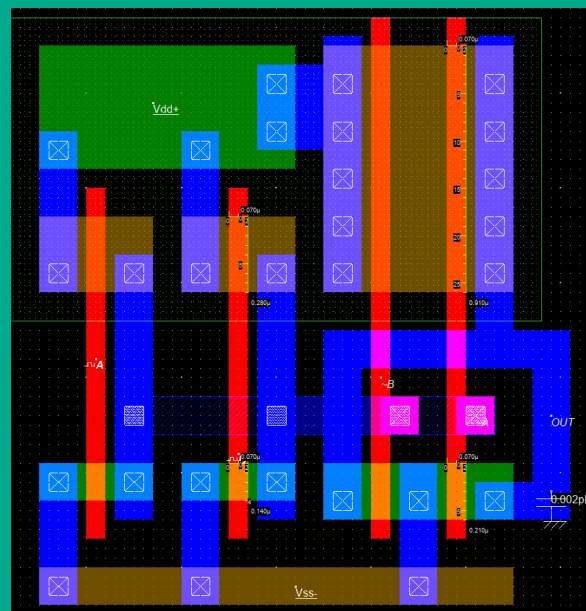
Και άρα είναι πιο αργή από την πρώτη υλοποίηση.

Για την δημιουργία του Layout χρειάζεται να στρογγυλέψουμε το y στον πλησιέστερο ακέραιο, που είναι το 8.

Ύστερα, γνωρίζοντας πλέον όλες τις χωρητικότητες (και άρα τα πλάτη των τρανζίστορ που χρειαζόμαστε), σχεδιάσαμε ολόκληρο το layout που φαίνεται στην Εικόνα 3 (κάτω από την οποία φαίνονται και οι διαστάσεις των transistor). Στην Εικόνα 4 και στον πίνακα που την συνοδεύει, μπορείτε να δείτε τις καθυστερήσεις που επιβεβαιώνουν τους παραπάνω υπολογισμούς.

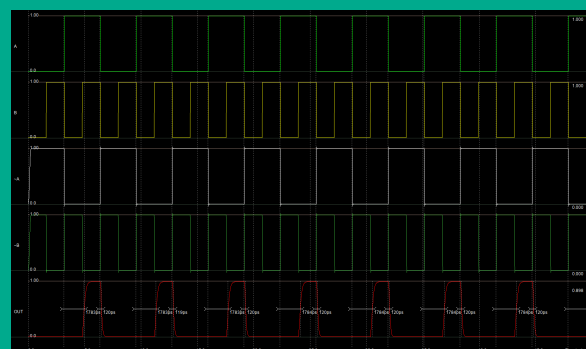
Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

Υπολογισμοί



Εικόνα 3

Transistor	λ	nm
NOR PMOS	26	910
NOR NMOS	6	210
NOT PMOS	8	280
NOT NMOS	4	140



Εικόνα 4

Rise Delay	20 ns
Fall Delay	22 ns

2. Δεύτερη Άσκηση

Ερώτημα (i)

Οι εκφράσεις δίνονται παρακάτω:

$$(α) \quad D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{8}{3}} \cdot H + 7$$

$$(β) \quad D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{25}{9}} \cdot H + 5$$

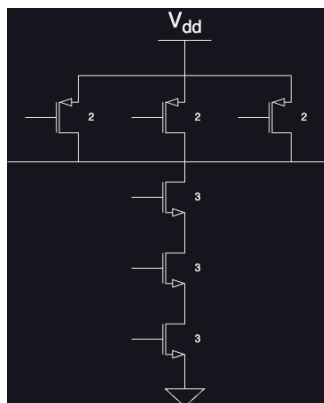
$$(γ) \quad D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{28}{9}} \cdot H + 5$$

$$(δ) \quad D_{min} = n \cdot \hat{f} + P = 4 \cdot \sqrt{\frac{20}{9}} \cdot H + 7$$

Ερώτημα (ii)

Σχεδιασμός	G	P	N	Dmin (H=5)	Dmin (H=18)
α	8/3	7	2	14,30	20,86
β	25/9	5	2	12,45	19,14
γ	28/9	5	2	12,89	19,97
δ	20/9	7	4	14,30	17,06

Ερώτημα (iii)

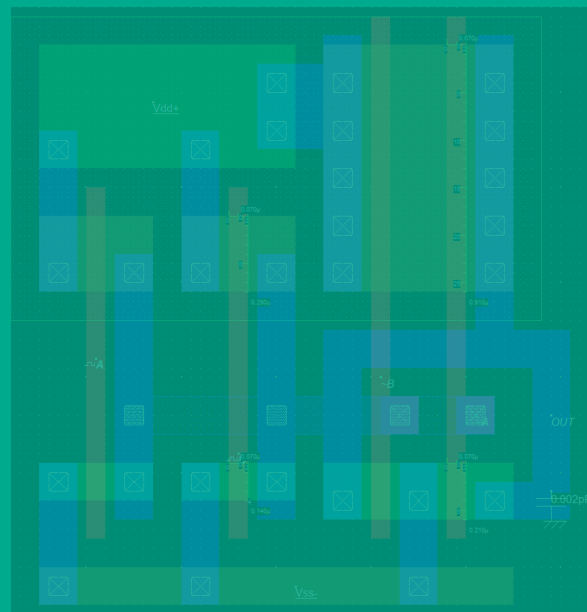


(β) Αφού οι nand στην είσοδο είναι ελάχιστες, μπορούμε να εξάγουμε το σχήμα που φαίνεται στο σχήμα δεξιά. Από εκεί παίρνουμε το C_{in} path.

Με την χωρητικότητα εισόδου δεδομένη πλέον, μέσω του δοσμένου H , παίρνουμε το C_{out} path και οι υπολογισμοί μας συνεχίζονται στο μοτίβο της προηγούμενης άσκησης.

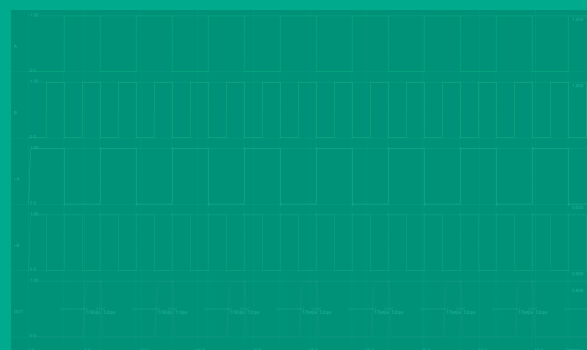
Προκύπτει το layout που φαίνεται στην Εικόνα 6 (ο πίνακας που την συνοδεύει εξηγεί τις διαστάσεις των τρανζίστορ), και οι μετρήσεις του στην Εικόνα 7. Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

Υπολογισμοί



Εικόνα 5

Transistor	λ	nm
NOR PMOS	68	2380
NOR NMOS	17	595
NAND PMOS	8	280
NAND NMOS	12	420



Εικόνα 4

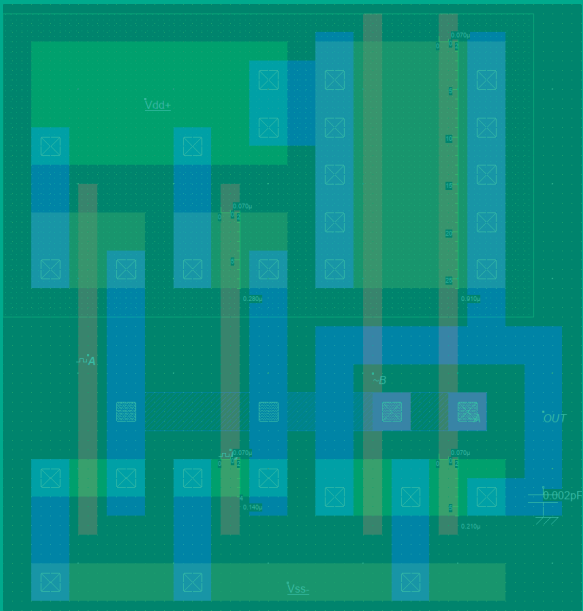
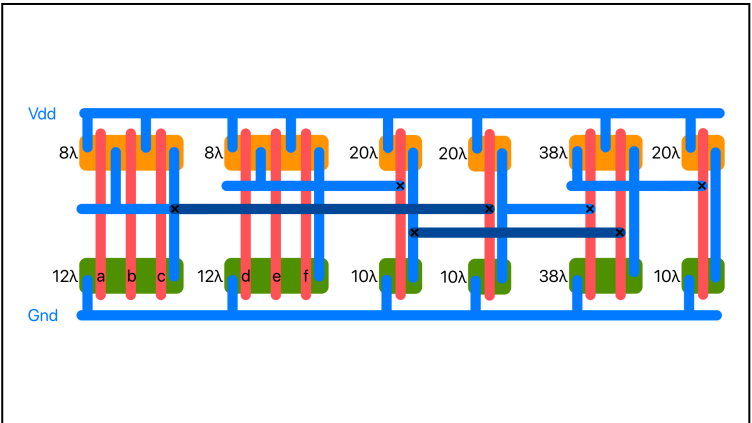
Rise Delay	- ns
Fall Delay	- ns

(δ) Ξανά λόγω των ελάχιστων NAND, παίρνουμε το C_{in} path.

Ύστερα κινούμαστε από τα δεξιά προς τα αριστερά, υπολογίζοντας κάθε φορά το C_{in} , από τον τύπο:

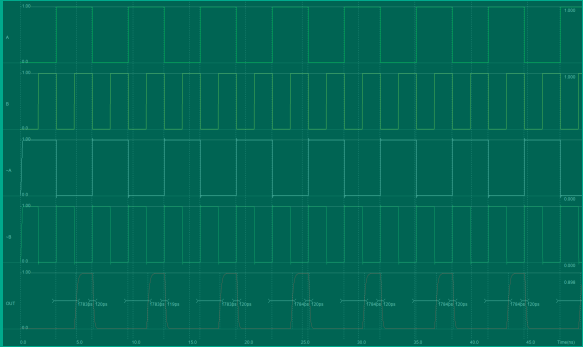
$$C_{in} = \frac{g \cdot C_{out}}{\hat{f}}$$

Λόγω του μήκους του κυκλώματος, σχεδιάσαμε πρώτα ένα Stick Diagram για να μας βοηθήσει αργότερα:



Εικόνα 5

Transistor	λ	nm
NOT_right PMOS	95	3325
NOT_right NMOS	48	1680
NAND_right PMOS	38	1330
NAND_right NMOS	38	1330
NOT_left PMOS	20	700
NOT_left NMOS	10	350
NAND_left PMOS	8	280
NAND_left NMOS	12	420



Εικόνα 4

Rise Delay	- ns
Fall Delay	- ns

3. Τρίτη Άσκηση

