

# Εισαγωγή σε VLSI

## Εργαστηριακή Άσκηση 4

Λουδάρος Ιωάννης (1067400) – Αλέξιος Γεωργαντόπουλος - Γιαννούτσος (1062268)



Μπορείτε να δείτε την τελευταία έκδοση του Project εδώ ή σκανάροντας τον κωδικό QR που βρίσκεται στην επικεφαλίδα.

## Περιγραφή Αναφοράς

Παρακάτω παραθέτουμε τις απαντήσεις μας στην “Τέταρτη Εργαστηριακή Άσκηση” του μαθήματος “Εισαγωγή σε VLSI” καθώς και σχόλια τα οποία προέκυψαν κατά την εκπόνηση του.

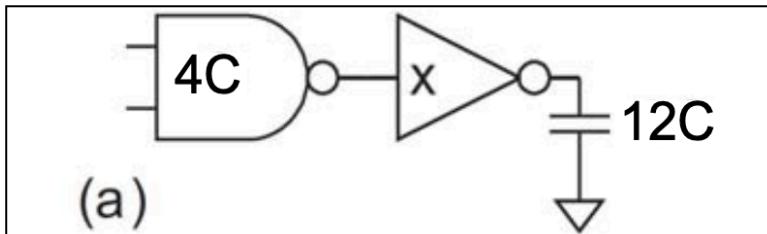
## Περιεχόμενα

1. Πρώτη Άσκηση .....	2
Ερώτημα (a)	2
Ερώτημα (b)	3
2. Δεύτερη Άσκηση .....	4
Ερώτημα (i)	4
Ερώτημα (ii)	4
Ερώτημα (iii)	4
3. Τρίτη Άσκηση .....	6

# Απαντήσεις

## 1. Πρώτη Άσκηση

Ερώτημα (a)



Εφαρμόζοντας την μέθοδο του παραδείγματος, υπολογίζουμε πρώτα το  $F$ :

$$F = GHB = \left(\frac{4}{3} \cdot 1\right) \cdot \frac{12}{4} \cdot 1 = 4$$

Έπειτα μπορούμε να υπολογίζουμε το  $\hat{f}$ .

$$\hat{f} = \sqrt{F} = 2$$

Και άρα, χρησιμοποιώντας τον τύπο, βρίσκουμε το  $x$ :

$$C_{in} = \frac{g C_{out}}{\hat{f}} \Rightarrow x = \frac{1 \cdot 12}{2} = 6C$$

Επίσης, υπολογίζουμε την καθυστέρηση μονοπατιού ως:

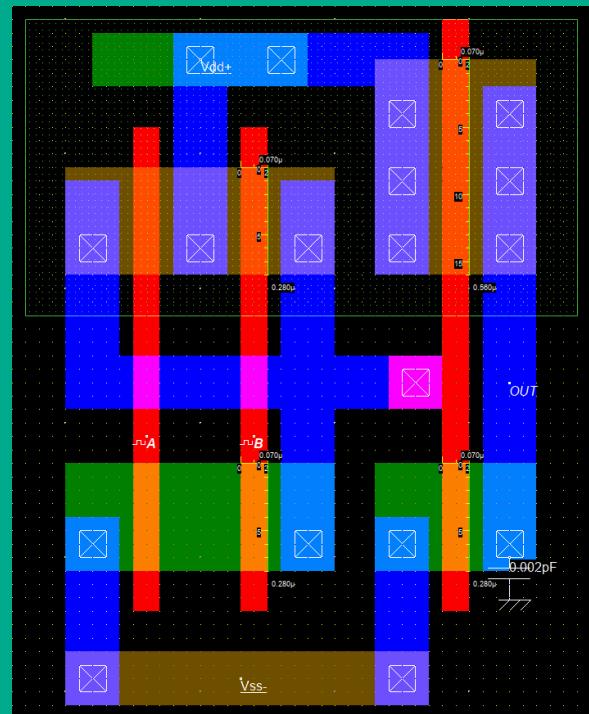
$$D = D_F + P = 2 \cdot 2 + 3 = 7 \Rightarrow D \approx 7 \cdot 2 = 14 \text{ ps}$$

Για την πειραματική επαλήθευση, κατασκευάσαμε πρώτα τον ελάχιστο αντιστροφέα μόνο του (σε cmos65n) ώστε να βρούμε το της τεχνολογίας. Βρήκαμε ότι είναι 2ps. Ταυτόχρονα, μετρήσαμε την χωρητικότητα της πύλης, η οποία ήταν 0.5 fF.

Έπειτα, γνωρίζοντας πλέον όλες τις χωρητικότητες (και άρα τα πλάτη των τρανζίστορ που χρειαζόμαστε), σχεδιάσαμε ολόκληρο το layout που φαίνεται στην Εικόνα 1 (κάτω από την οποία φαίνονται και οι διαστάσεις των transistors). Στην Εικόνα 2 και στον πίνακα που την συνοδεύει, μπορείτε να δείτε τις καθυστερήσεις που επιβεβαιώνουν τους παραπάνω υπολογισμούς.

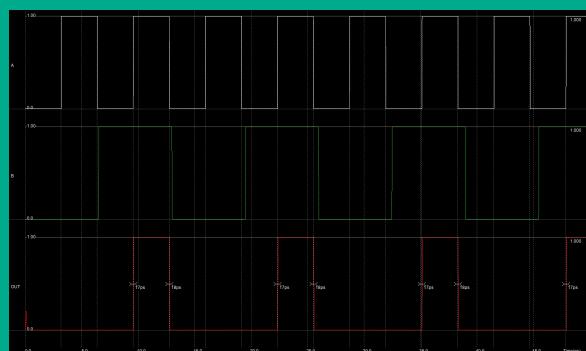
Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

Υπολογισμοί



Εικόνα 1

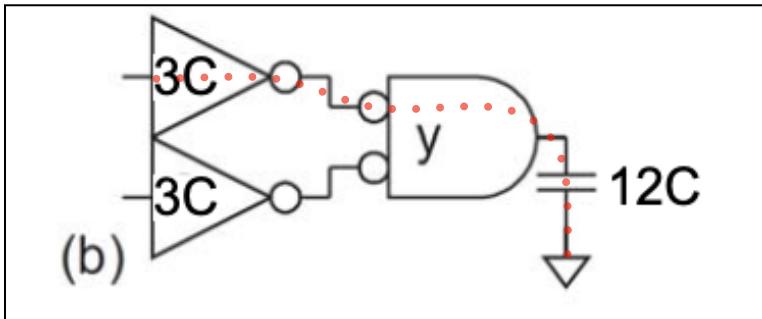
Transistor	$\lambda$	nm
NAND PMOS	8	280
NAND NMOS	8	280
NOT PMOS	16	560
NOT NMOS	8	280



Εικόνα 2

Rise Delay	17 ps
Fall Delay	18 ps

## Ερώτημα (b)



Για τους υπολογισμούς μας χρησιμοποιούμε το μονοπάτι που φαίνεται παραπάνω.

Υπολογίζουμε πάλι πρώτα το  $F$ :

$$F = GHB = \left(1 \cdot \frac{5}{3}\right) \cdot \frac{12}{3} \cdot 1 = \frac{60}{9}$$

Έπειτα μπορούμε να υπολογίσουμε το  $\hat{f}$ .

$$\hat{f} = \sqrt{F} = 2,582$$

Και άρα, χρησιμοποιώντας τον τύπο:

$$C_{in} = \frac{g C_{out}}{\hat{f}} \Rightarrow y = \frac{5 \cdot 12}{3 \cdot 2,582} = 7,746 \text{ C}$$

Επίσης, υπολογίζουμε την καθυστέρηση μονοπατιού ως:

$$D = D_F + P = 2 \cdot 2,582 + 2 + 1 = 8,164$$

$$\Rightarrow D \approx 8,164 \cdot 2 = 16,328 \text{ ps}$$

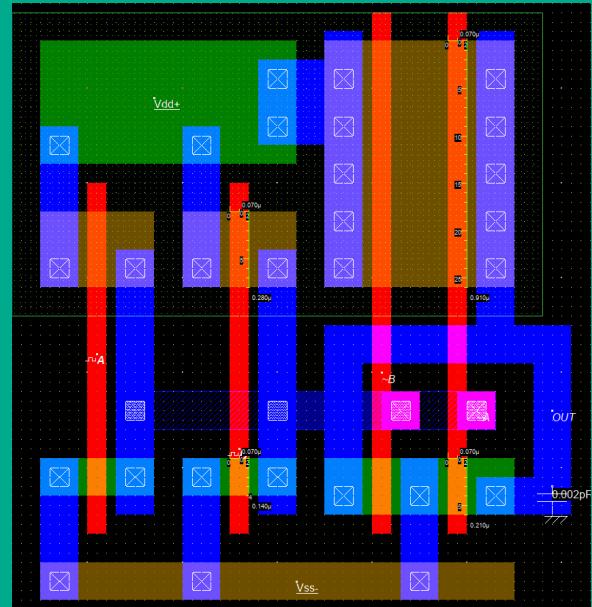
Και άρα είναι πιο αργή από την πρώτη υλοποίηση.

Για την δημιουργία του Layout χρειάζεται να στρογγυλέψουμε το  $y$  στον πλησιέστερο ακέραιο, που είναι το 8.

Έπειτα, γνωρίζοντας πλέον όλες τις χωρητικότητες (και άρα τα πλάτη των τρανζίστορ που χρειαζόμαστε), σχεδιάσαμε ολόκληρο το layout που φαίνεται στην Εικόνα 3 (κάτω από την οποία φαίνονται και οι διαστάσεις των transistors). Στην Εικόνα 4 και στον πίνακα που την συνοδεύει, μπορείτε να δείτε τις καθυστερήσεις που επιβεβαιώνουν τους παραπάνω υπολογισμούς.

Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

**Υπολογισμοί**



Εικόνα 3

Transistor	$\lambda$	nm
NOR PMOS	26	910
NOR NMOS	6	210
NOT PMOS	8	280
NOT NMOS	4	140



Εικόνα 4

Rise Delay	20 ps
Fall Delay	22 ps

## 2. Δεύτερη Άσκηση

### Ερώτημα (i)

Οι εκφράσεις δίνονται παρακάτω:

$$(a) D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{8}{3} \cdot H} + 7$$

$$(b) D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{25}{9} \cdot H} + 5$$

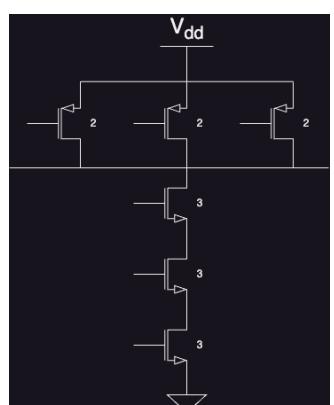
$$(c) D_{min} = n \cdot \hat{f} + P = 2 \cdot \sqrt{\frac{28}{9} \cdot H} + 5$$

$$(d) D_{min} = n \cdot \hat{f} + P = 4 \cdot \sqrt{\frac{20}{9} \cdot H} + 7$$

### Ερώτημα (ii)

Σχεδιασμός	G	P	N	D <sub>min</sub> (H=5)	D <sub>min</sub> (H=18)
α	8/3	7	2	14,30	20,86
β	25/9	5	2	12,45	19,14
γ	28/9	5	2	12,89	19,97
δ	20/9	7	4	14,30	17,06

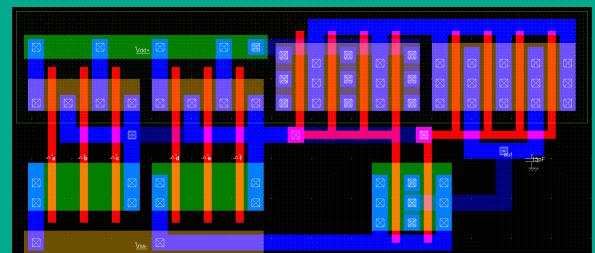
### Ερώτημα (iii)



(β) Αφού οι nand στην είσοδο είναι ελάχιστες, μπορούμε να εξάγουμε το σχήμα που φαίνεται στο σχήμα δεξιά. Από εκεί παίρνουμε το  $C_{in}$  path.

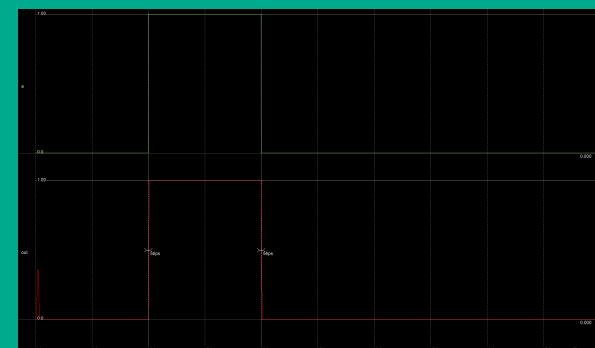
Με την χωρητικότητα εισόδου δεδομένη πλέον, μέσω του δοσμένου  $H$ , παίρνουμε το  $C_{out}$  path και οι υπολογισμοί μας συνεχίζονται στο μοτίβο της προηγούμενης άσκησης.

Προκύπτει το layout που φαίνεται στην Εικόνα 5 (ο πίνακας που την συνοδεύει εξηγεί τις διαστάσεις των τρανζίστορ), και οι μετρήσεις του στην Εικόνα 6.



Εικόνα 5

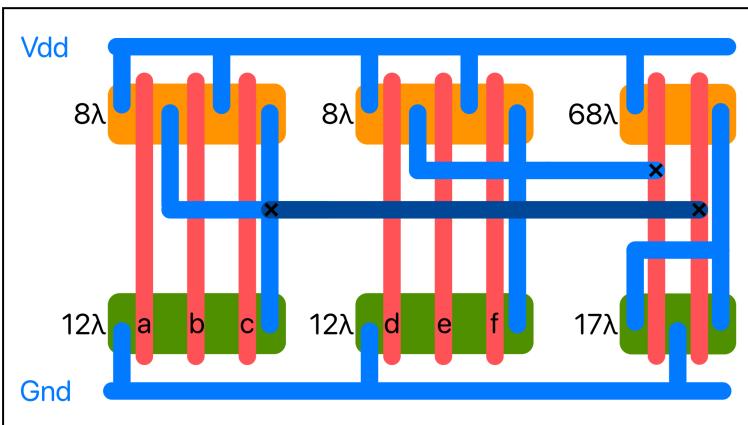
Transistor	$\lambda$	nm
NOR PMOS	68	2380
NOR NMOS	17	595
NAND PMOS	8	280
NAND NMOS	12	420



Εικόνα 6

Delay	H=5	H=18
Rise Delay	41ps	56 ps
Fall Delay	41ps	56 ps

Λόγω του μήκους του κυκλώματος, σχεδιάσαμε πρώτα ένα Stick Diagram για να μας βοηθήσει αργότερα:



Να σημειωθεί ότι, όπως φαίνεται και στο layout, για να υπάρχει ομοιομορφία στο πλάτος, η πορ διπλώθηκε 2 φορές.

Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

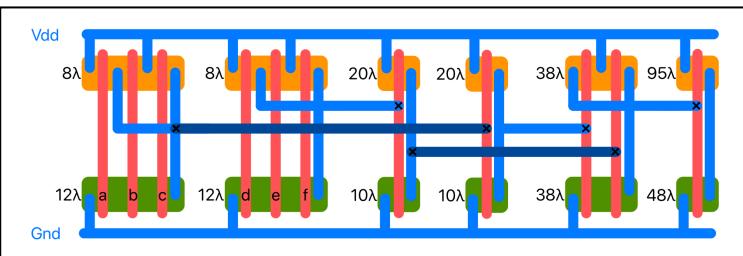
## Υπολογισμοί

(δ) Ξανά λόγω των ελάχιστων NAND, παίρνουμε το  $C_{in}$  path.

Έχοντας κινούμαστε από τα δεξιά προς τα αριστερά, υπολογίζοντας κάθε φορά το  $C_{in}$ , από τον τύπο:

$$C_{in} = \frac{g \cdot C_{out}}{\hat{f}}$$

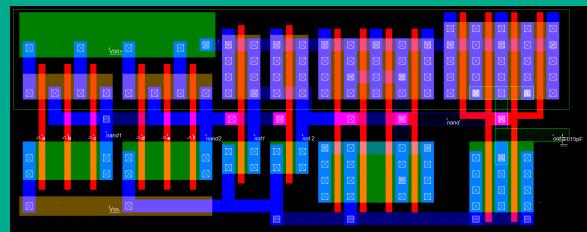
Λόγω του μήκους του κυκλώματος, σχεδιάσαμε πρώτα ένα Stick Diagram για να μας βοηθήσει αργότερα:



Σύμφωνα με το Stick Diagram και τις διαστάσεις που υπολογίσαμε, προκύπτει το layout στην Εικόνα 7, ο πίνακας που το συνοδεύει με τα μεγέθη των transistor. Οι μετρήσεις δίνονται στην Εικόνα 8 και στον πίνακα που την συνοδεύει.

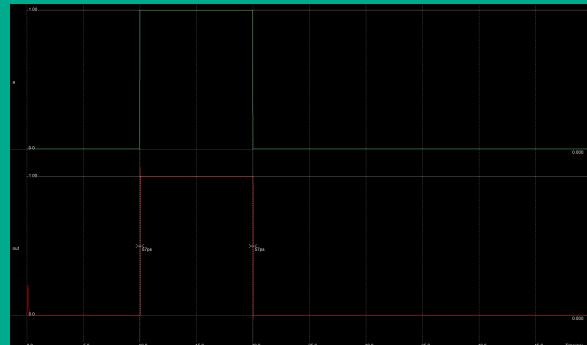
Για τους ακριβείς υπολογισμούς των διαστάσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

## Υπολογισμοί



Εικόνα 7

Transistor	$\lambda$	nm
NOT_right PMOS	95	3325
NOT_right NMOS	48	1680
NAND_right PMOS	38	1330
NAND_right NMOS	38	1330
NOT_left PMOS	20	700
NOT_left NMOS	10	350
NAND_left PMOS	8	280
NAND_left NMOS	12	420



Εικόνα 8

Delay	H=5	H=18
Rise Delay	52ps	57 ps
Fall Delay	52ps	57 ps

### 3. Τρίτη Άσκηση

Από την άσκηση δίνεται ότι το  $C_{pad}$  είναι 256 φορές μεγαλύτερο από την χωρητικότητα εισόδου του κυκλώματος, άρα  $H = 256$ .

Για τους υπολογισμούς και των δύο παρακάτω περιπτώσεων, μπορείτε να πατήσετε το παρακάτω κουμπί.

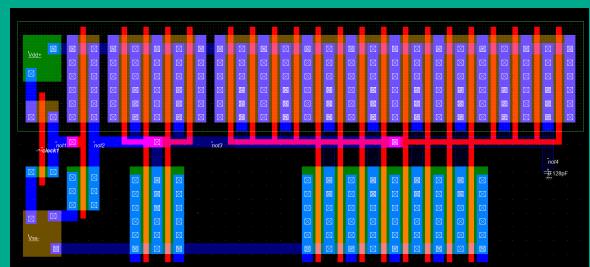
#### Υπολογισμοί

#### K=4

Με το  $H$  δεδομένο και κινούμενοι από αριστερά προς τα δεξιά με τον τύπο  $C_{in} = \frac{g \cdot C_{out}}{\hat{f}}$ , βρίσκουμε όλες τις διαστάσεις (πίνακας κάτω από την Εικόνα 9) που χρειαζόμαστε για να φτιάξουμε το layout των αντιστροφέων που φαίνεται στην Εικόνα 9.

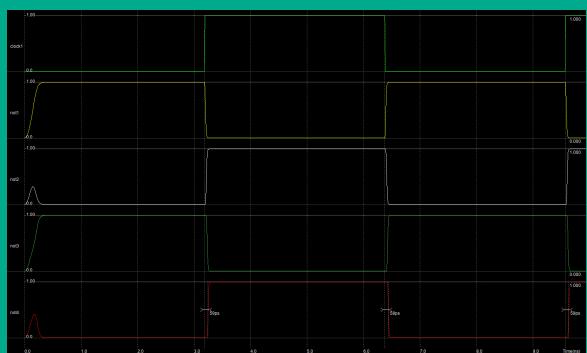
$$D_{min} = \hat{f} + P = \sqrt[4]{1 \cdot 1 \cdot 256} + 170 = 426ps$$

Για τις πειραματικές μετρήσεις, δείτε την Εικόνα 10 και τον πίνακα που την συνοδεύει.



Εικόνα 9

Transistor	$\lambda$	nm
K4 PMOS	512	17.920
K4 NMOS	256	8.960
K3 PMOS	128	4.480
K3 NMOS	64	2.240
K2 PMOS	32	1.120
K2 NMOS	16	560
K1 PMOS	8	280
K1 NMOS	4	140



Εικόνα 10

Rise Delay	59 ps
Fall Delay	58 ps

## K=2

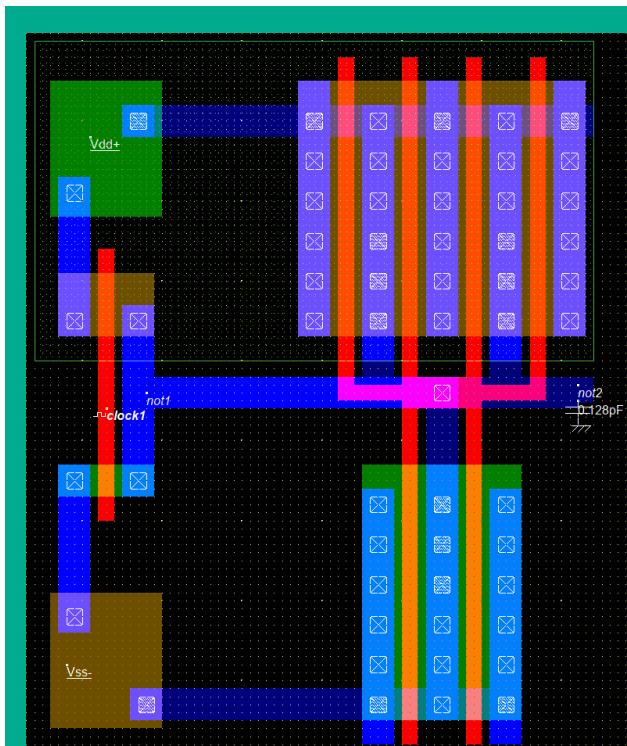
Παρόμοια με προηγουμένως, βρίσκουμε όλες τις διαστάσεις (πίνακας κάτω από την Εικόνα 9) που χρειαζόμαστε για να φτιάξουμε το layout των αντιστροφέων που φαίνεται στην Εικόνα 11.

$$D_{\min} = \hat{f} + P = \sqrt{1 \cdot 1 \cdot 256} + 34 = 290\text{ns}$$

Για τις πειραματικές μετρήσεις, δείτε την Εικόνα 12 και τον πίνακα που την συνοδεύει.

## Συμπέρασμα

Βλέπουμε λοιπόν ότι η δεύτερη υλοποίηση είναι ξεκάθαρα γρηγορότερη της πρώτης.



Εικόνα 10

Transistor	$\lambda$	nm
K2 PMOS	128	4.480
K2 NMOS	64	2.240
K1 PMOS	8	280
K1 NMOS	4	140

*Kαλή Χρονιά*



Εικόνα 11

Rise Delay	103 ps
Fall Delay	98 ps