

Лабораторная работа № 6

по курсу «Программное обеспечение цифрового проектирования»

«Синтез запоминающих устройств»

Необходимое программное обеспечение:

- Aldec Active-HDL;
- Evita_VHDL;
- Xilinx ISE либо Mentor Graphics (в качестве средств синтеза);

1. Составить vhdl-описание многопортовой памяти (регистрового файла) и Testbench для проверки ее работы (см. рис. 1):

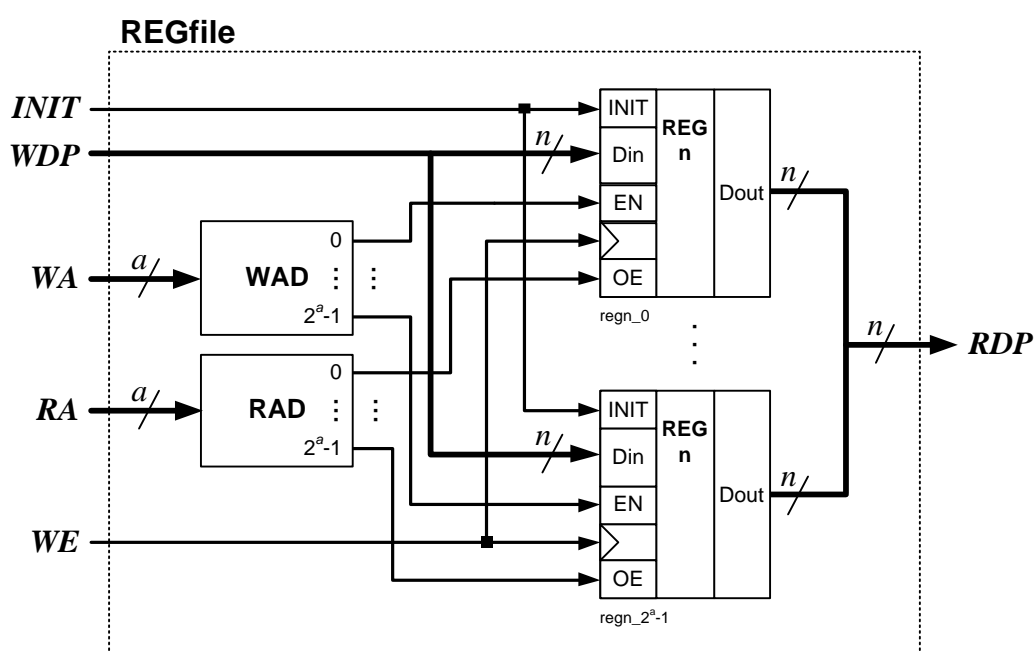


Рис. 1. Общая структура двухпортового регистрового файла.

REGn – n -разрядный регистр хранения;

WDP (Write Data Port) - входной порт шины данных для записи;

RDP (Read Data Port) - выходной порт шины прочитанных данных;

WA (Write Address) - входной порт шины адреса регистра для записи;

RA (Read Address) - входной порт шины адреса регистра для чтения;

WAD (Write Address Decoder) - дешифратор адреса порта записи;

RAD (Read Address Decoder) - дешифратор адреса порта чтения;

2. Выполните индивидуальное задание (составление vhdl-описания памяти определенного типа и Testbench для проверки его работы):

Каждый вид памяти предназначен для хранения M слов разрядностью N (Память информационной емкостью $N \times M$ бит).

- 2.1. Оперативное запоминающее устройство (ОЗУ);
- 2.2. Постоянное запоминающее устройство (ПЗУ);
- 2.3. ОЗУ типа LIFO (Last In First Out);
- 2.4. ОЗУ типа FIFO (First In First Out);

3. Дополните вашу память контролирующей схемой (см. рис. 2):

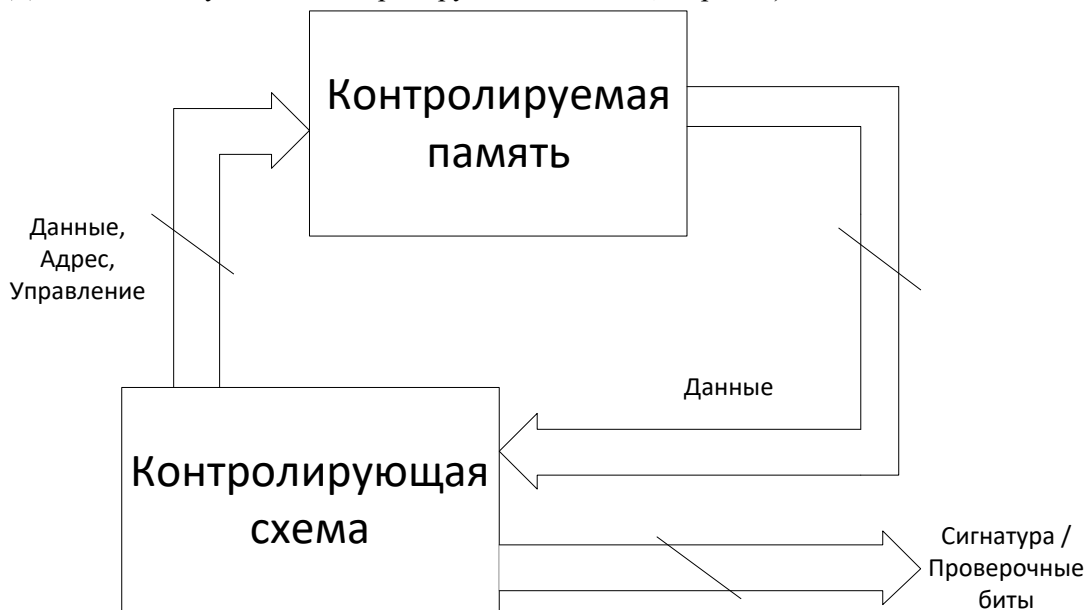


Рис. 2. Структурная схема памяти с контролирующей схемой.

3.1. CRC (Cyclic redundancy check) для ПЗУ ($N = 1$; $\varphi(x) = 1 \oplus x \oplus x^{27} \oplus x^{28} \oplus x^{32}$);

3.2. Код Хэмминга для ОЗУ ($N = 8$, $N = 16$, $N = 32$);

- а. Задание 1 **(4 балла)**.
 - б. Задание а и один из видов памяти **(6 баллов)**.
 - с. Задание б и модификацию LIFO или FIFO **(8 баллов)**.
 - д. Задание с и один из алгоритмов контроля **(10 баллов)**.
4. В результате выполнения лабораторной работы составьте отчет. Отчет должен содержать следующую информацию:
- а. Постановка задачи;
 - б. Vhdl-описания выполненных заданий;
 - с. Vhdl-описания TestBench;
 - д. Анализ результатов RTL и технологического синтеза каждого задания;
 - е. Выводы.