

Лабораторная работа № 3

по курсу «Программное обеспечение цифрового проектирования»

«Базовые элементы памяти и RTL-синтез»

Необходимое программное обеспечение:

- Aldec Active-HDL;
- Evita_VHDL;
- Xilinx ISE либо Mentor Graphics (в качестве средств синтеза);

1. Составить vhdl-описание бистабильного элемента, произвести его функциональное моделирование при помощи TestBench (см. рис. 1):

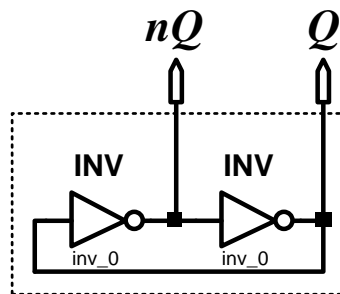


Рис. 1. Структурная схема бистабильного элемента.

2. Составить структурное и поведенческое vhdl-описание RS-защелки (RS-latch) произвести его функциональное моделирование при помощи TestBench (см. рис. 2). После чего составить параметрическую модель с транспортными и инерционными задержками и произвести ее функциональное моделирование:

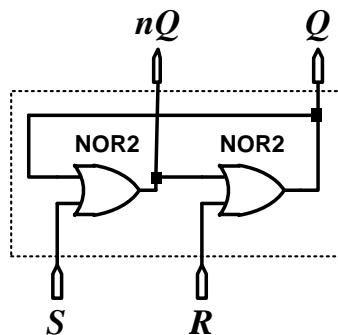


Рис. 2. RS-защелка.

3. Прodelать все действия из пункта 2 с D-защелкой (см. рис. 3):

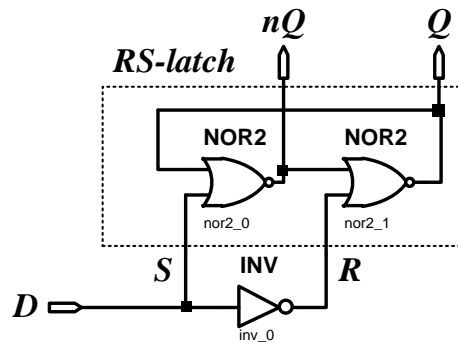


Рис. 3. D-защелка.

4. Прodelать все действия из пункта 2 с D-защелкой с разрешением (см. рис. 4):

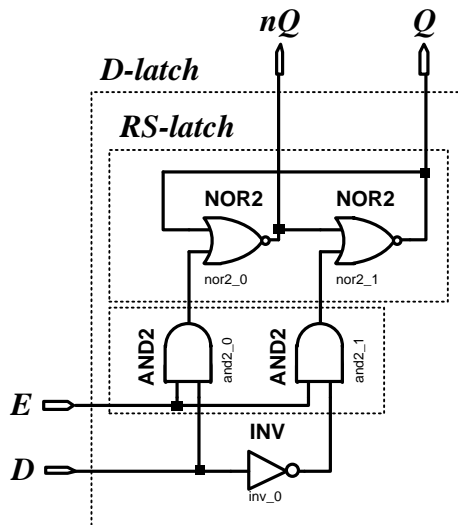


Рис. 4. D-защелка с разрешением.

5. Выполните индивидуальное задание (составление поведенческой модели и функциональное моделирование при помощи TestBench):
- 5.1. D-защелка с возможностью асинхронного сброса;
 - 5.2. D-защелка с возможностью асинхронной предустановки;
 - 5.3. D-триггер;
 - 5.4. D-триггер с разрешением;
 - 5.5. D-триггер с возможностью асинхронного сброса;
 - 5.6. D-триггер с возможностью асинхронной предустановки;
 - 5.7. RS-триггер;
 - 5.8. JK-триггер;
 - 5.9. T-триггер;
 - 5.10. Модель D-триггера Master-Slave;
 - a. Одного задания (**4 балла**).
 - b. Два задания (**5 баллов**).
 - c. Три задания (**6 баллов**).
 - d. Четыре задания (**7 баллов**).
 - e. Пять заданий (**8 баллов**).
 - f. Шесть заданий (**9 баллов**).
 - g. Семь заданий (**10 баллов**).

6. В результате выполнения лабораторной работы составьте отчет. Отчет должен содержать следующую информацию:
- a. Постановка задачи;
 - b. Vhdl-описания выполненных заданий;
 - c. Vhdl-описания Test Bench;
 - d. Анализ результатов RTL-синтеза каждого задания;
 - e. Выводы.