Министерство образования Республики Беларусь

Учреждение образования

Белорусский государственный университет информатики и радиоэлектроники

Факультет компьютерных систем и сетей

Кафедра программного обеспечения информационных технологий

ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЦИФРОВОГО ПРОЕКТИРОВАНИЯ

Лабораторная работа №1

Студент: гр. 551005

Коваленко И.А.

Руководитель: Шамына А.Ю.

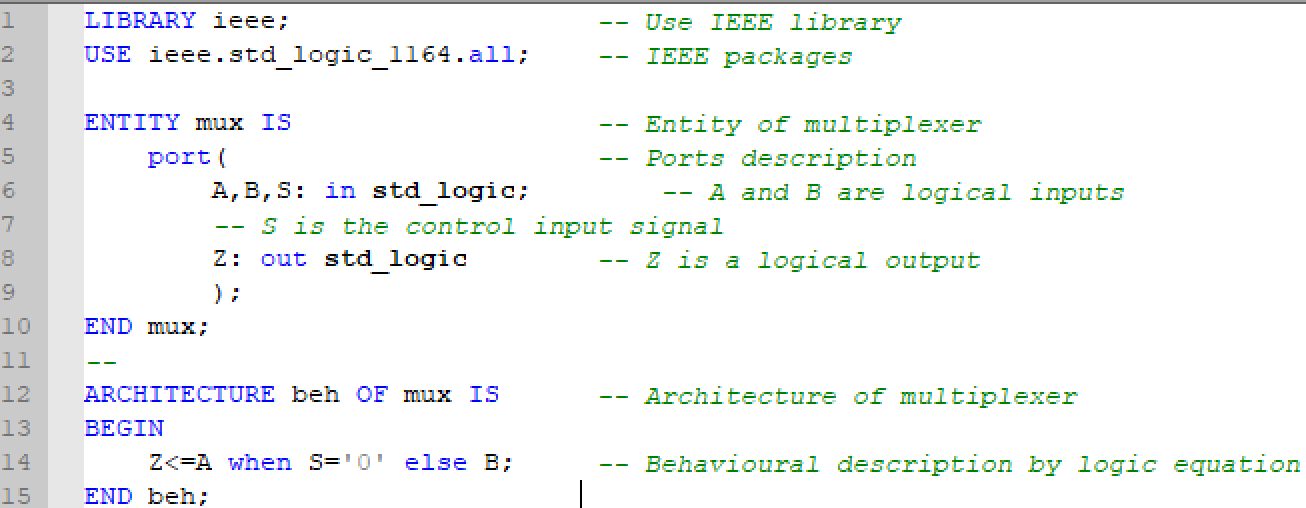
Минск 2018

# Задание 1

**Постановка задачи**

Скомпилировать и произвести функциональное моделирование мультиплексора, который задается следующим vhdl-кодом:

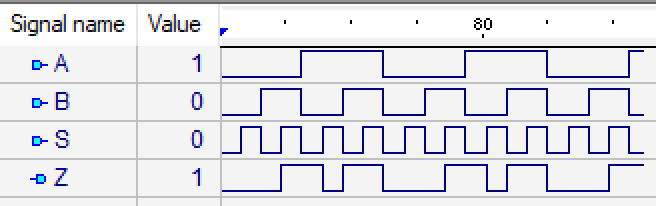
**VHDL описание**



**Таблица истинности**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **B** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **S** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Z | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |

**Результаты моделирования**



**Выводы**

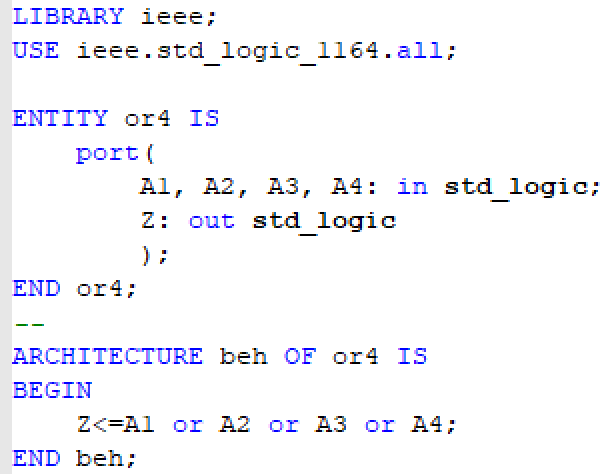
Было получено устройство, выполняющее свои задачи в соответствии с поставленной задачей

# Задание 2

**Постановка задачи**

Разработайте vhdl-описание 4-входового элемента OR, AND или XOR. Произведите функциональное моделирование. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений

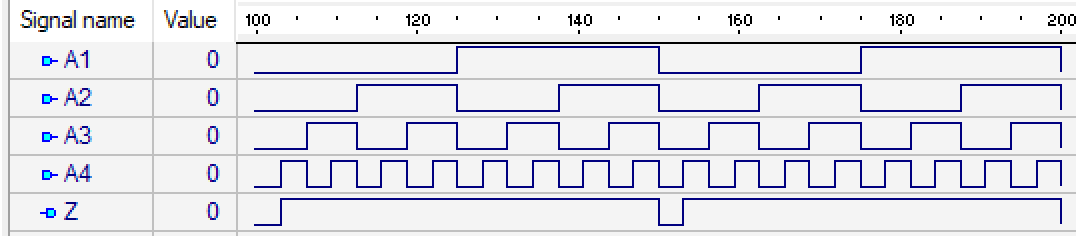
**VHDL описание**



**Таблица истинности**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **2** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **3** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **4** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Z | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Результаты моделирования**



**Выводы**

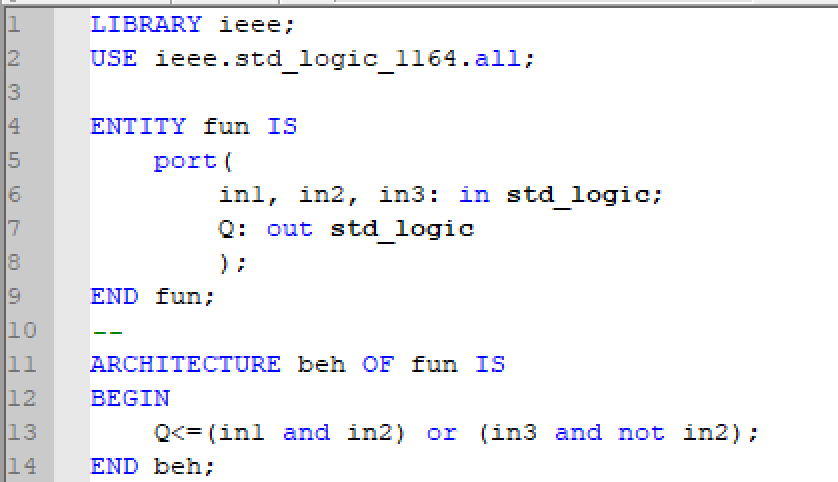
Было получено устройство, выполняющее свои задачи в соответствии с поставленной задачей

# Задание 3

**Постановка задачи**

Разработайте vhdl-описание следующего логического выражения Q=in1\*in2+in3\*~(in2), где Q – выходной сигнал, in1, in2, in3 – входные сигналы, \* - операция логического И (AND), + - операция логического ИЛИ (OR), ~ - операция логического отрицания. Произведите функциональное моделирование. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений

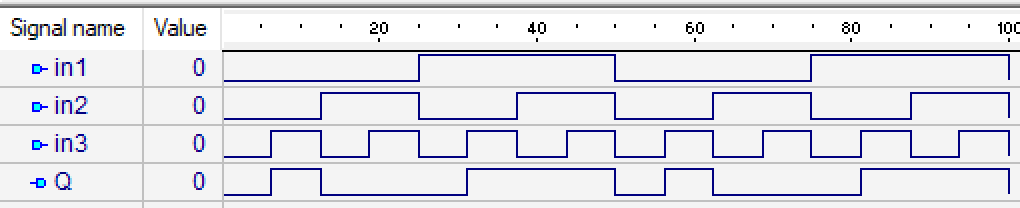
**VHDL описание**



**Таблица истинности**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **2** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **3** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Q | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |

**Результаты моделирования**



**Выводы**

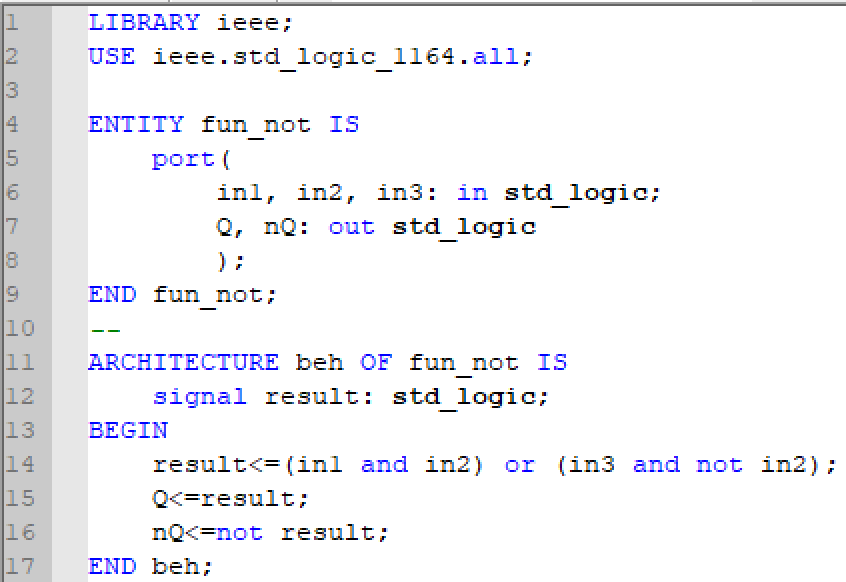
Было получено устройство, выполняющее свои задачи в соответствии с поставленной задачей

# Задание 4

**Постановка задачи**

Модифицируйте vhdl-описание из задания b, добавив выходной сигнал nQ, значение которого вычисляется с помощью выражения nQ = ~(Q). Произведите симуляцию. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений

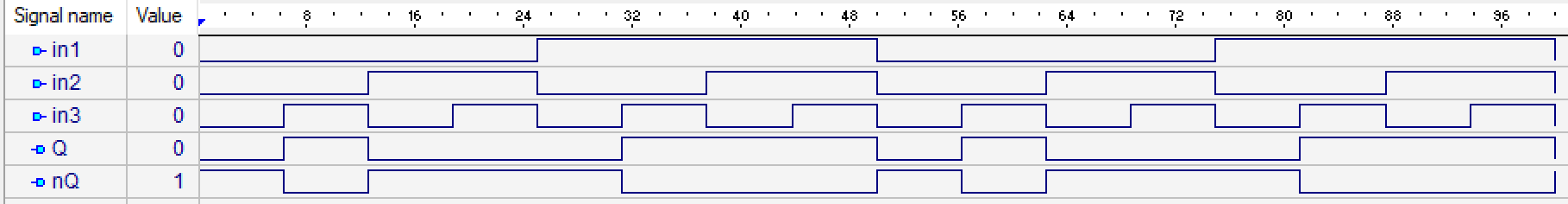
**VHDL описание**



**Таблица истинности**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **2** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| **3** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Q | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| n | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |

**Результаты моделирования**



**Выводы**

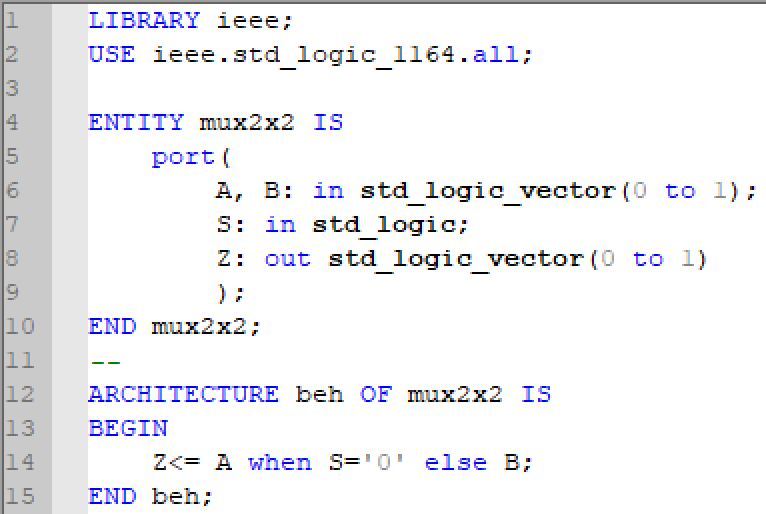
Было получено устройство, выполняющее свои задачи в соответствии с поставленной задачей

# Задание 5

**Постановка задачи**

Разработайте vhdl-описание мультиплексора, который имеет 4 входа (две группы по два сигнала), один селектирующий сигнал (сигнал выбора) и два выходных сигнала. Селектирующий сигнал соединяет одну группу входных сигналов с выходным сигналом.

**VHDL описание**

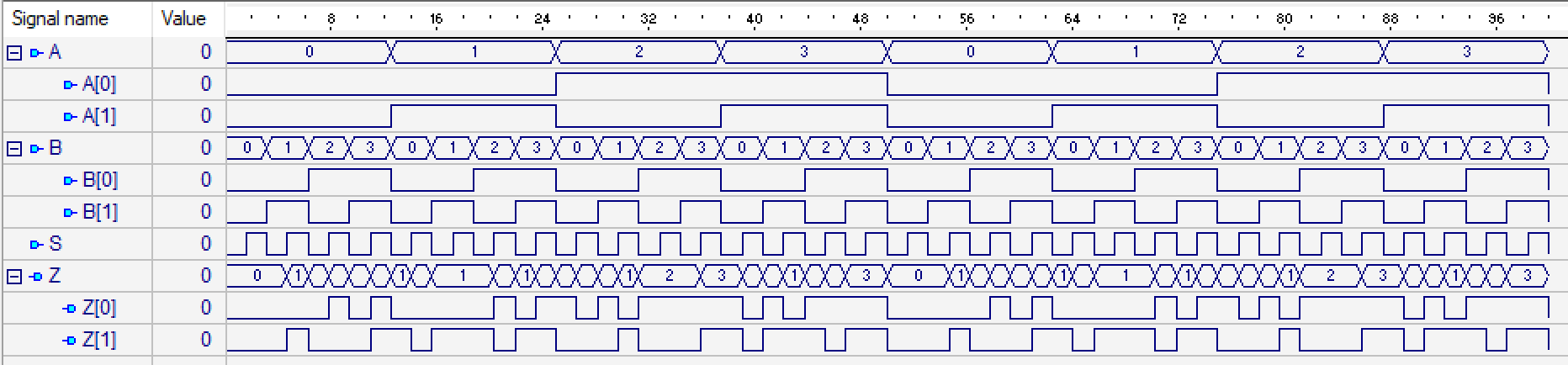


**Таблица истинности**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **0** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **0** | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| **1** | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| S | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **1** |
| 1 | **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **1** | **1** | **1** | **0** | **1** | **1** |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| **0** | **1** | **0** | **1** | **1** | **1** | **1** | **1** | **0** | **1** | **0** | **1** | **1** | **1** | **1** |
| **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **1** | **1** | **1** | **0** | **1** | **1** |

**Результаты моделирования**



**Выводы**

Было получено устройство, выполняющее свои задачи в соответствии с поставленной задачей