



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 1

Название: Проектирование систем на кристалле на основе ПЛИС

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-52Б

(Группа)

(Подпись, дата)

И.С. Климов

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2021

Содержание

Введение	3
1. Разрабатываемая СНК	4
2. Практическая часть	5
Вывод	8

Введение

Система на кристалле (SoC, СНК) — это функционально законченная электронная вычислительная система, состоящая из одного или нескольких микропроцессорных модулей, а также системных и периферийных контроллеров, выполненная на одном кристалле. Такая тесная интеграция компонентов системы позволяет достичь высокого быстродействия при построении специализированных ЭВМ. Поэтому изучение данной темы является важной и актуальной задачей.

Цель работы: изучить основы построения микропроцессорных систем на ПЛИС. Для достижения цели поставлены следующие **задачи**:

- 1) ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС;
- 2) получить навыки проектирования СНК в САПР Altera Quartus II;
- 3) выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

1. Разрабатываемая СНК

На *рисунке 1.1* представлена структура системы на кристалле, которую необходимо реализовать в САПР Quartus II.

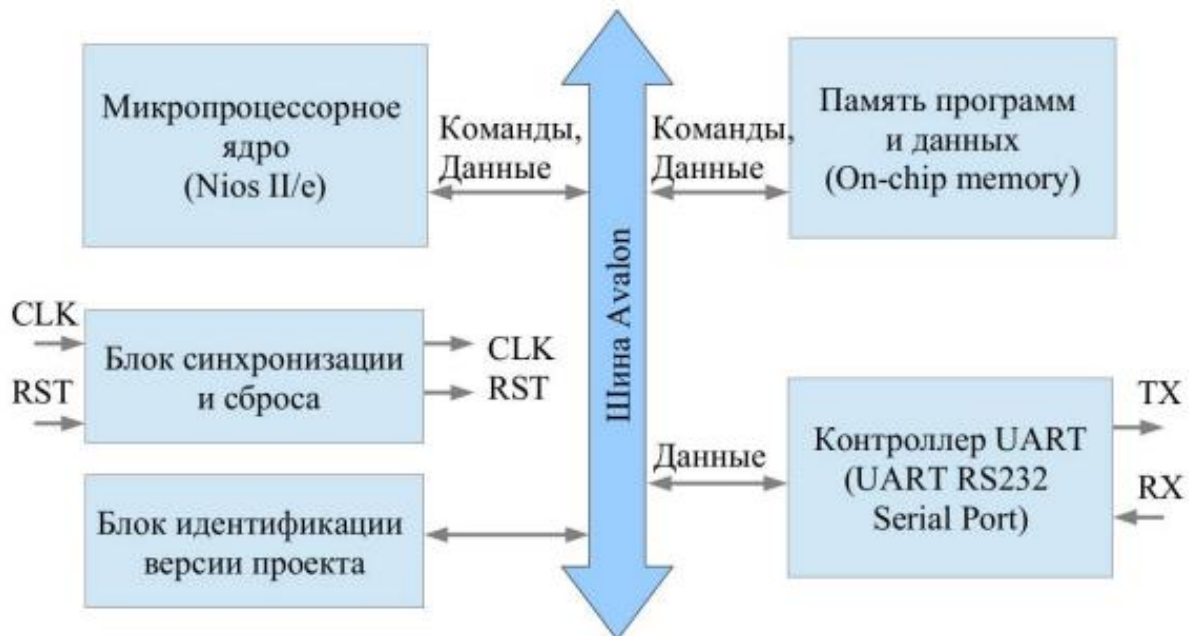


Рисунок 1.1 — Функциональная схема разрабатываемой системы на кристалле.

Система на кристалле состоит из следующих блоков:

- микропроцессорное ядро Nios II/e выполняет функции управления системой;
- внутренняя оперативная память СНК, используемая для хранения программы управления и данных;
- системная шина Avalon обеспечивает связность всех компонентов системы;
- блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность;
- блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы;
- контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

2. Практическая часть

На основе изученной структуры и в соответствии с методическими указаниями была сконструирована система на кристалле Altera Qsys. На *рисунке 2.1* представлен модуль Qsys после назначения базовых адресов.

Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Tags
<input checked="" type="checkbox"/>		clk_0	Clock Source						
<input checked="" type="checkbox"/>		clk_in_reset	Reset Input	reset					
<input checked="" type="checkbox"/>		clk	Clock Output	clk_0					
<input checked="" type="checkbox"/>		clk_reset	Reset Output	reset					
<input checked="" type="checkbox"/>		nios2_qsys_0	Nios II Processor						
<input checked="" type="checkbox"/>		clk	Clock Input	clk_0					
<input checked="" type="checkbox"/>		reset_n	Reset Input	reset					
<input checked="" type="checkbox"/>		data_master	Avalon Memory Mapped Master						
<input checked="" type="checkbox"/>		instruction_master	Avalon Memory Mapped Master						
<input checked="" type="checkbox"/>		jtag_debug_module_re...	Reset Output						
<input checked="" type="checkbox"/>		jtag_debug_module	Avalon Memory Mapped Slave						
<input checked="" type="checkbox"/>		custom_instruction_m...	Custom Instruction Master						
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM)						
<input checked="" type="checkbox"/>		clk1	Clock Input	clk_0					
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave						
<input checked="" type="checkbox"/>		reset1	Reset Input	reset					
<input checked="" type="checkbox"/>		sysid_qsys_0	System ID Peripheral						
<input checked="" type="checkbox"/>		clk	Clock Input	clk_0					
<input checked="" type="checkbox"/>		reset	Reset Input	reset					
<input checked="" type="checkbox"/>		control_slave	Avalon Memory Mapped Slave						
<input checked="" type="checkbox"/>		uart_0	UART (RS-232 Serial Port)						
<input checked="" type="checkbox"/>		clk	Clock Input	clk_0					
<input checked="" type="checkbox"/>		reset	Reset Input	reset					
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave						
<input checked="" type="checkbox"/>		external_connection	Conduit Endpoint	uart0					

Рисунок 2.1 — Модуль Qsys после назначения базовых адресов.

Затем назначим портам проекта контакты микросхемы. На *рисунке 2.2* представлен модуль Pin Planner.

Top View - Wire Bond
Cyclone II - EP2C20F484C7

Node Name	Direction	Location	I/O Standard	Reserved	Current Strength	I/O Bank	VREF Group	Differential Pair
clk_clk	Input	PIN_L1	3.3-V LV...default		24mA (default)	2	B2_N1	
reset_reset_n	Input	PIN_R22	3.3-V LV...default		24mA (default)	6	B6_N0	
uart0_rxd	Input	PIN_F14	3.3-V LV...default		24mA (default)	4	B4_N1	
uart0_bxd	Output	PIN_G12	3.3-V LV...default		24mA (default)	4	B4_N1	
<<new node>>								

Рисунок 2.2 — Модуль Pin Planner.

Выполним прошивку проекта в ПЛИС. На *рисунке 2.3* представлен окно модуля программирования.

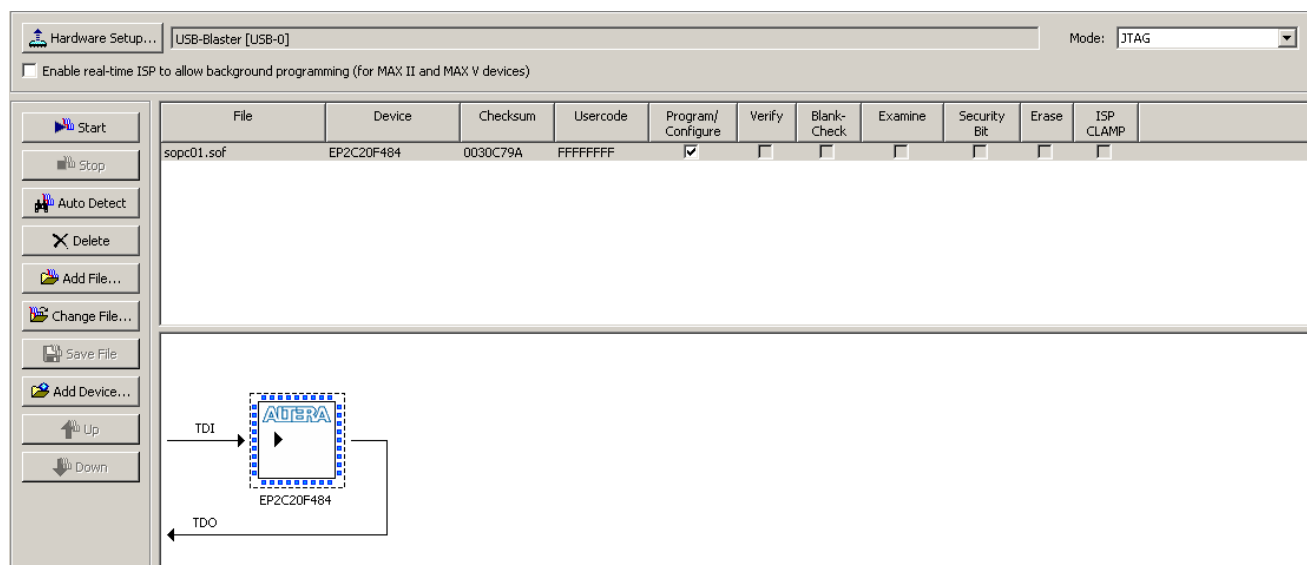


Рисунок 2.3 — Окно модуля программирования ПЛИС.

Для верификации системы была написана программа в среде разработки Nios II Software Build Tools for Eclipse. Код отображен на *рисунке 2.4*.

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;

    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    int a = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_O_BASE);
    alt_putchar(a / 0x1000 + '5');
    alt_putchar(a / 0x100 % 0x10 + '2');
    alt_putchar(a / 0x10 % 0x10 + '0');
    alt_putchar(a % 0x10 + '8');
```

Рисунок 2.4 — Код программы в среде разработки.

На *рисунке 2.5* представлен результат выполнения написанной программы.

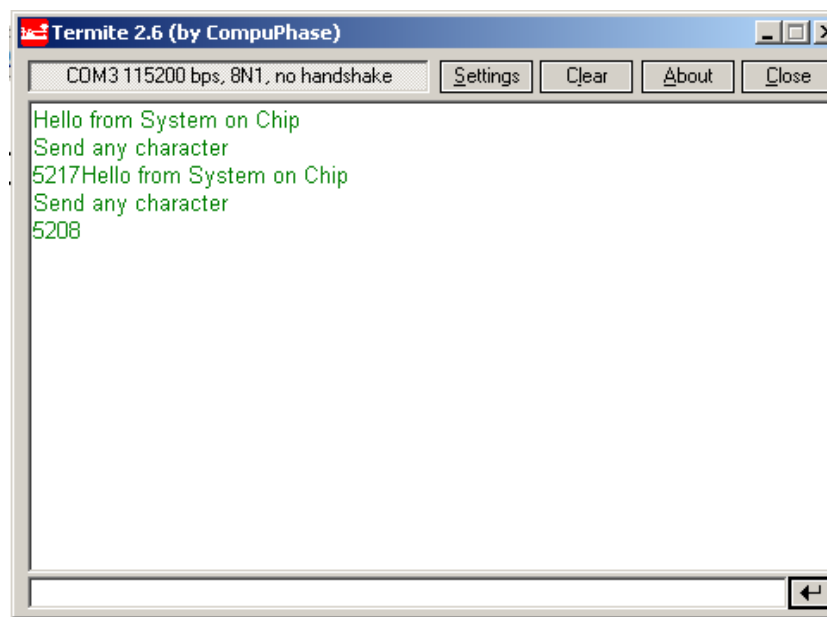


Рисунок 2.5 — Результат выполнения программы.

Вывод

В результате выполнения лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС путем проектирования СНК в САПР Altera Quartus II. Выполнены проектирование и верификация системы.