

Progetto finale Reti Logiche

Luca De Martini

1 Introduzione

2 Architettura

Al livello più alto il componente presenta un registro di cache dell'indirizzo in output e i process che descrivono il comportamento di una macchina a stati finiti. La macchina ha 6 stati ed è implementata con dei registri che commutano sul fronte di discesa del clock e ha come ingresso il segnale *o_{enc}dy*, segnale che il modulo interno porta a 1 quando l'encoder è pronto a codificare un indirizzo.

3 Risultati sperimentali

4 Simulazioni

5 Conclusioni