

PRAKTIKUM SISTEM DIGITAL

MODUL 7 : FLIP-FLOP DASAR



Disusun oleh:

AFIFAH GH AISANI IMANA

L200190198

PROGRAM STUDI TEKNIK INFORMATIKA

FAKULTAS KOMUNIKASI DAN INFORMATIKA

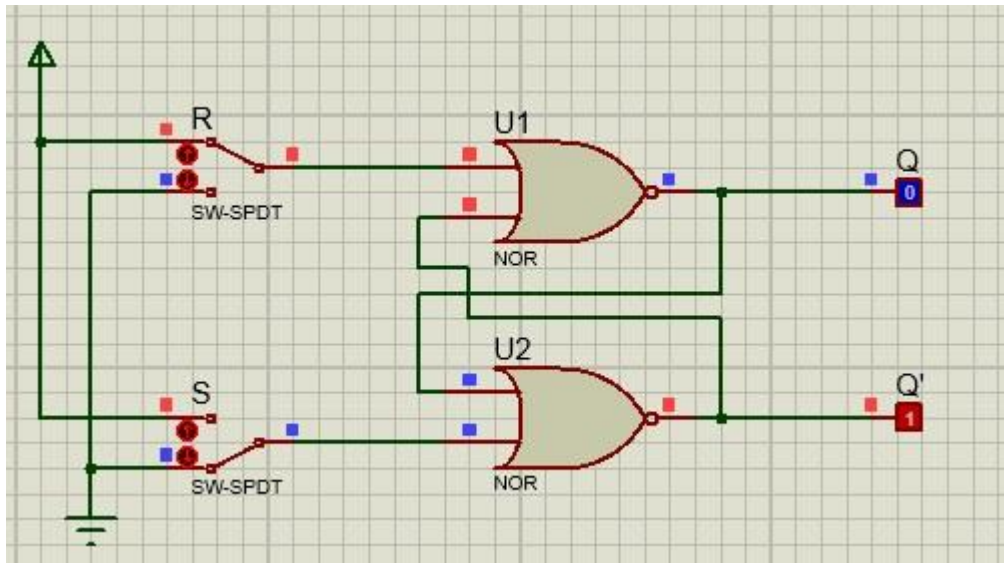
UNIVERSITAS MUHAMMADIYAH SURAKARTA

TAHUN 2019/2020

KEGIATAN PRAKTIKUM

Percobaan 1.

1.



2. Tabel

NO	S(SET)	R(RESET)	OUTPUT		MODE
			Q	Q'	
1	0	1	0	1	Reset
2	0	0	0	1	Memori
3	1	0	1	0	Set
4	0	0	1	0	Memori
5	1	1	0	0	Terlarang

3. a.) Apa yang terjadi jika kita berikan kondisi S=R=0?

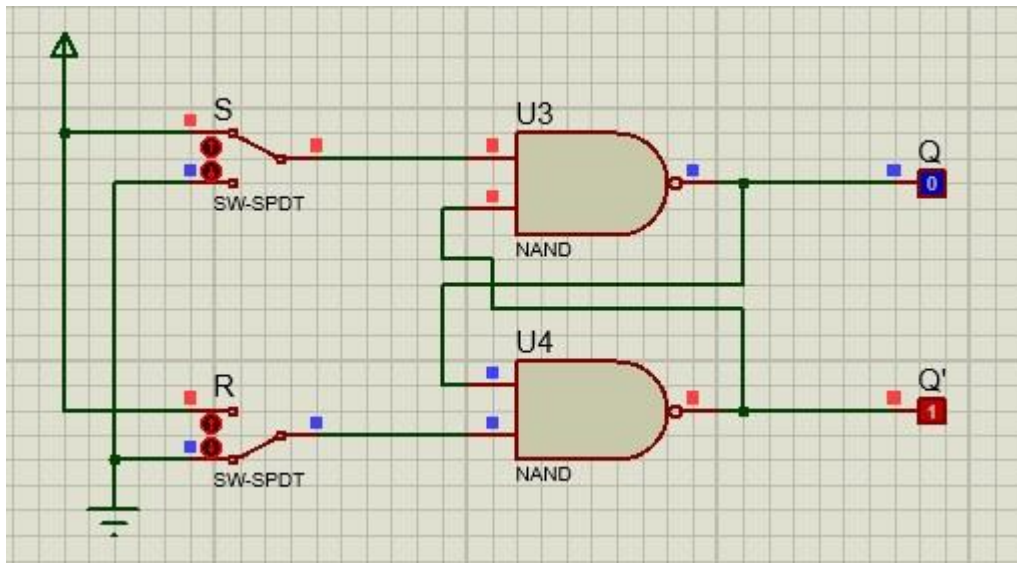
Kondisi 'resting' normal → keluaran tetap atau tidak berubah dari keluaran sebelumnya.

b.) Kenapa kondisi S=R=1 tidak diperbolehkan?

Karena gerbang 0 dan output sama-sama bernilai 0 dapat mematahkan persamaan logika $Q = \text{NOT}$.

Percobaan 2.

1.



2. Tabel

NO	S(SET)	R(RESET)	OUTPUT		MODE
			Q	Q'	
1	0	1	1	0	Set
2	1	1	1	0	Memori
3	1	0	0	1	Reset
4	1	1	0	1	Memori
5	1	0	1	1	Terlarang

3. a.) Apa yang terjadi jika kita berikan kondisi S=R=1?

Kondisi 'resting' normal → keluaran tetap atau tidak berubah dari keluaran sebelumnya.

b.) Kenapa kondisi S=R=0 tidak diperbolehkan?

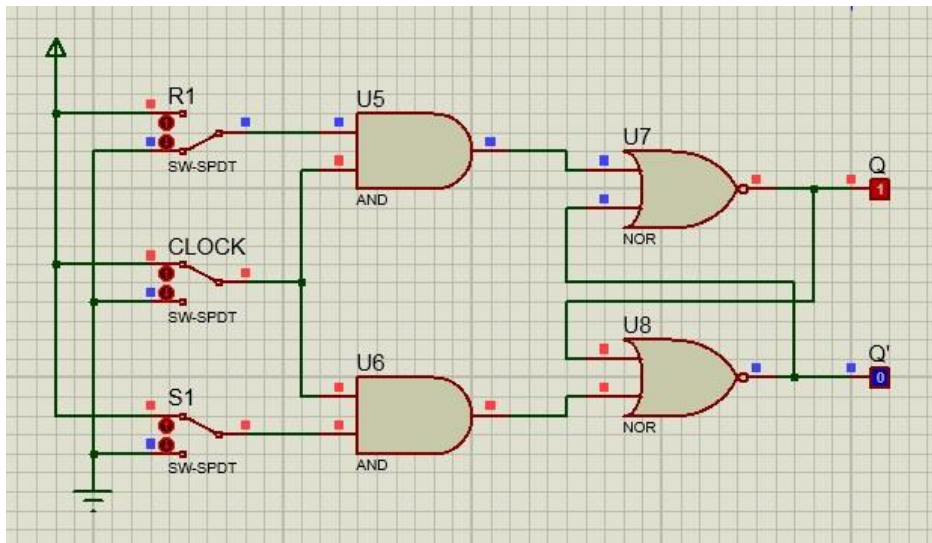
Karena akan menghasilkan keluaran yang ambigu, juga gerbang 0 dan output sama-sama bernilai 0 dapat mematahkan persamaan logika $Q = \text{NOT } Q'$.

4. Apa opini anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data":

FF merupakan rangkaian yang mempunyai 2 kondisi stabil dan dapat digunakan untuk menyimpan informasi (multivibrator dengan kondisi ganda). Rangkaianannya dapat dibuat untuk mengubah kondisi melalui sinyal-sinyal yang diaplikasikan ke 1 atau lebih kontrol input dan akan mempunyai 1 atau 2 output.

Percobaan 3.

1.



2. Tabel

NO	S(SET)	R(RESET)	CLOCK	OUTPUT		MODE
				Q	Q'	
1	0	0	0	Memori	Memori	Memori
2	0	0	1	Memori	Memori	Memori
3	0	1	0	Memori	Memori	Memori
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memori
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memori
8	1	1	1	0	0	Terlarang

3. a.) Apa yang terjadi jika kita berikan kondisi S=R=1, dan clock berubah dari 1 ke 0?

Output akan ambigu karna tidak diperbolehkan S,R dan clock berada dalam kondisi high diwaktu yang sama.

b.) Bagaimana kondisi diatas dapat terjadi?

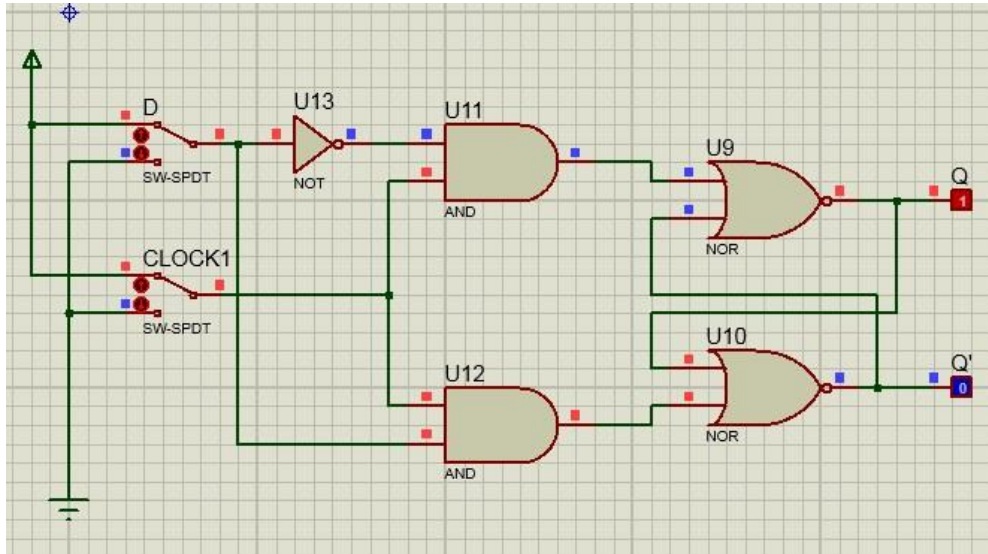
Saat merubah clock berada pada kondisi high bersamaan dengan S dan R tidak diperbolehkan oleh proteus, sehingga tidak dapat pula merubah clock kemudian ke kondisi low.

c.) Jelaskan bagaimana FF RS bekerja!

Output FF hanya akan berubah dengan inputan saat pulsa clock bernilai 1.

Percobaan 4.

1.



2. Tabel

NO	D	CLOCK	OUTPUT		MODE
			Q	Q'	
1	0	0	Memori	Memori	Memori
2	0	1	0	1	Data In
3	1	0	0	1	Memori
4	1	1	1	0	Data In
5	0	0	1	0	Memori
6	0	1	0	1	Data In
7	1	0	0	1	Memori
8	1	1	1	0	Data In

3. Jelaskan bagaimana FF RS bekerja!

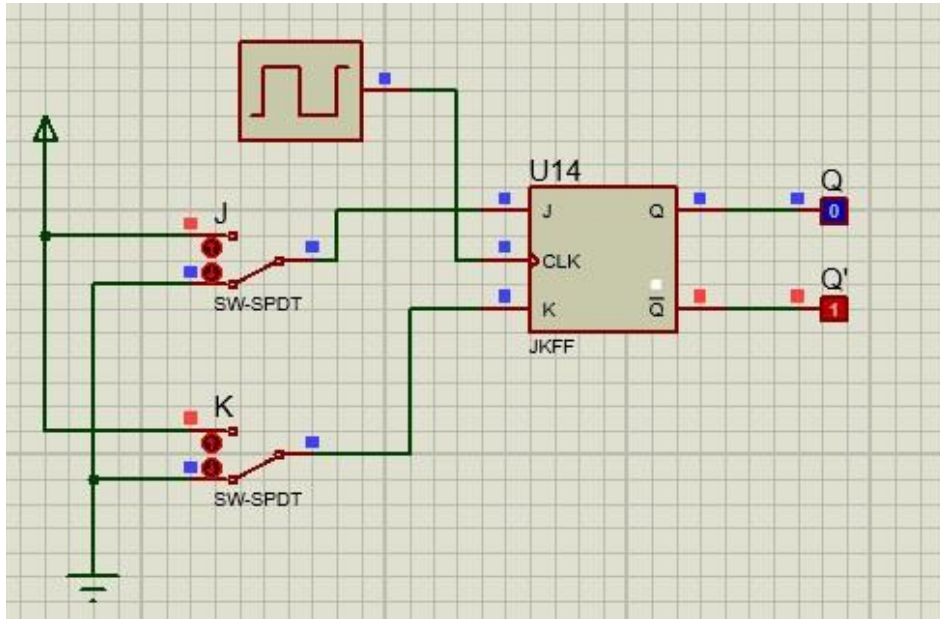
FF D adalah multivibrator dengan keadaan ganda(bisable) yang input D di transfer ke output setelah menerima pulsa clock.

4. Apa fungsi NOT gate pada FF D dibandingkan dengan FF SR?

Input S dihubungkan ke input R menggunakan inverter (NOT gate) sehingga terbentuk input baru yaitu data(D).

Percobaan 5.

1.



2. Tabel

NO	J	K	CLOCK	OUTPUT		MODE
				Q	Q'	
1	0	0	0	0	1	Memori
2	0	0	1	0	1	Memori
3	0	1	0	0	1	Memori
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memori
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memori
8	1	1	1	0	1	Tongle

3. a.) Apa yang akan terjadi jika $J=K=0$, dan clock rise up?

Output Q akan tetap berada pada nilai/keadaan terakhir.

b.) Apa yang akan terjadi jika $J=K=1$, dan clock rise up?

Keluaran 'tongle' → keluaran berlawanan dengan kondisi sebelumnya.

4. Jelaskan bagaimana FF JK bekerja!

FF JK adalah modifikasi dari FF SR hanya saja tidak terdapat kondisi terlarang. FF JK mempunyai semua sifat FF lainnya, juga dapat berubah

menjadi FF-T (tongle) yaitu FF yang akan hidup jika diberi pulsa pertama dan akan mati jika diberi pulsa kedua, demikian seterusnya.