

Trabajo Práctico Final Microarquitecturas y Softcores

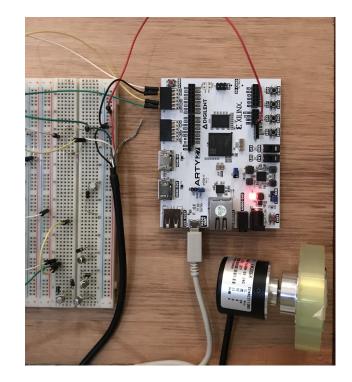
IP Core para manejo de encoder rotativo incremental con FPGA

Autor: Ing. Ignacio Majul

Agosto de 2020

Objetivos del TP

- Crear un sistema incorporando el procesador basado en ARM Cortex A9 (PS).
- Sintetizar un IP Core personalizado vinculado al PS.
- Reutilizar la configuración VHDL para manejo de encoder.
- Configuración del uC.
- Visualización de parámetros por UART.
- Uso de la placa Arty Z7-10.



Encoder LPD3806-360BM:

- Rotativo incremental
- 360 PPR dos canales
- 5000 rpm max
- Alimentación 5-24V

Configuración PL

Señales de Entrada:

- Canal A: 1 bit

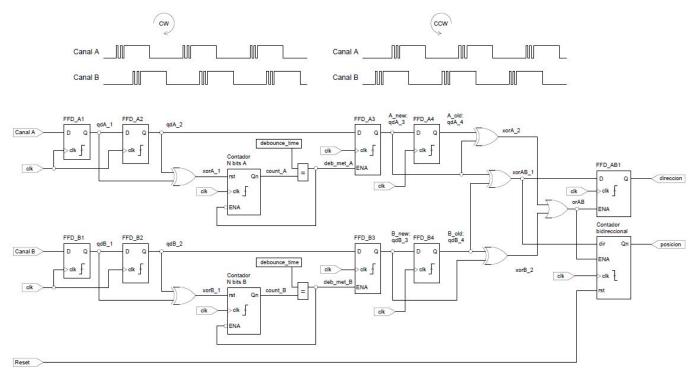
- Canal B: 1 bit

- Reset: 1 bit

Señales de Salida:

- Posición: 32 bit

- Dirección: 1 bit



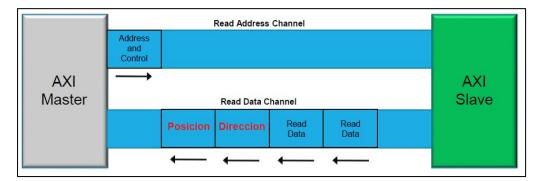
IP Integrator

Sistema base:

- ZYNQ7 Processing System.
- Periféricos habilitados: UART_0.
- Comunicación PS PL: AXI4 Lite (Read)

IP propio (Encoder_IP):

- Entradas digitales mapeadas a JB1_P, JB1_N y BTN0
- Salidas sobre bus AXI.
- 4 registros de 32 bit (2 utilizados)
- AXI CLK: 50 MHz



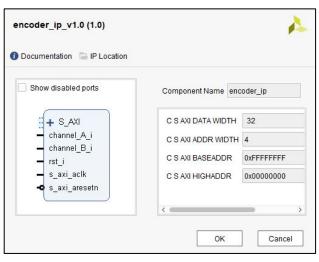


Diagrama de bloques

Sistema de Procesamiento

Señales de

entrada

Sistema base rst_ps7_0_100M slowest_sync_clk mb_reset ps7_0_axi_periph ext_reset_in bus_struct_reset[0:0] -o aux reset in peripheral reset[0:0] + S00_AXI mb_debug_sys_rst interconnect_aresetn[0:0] peripheral_aresetn[0:0] dcm_locked ARESETN M00_AXI + S00_ACLK Processor System Reset S00 ARESETN channel_A_i M00 ACLK channel B i M00_ARESETN processing system7_0 **AXI Interconnect** DDR + DDR FIXED IO + FIXED_IO M_AXI_GP0_ACLK ZYNQ. M AXI GP0 + encoder ip FCLK CLK0 FCLK RESETO N O-+ S AXI channel A i ZYNQ7 Processing System channel B i rst i s axi aclk s_axi_aresetn encoder_ip_v1.0 (Pre-Production) Encoder_IP

Matriz de interconexión AXI

IP propio

5

Configuración VHDL

Se agregan los puertos en la lógica de la interfaz AXI

```
-- component declaration
component encoder ip vl 0 S AXI is
    generic (
   C S AXI DATA WIDTH : integer
   C S AXI ADDR WIDTH : integer
    );
    port
    CHANNEL A I : in std logic;
    CHANNEL B I : in std logic;
   RST I: in std logic;
   S AXI ACLK : in std logic;
   S AXI ARESETN : in std logic;
   S AXI AWADDR : in std logic vector(C S AXI ADD
   S AXI AWPROT : in std logic vector(2 downto 0)
    S AXI AWVALID : in std logic;
    S AXI AWREADY : out std logic:
   S AXI WDATA : in std logic vector(C_S_AXI_DATA_WI
    S AXI WSTRB : in std logic vector ((C S AXI DATA W
```

Se modifican los registros de sal

```
variable loc addr :std logic vector (OPT MEM AI
begin
    -- Address decoding for reading registers
    loc addr := axi araddr (ADDR LSB + OPT MEM
    case loc addr is
      when b"00" =>
        reg data out <= pos reg;
      when b"01" =>
        reg data out <= dir reg;
      when b"10" =>
        reg data out <= slv reg2;
      when b"11" =>
        reg data out <= slv reg3;
      when others =>
        reg data out <= (others => '0');
    end case:
end process:
```

Lógica de usuario

```
-- Add user logic here

Ul: entity work.encoder
generic map(
    N => 32,
    debounce_time => 10,
    freq_clk => 50
)

port map(
    clk_i => S_AXI_ACLK,
    pos_o => pos_reg,
    dir_o => dir_aux,
    channel_A_i => CHANNEL_A_I,
    channel_B_i => CHANNEL_B_I,
    rst_i => RST_I
);

-- User logic ends
```

Código C y Terminal serie

```
#include "xparameters.h"
#include "xil io.h"
#include "encoder ip.h"
                        // 1440 pulsos por revolucion
#define PRESCALER 1440
int main (void) {
    int posicion, direccion:
    char *sentido[2]={"antihorario", "horario"};
    xil printf("-- Microarquitecturas v Softcores - TP Final - Ignacio Majul --\r\n"):
   while(1)
        posicion = ENCODER IP mReadReg(XPAR ENCODER IP S AXI BASEADDR, ENCODER IP S AXI SLV REC
        direccion = ENCODER IP mReadReg(XPAR ENCODER IP S AXI BASEADDR, ENCODER IP S AXI SLV R
        xil printf("Avance relativo: %d revoluciones. Sentido: %s \r\n", posicion/PRESCALER, se
        usleep(50000):
```

```
SDK Log 🧶 Terminal 1 🛭
 Serial: (COM7, 115200, 8, 1, None, None - CONNECTED) - Encoding: (ISO-8859-1)
  Avance relativo: -10 revoluciones. Sentido: horario
 Avance relativo: -10 revoluciones. Sentido: horario
 Avance relativo: -9 revoluciones. Sentido: horario
  Avance relativo: -9 revoluciones. Sentido: horario
 Avance relativo: -8 revoluciones, Sentido: horario
 Avance relativo: -8 revoluciones, Sentido: antihorario
 Avance relativo: -9 revoluciones, Sentido: antihorario
 Avance relativo: -9 revoluciones. Sentido: antihorario
  Avance relativo: -10 revoluciones. Sentido: antihorario
 Avance relativo: -11 revoluciones. Sentido: antihorario
 Avance relativo: -11 revoluciones. Sentido: antihorario
 Avance relativo: -12 revoluciones, Sentido: horario
 Avance relativo: -11 revoluciones. Sentido: horario
  Avance relativo: -11 revoluciones, Sentido: horario
 Avance relativo: -11 revoluciones, Sentido: horario
 Avance relativo: -11 revoluciones, Sentido: horario
 Avance relativo: -10 revoluciones. Sentido: antihorario
 Avance relativo: -11 revoluciones. Sentido: antihorario
 Avance relativo: -12 revoluciones. Sentido: antihorario
 Avance relativo: -12 revoluciones. Sentido: antihorario
 Avance relativo: -13 revoluciones. Sentido: antihorario
 Avance relativo: -13 revoluciones. Sentido: antihorario
 Avance relativo: -14 revoluciones. Sentido: antihorario
 Avance relativo: -15 revoluciones. Sentido: antihorario
 Avance relativo: -15 revoluciones. Sentido: antihorario
American relation and Communication of Craticity and Strategic and Strat
```

Preguntas?

Gracias!