

# Trabajo Práctico Final

## Circuitos Lógicos Programables

Manejo de encoder rotativo incremental con FPGA

Autor: Ing. Ignacio Majul

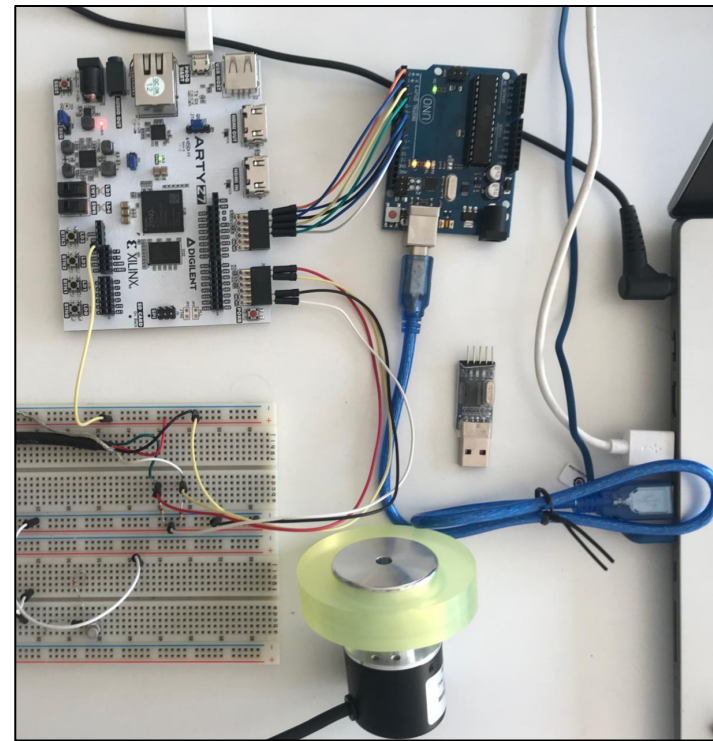
Junio de 2020

# Objetivos del TP

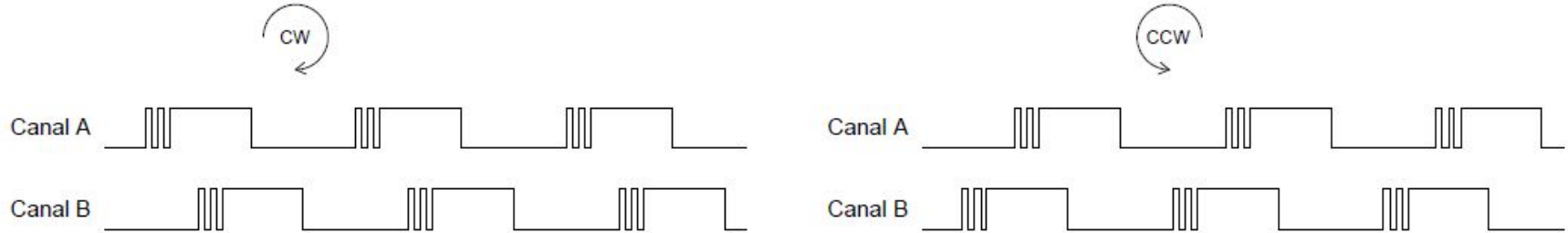
- Implementar proyecto de VHDL para manejo de encoder
- Plataforma Arty Z7-10
- Simulación de señales mediante banco de pruebas
- Depuración de hardware mediante analizador lógico
- Visualización de señales por UART

Encoder LPD3806-360BM:

- Rotativo incremental
- 360 ppr
- Dos canales
- 5000 rpm max
- Alimentación 5-24V



# Funcionamiento



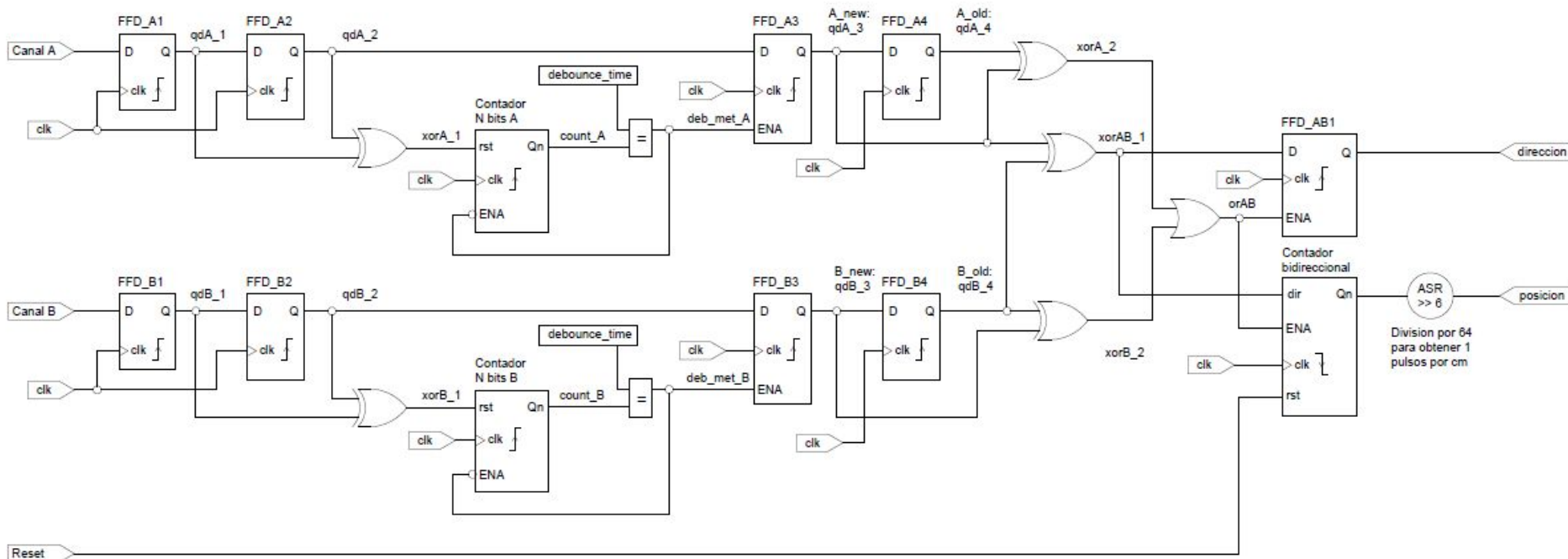
- Cada canal de entrada genera una señal cuadrada (DC 50%)
- El desfase entre ambas indica el sentido de giro
- Debe ser capaz de trabajar con señales de 120 kHz (5000 rpm)
- Se debe implementar un algoritmo de antirebote (10 us)
- Clock : 50 MHz

# Código VHDL

Bloques utilizados:

- FFD : sincronización y reducción de metaestabilidad
- Contador de bits con habilitación : Debounce
- FFD con habilitación : Sentido de giro
- Contador de bits bidireccional con habilitación : Posición
- Bloque ILA : depuración de señales
- UART tx (finalmente no utilizado)

# Esquemático



Captura de cambios  
en las entradas

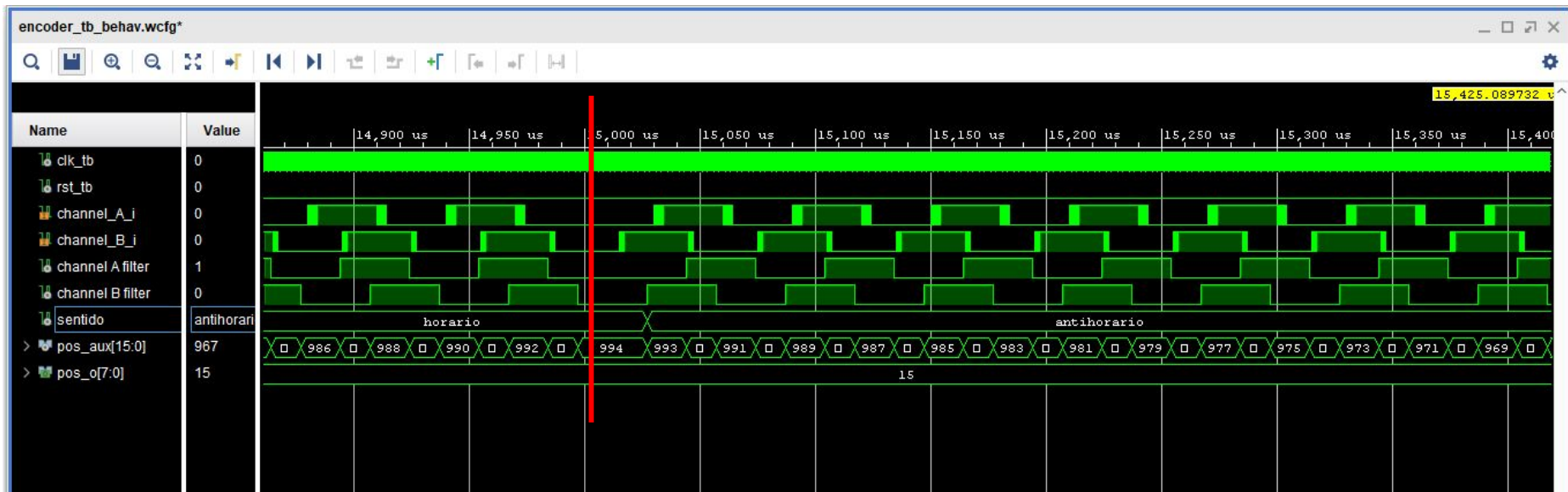
Filtrado de rebotes  
 $\text{debounce\_time} =$   
 $50\text{MHz} \times 10\mu\text{s}$

Captura de cambios  
en señales filtradas

Determinación del sentido  
de giro y posición

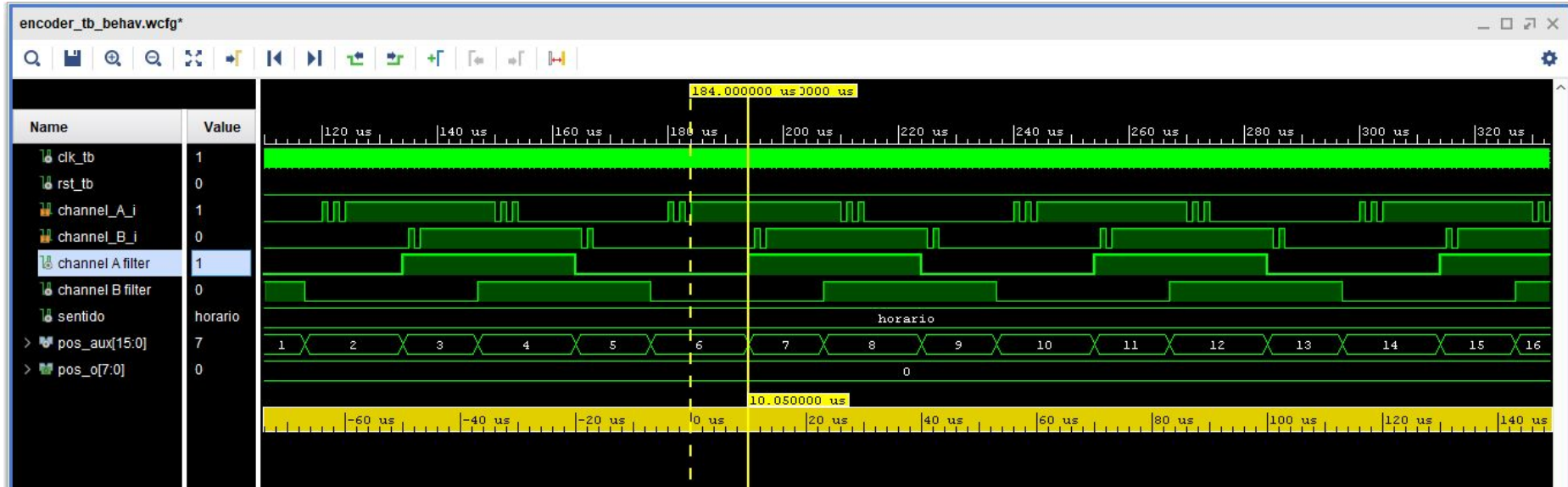
Avance en [cm]:  
 $22.5 \text{ cm/rev}$

# Simulaciones



- Cambio en el sentido de giro
- Incremento / Decremento de la posición del encoder

# Simulaciones



- Filtrado de rebotes
- Desfasaje entre señales

# Síntesis e Implementación

## Uso de recursos

Utilization		Post-Synthesis   Post-Implementation		
		Graph   Table		
Resource	Estimation	Available	Utilization %	
LUT	68	17600	0.39	
FF	43	35200	0.12	
IO	13	100	13.00	
BUFG	1	32	3.13	

Utilization		Post-Synthesis   Post-Implementation		
		Graph   Table		
Resource	Utilization	Available	Utilization %	
LUT	1494	17600	8.49	
LUTRAM	120	6000	2.00	
FF	2153	35200	6.12	
BRAM	38	60	63.33	
IO	13	100	13.00	
BUFG	2	32	6.25	

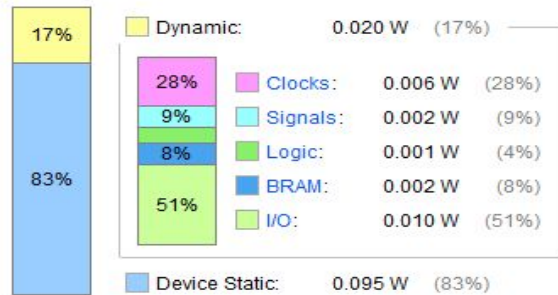
## Reporte de energía

### Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

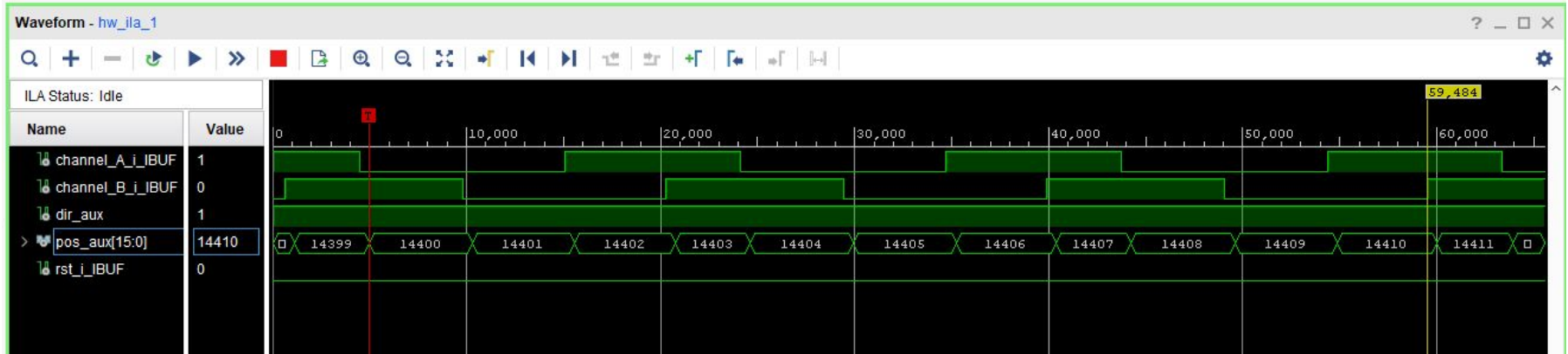
**Total On-Chip Power:** 0.115 W  
**Design Power Budget:** Not Specified  
**Power Budget Margin:** N/A  
**Junction Temperature:** 26,3°C  
Thermal Margin: 58,7°C (5,0 W)  
Effective  $\theta_{JA}$ : 11,5°C/W  
Power supplied to off-chip devices: 0 W  
Confidence level: Medium  
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

### On-Chip Power





# Depuración de Hardware



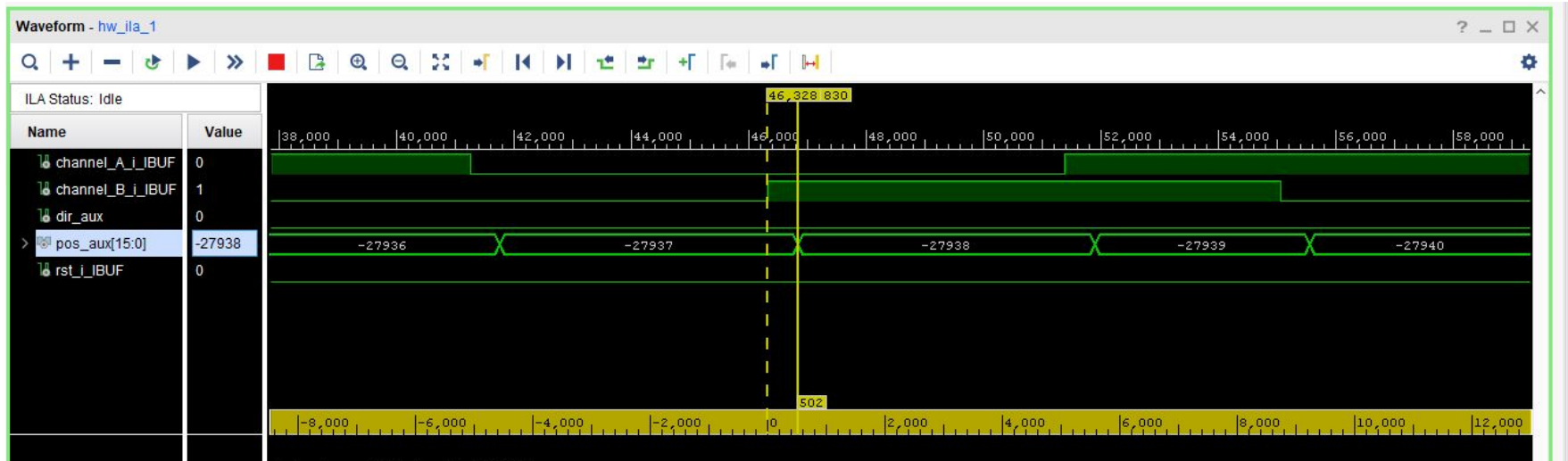
- Trigger a las 10 revoluciones (14400 pulsos)

# Depuración de Hardware



- Trigger en reset

# Depuración de Hardware



- Verificación de desfasaje

# Preguntas?

# Gracias!