# ЗАДАНИЕ

Разработать приемопередатчик UART с автоматической калибровкой скорости пересылки по посылкам от внешнего мастера.

# 1. Описание внутреннего устройства приемопередатчика UART

Приемопередатчик UART - цифровое устройство, состоящее из двух независимых частей: приёмника и передатчика, осуществляющих передачу информации по протоколу UART. В данном задании были реализованы оба компонента и спроектирована схема (top.vhd), состоящая из двух передатчиков и приемников, обеспечивающих двухстороннюю передачу данных. Общая схема устройства приведена на рисунке 1. И передатчик, и приёмник содержат в себе автоматы, описывающие состояния соответствующих устройств в процессе работы, вычитающие шестнадцатиразрядные счетчики для определения длительности выдачи одного бита информации и информационных бит и трехразрядные счетчики для определения номера выдаваемого / считываемого бита. Подробнее устройства рассмотрены в следующих разделах.

В результирующей схеме все устройства можно разбить на две группы: “ближние” (near) устройства (передатчик и приемник), на ближний передатчик мы загружаем данные и длительности такта uart, которые передаются на дальнюю сторону. И “дальние” (far) устройства, общение с которыми происходит только через UART и которые должны суметь сами рассчитать длительность такта обмена в соответствии с заданием.

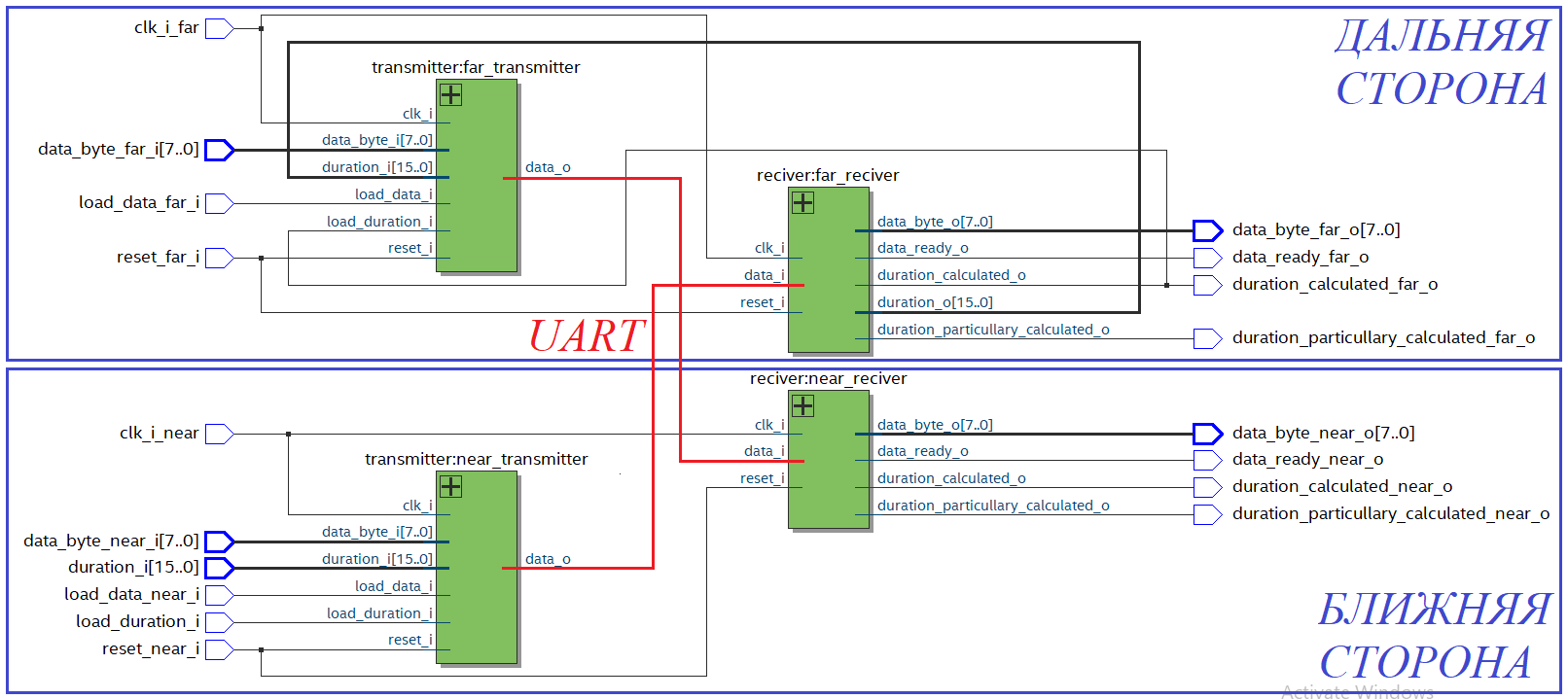


Рисунок 1 - Общая схема подключения устройств

В общей схеме содержатся следующие устройства:

near\_transmitter – ближний передатчик, имеющий служебные входы для загрузки данных (load\_data\_near\_i – сигнал загрузки, data\_byte\_near\_i – восьмиразрядная шина для данных), и служебные входы для загрузки длительности такта (laod\_duration\_i – сигнал загрузки длительности, duration\_i – шестнадцатиразрядная шина для длительности такта).

far\_reciver – дальний приемник, получающий информацию от near\_reciver по шине data\_from\_near\_to\_far в соответствии с протоколом UART и рассчитывающий длительность сигнала. Устройство подключено к выходам общей схемы: duration\_calculated\_far\_o – флаг-признак успешного рассчета длительности, duration\_particullary\_calculated\_far\_o – флаг-признак частичного расчета длительности, data\_byte\_far\_o – полученные данные, data\_ready\_far\_o – флаг-признак установки данных.

far\_transmitter – дальний передатчик, на который загружается рассчитанная длительность, после чего он может передавать данные, которые загружает на него тестер через входы data\_byte\_far\_i, load\_data\_far\_i.

near\_reciver – ближний получатель, который синхронизируется на основе сигналов, полученных от дальнего передатчика и потому получает данные от far\_transmitter и выдает данные на тестер по шине data\_byte\_near\_o с флагом-признаком получения данных – data\_ready\_near\_o.

Подробное внутренне устройство передатчика и приемника рассмотрены в следующих разделах.

# 2. Внутреннее устройство компонента передатчика (transmitter)

Компонент передатчика состоит из:

signal duration\_r: std\_logic\_vector(15 downto 0) – шестнадцатиричный буфер, в который загружается длительность одного бита по сигналу load\_duration\_i по шине duration\_i(15 downto 0);

signal bit\_current\_duration\_r: std\_logic\_vector(15 downto 0) – текущее значение вычитающего 16-разрядного счетчика, отсчитывающего длительность текущего бита;

signal bit\_read\_number: std\_logic\_vector(2 downto 0) – номер выдаваемого бита;

signal data\_r: std\_logic\_vector(7 downto 0) – 8-разрядный буфер, куда загружается информация по шине data\_byte\_i при разрешающем сигнале laod\_data\_i. После загрузки информация будет по протоколу UART через выход data\_o.

Помимо перечисленных выходов и сигналов, компонент также использует выходы clk\_i для синхронизации и reset\_i для асинхронного сброса.

Для описания внутреннего состояния передатчика используется сигнал:

signal state\_r: transmitter\_state;

где transmitter\_state имеет следующие состояния, перечисленные в таблице 1. На рисунке 2 изображен граф переходов между состояниями. Условия переходов внутри передатчика описаны в отдельном от счетчиков процессе. Код передатчика представлен в приложении А.

Таблица 1. Состояния передатчика

|  |  |
| --- | --- |
| Состояние | Назначение |
| s\_wait\_duration | Ожидание загрузки длительности такта после сброса |
| s\_idle | Ожидание выдачи данных на UART |
| s\_start\_bit | Выдача стартового бита 0 |
| s\_data\_bit | Выдача информационных бит |
| s\_end\_bit | Выдача конечного бита 1 |

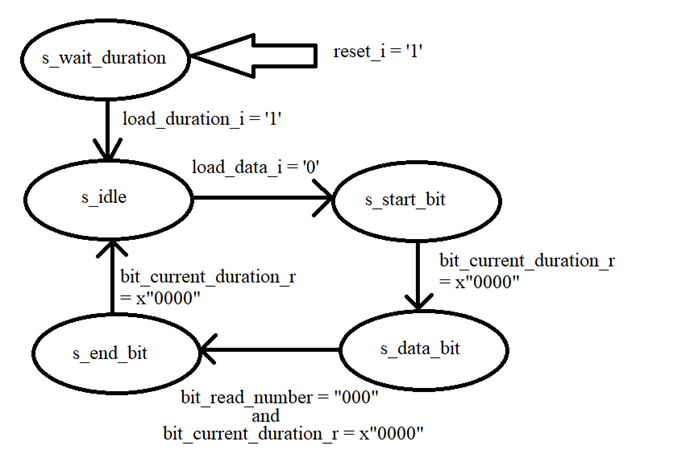


Рисунок 2 – Граф состояний передатчика

# 3. Внутреннее устройство компонента приемника (reciver)

Компонент приемника аналогично компоненту передатчика состоит из счетчика длительности одного такта выдачи информации, счетчика бит и регистра состояний. Однако, в нем также присутствует специальный 18-разрядный счетчик для подсчета длительности выдачи стартового бита со значением 0 в течение четырех этапов синхронизации. Компонент передатчика состоит из:

signal counter\_r: std\_logic\_vector(17 downto 0) – восемнадцатиразрядный счетчик для подсчета длительности четырех 0-бит для определения длительности бит.

signal duration\_r: std\_logic\_vector(15 downto 0) – шестнадцатиричная шина, определяемая как counter\_r(17 downto 2) и являющаяся рассчитанной длительностью, деленной на 4.

signal bit\_current\_duration\_r: std\_logic\_vector(15 downto 0) – текущее значение вычитающего 16-разрядного счетчика, отсчитывающего длительность текущего бита;

signal bit\_read\_number: std\_logic\_vector(2 downto 0) – номер считываемого бита;

signal data\_r: std\_logic\_vector(7 downto 0) – 8-разрядный буфер, куда считывается информация по входу data\_ i по протоколу UART. После полного чтения, информация выдается на восьмиразрядную шину data\_byte\_o с выдачей информационного сигнала data\_ready\_o.

Помимо перечисленных выходов и сигналов, компонент также использует выходы clk\_i для синхронизации и reset\_i для асинхронного сброса.

Для описания внутреннего состояния передатчика используется сигнал:

signal state\_r: reciver\_state;

где reciver\_state имеет следующие состояния, перечисленные в таблице 2. На рисунке 3 изображен граф переходов между состояниями. Условия переходов внутри применика описаны в отдельном от счетчиков процессе. Код приемника представлен в приложении Б.

Таблица 2. Состояния приемника

|  |  |
| --- | --- |
| Состояние | Назначение |
| s\_before\_counting | Ожидание начала рассчета длительности бит |
| s\_counting | Рассчет длительности текущего бита |
| s\_idle | Ожидание чтения данных с UART |
| s\_start\_bit | Прием стартового бита 0 |
| s\_data\_bit | Прием информационных бит |
| s\_end\_bit | Прием конечного бита 1 |

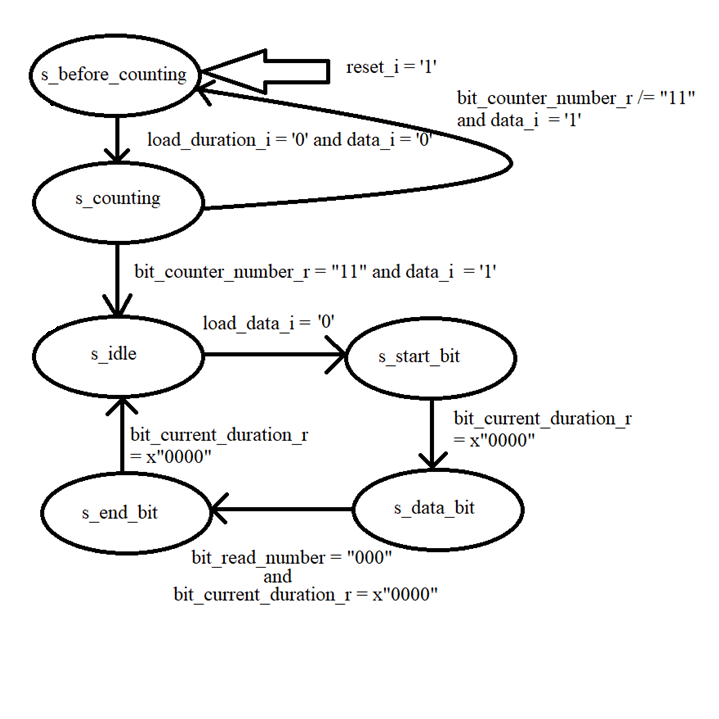


Рисунок 3 – Граф состояний приемника

# 4. Синхронизация длительности выдачи одного бита UART

Для расчета длительности выдачи одного бита, приемник подает на синхронизируемый передатчик четыре раза пакет с данными 0xFF. Таким образом, приемник получает четыре раза стартовый ноль-бит. При этом в работе для ближней стороны использовался синхросигнал с периодом 10 нс, а для дальней стороны – с периодом 35 нс. Загруженная на ближний передатчик длительность составляет 21 такт, таким образом рассчитанная длительность за один этап должна составлять 21 / 35 \* 10 = 6. На рисунке 4 изображена временная диаграмма передачи данных в момент синхронизации.

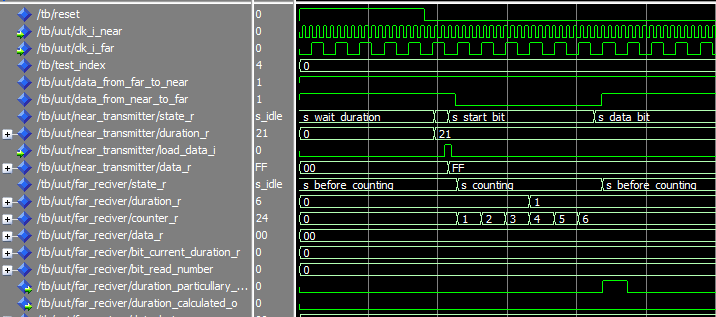


Рисунок 4 – Один этап синхронизации

На рисунке изображены значения счетчиков и автоматов после асинхронного сброса и при первом расчете длительности. На рисунке 5 изображены четыре этапа синхронизации дальнего приемника и формирования уведомляющего сигнала, а также загрузку рассчитанного значения на дальний передатчик.

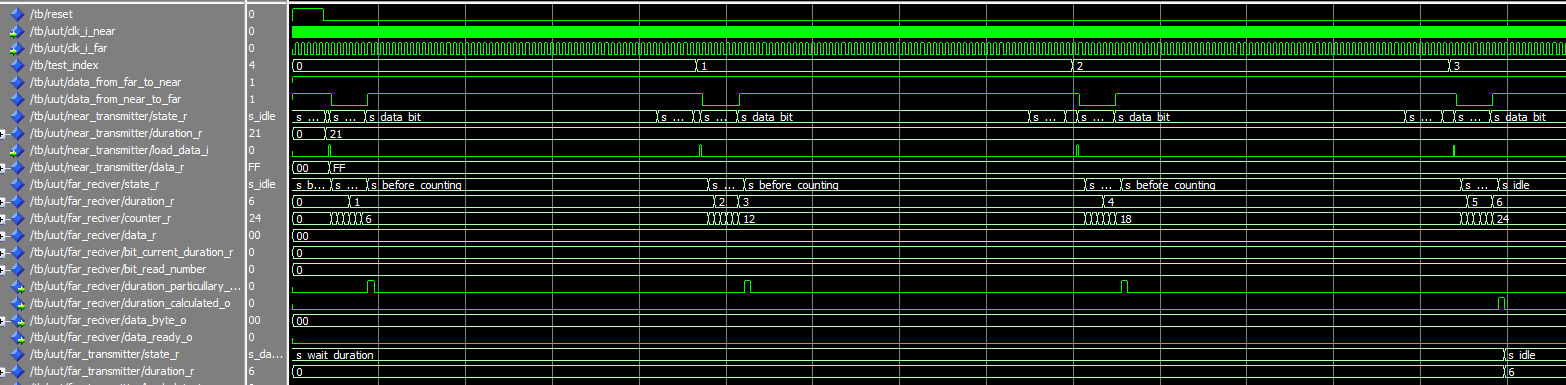


Рисунок 5 – Четыре этапа синхронизации UART

В процессе расчета длительности дальний приемник формирует трижды сигнал об успешности частичного расчета длительности (duration\_particullary\_calculated\_o) и один раз сигнал об успешном расчете длительности в целом (duration\_calculated\_o). На рисунке 5 можно увидеть, как внутренний счетчик приемника досчитал до 24. Таким образом, после деления на 4 будет получена правильная длительность одного бита равная 6 тактам дальнего синхросигнала или 21 тактам ближнего синхросигнала. После синхронизации дальнего приемника происходит четыре этапа синхронизации ближнего приемника на основе сигналов, полученных от дальнего приемника. Синхронизация происходит аналогичным образом. На рисунке 6 изображены оба процесса синхронизации.

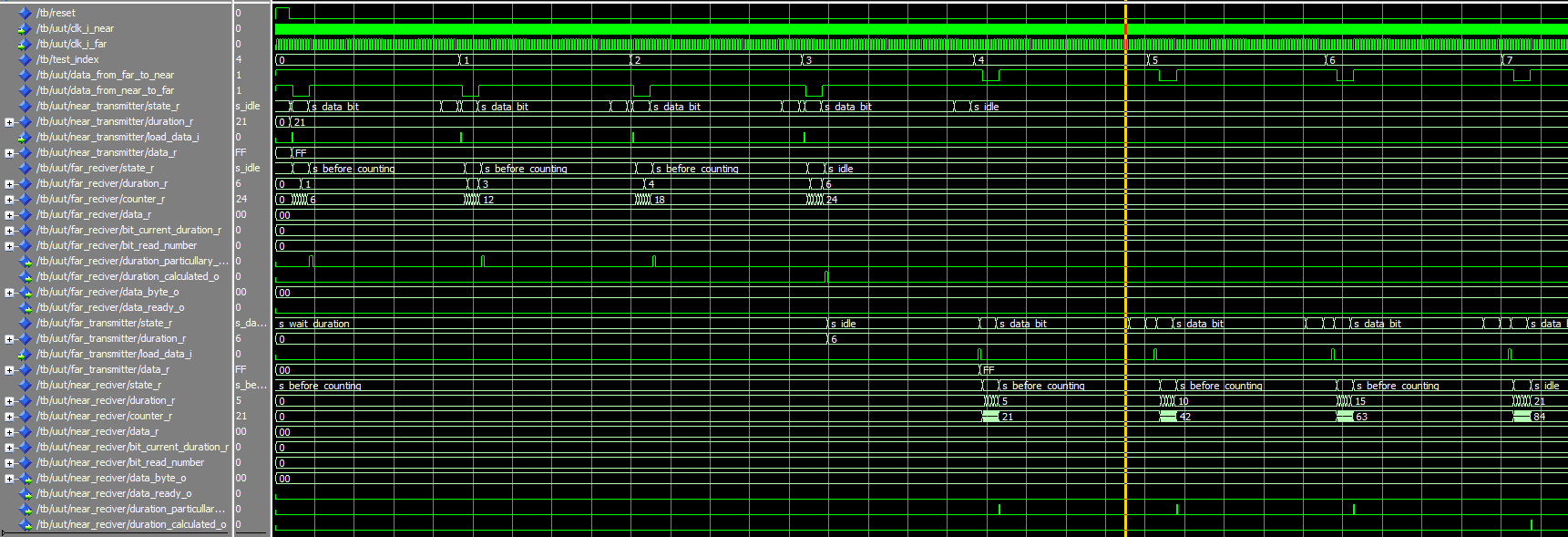


Рисунок 6 – Оба процесса синхронизации

На рисунке 6 можно увидеть, что счетчик синхронизации ближнего приемника досчитал до 84, т.е. до 21 после деления на 4. Данное значение совпадает с длительностью, загруженной на ближний передатчик.

# 5. Передача данных через UART

Для проверки передачи данных через UART были передано два разных байта от ближней стороны к дальней и два байта в обратную сторону. Второй байт передачи в дальнюю сторону передавался одновременно с передачей первого байта в ближнюю сторону. В дальнюю сторону передавались байты 0х6С и 0х5А, а в ближнюю сторону передавались байты 0х7В и 0х5А. Порядок передачи бит определен от старшего к младшему. На рисунке 7 изображена передача данных от ближнего передатчика к дальнему получателю. На шине data\_from\_near\_to\_far можно наблюдать последовательность бит, соответствующую 0х6С. Для передачи данных был использован компонент тестера, описанный в приложении В, подключаемый к результирующему компоненту top (приложение Г) внутри файла тестбенча (приложение Д).

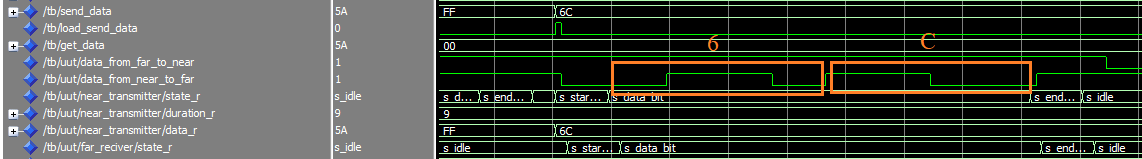


Рисунок 7 – Передача данных (0х6С) через UART

На рисунке 8 изображена передача всех четырез байт данных, в том числе в режиме одновременной работы обоих каналов.

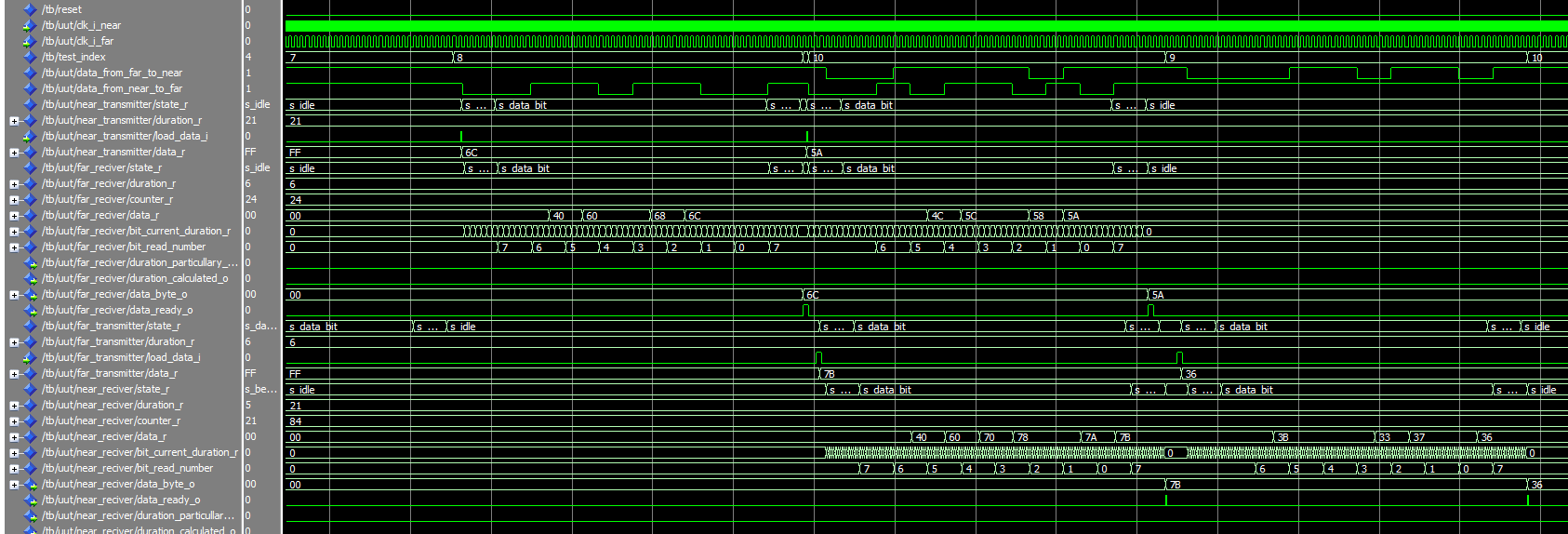


Рисунок 8 – Передача данных 0х6С и 0х5А от ближней стороны к дальней и 0х7В и 0х36 от дальней стороны к ближней.

На рисунке заметно, что счетчики обоих приемников и передатчиков работают на разных частотах, но при этом длительность формирования бит данных на шинах UART не зависит от частоты.

# 6. Оценка эффективности работы передатчика

Эффективность работы передатчика данных через UART можно рассматривать как величину, определяемая соотношением числа тактов синхросигнала, затраченных на передачу одного бита информации. Формула эффективности следующая:

Где D – число тактов, необходимых для передачи одного бита информации. При D = 1 можно достичь максимальной эффективность = 0.8 (слагаемые 1 – это время, затраченное на стартовый и завершающий бит, слагаемое 8 – число передаваемых последовательно бит информации). При D = 21, эффективность составляет 8/210.

# 7. Проверка синтезируемости

Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone IV E для элемента top.vhd (Приложение Г) На рисунке 8 представлены результаты проведенного синтеза. Все этапы синтеза прошли успешно.

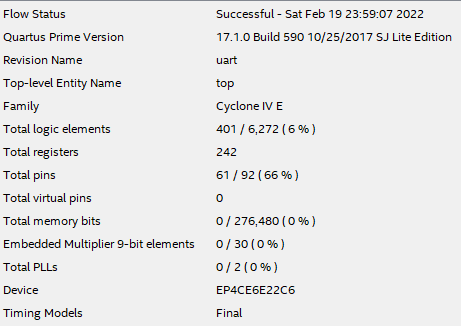


Рисунок 8 – Результаты синтеза цифрового устройства