

## 目录

第 1 部分 概述.....	2
第 2 部分 硬件基础(不考).....	5
第 3 部分 数据表示和运算 .....	7
第 4 部分 存储体系 .....	17
第 5 部分 指令系统.....	24
第 6 部分 中央处理器(CPU).....	28
第 7 部分 总线.....	30
第 8 部分 输入输出系统 .....	32



## 第 1 部分 概述

### \*\*\*\*\*作业 2: 第 1 部分 概述\*\*\*\*\*

1.5 计算机硬件系统的主要指标有哪些? 【\*, ★, 包捷 1.5, 编号 1.3】

**参考答案:**

- 1) 机器字长
- 2) 存储容量
- 3) 运算速度
- 4) 可配置的外设
- 5) 性能价格比、可靠性、可维修性和可用性

1.6 什么是存储容量? 它对计算机性能有何影响? 【\*, ★, 包捷 1.6, 编号 1.2】

**参考答案:**

机器字长是指 CPU 一次能处理的数据位数, 它决定了寄存器、运算部件、数据总线的位数。它对计算机性能有很大影响: 机器字长越长, 数的表示范围也越大, 精度也越高, 但其相应的硬件成本也越高; 机器字长还会影响机器的运算速度; 它和机器指令存在着密切的关系, 指令长度受到机器字长的限制, 机器字长对指令系统的功能也有着影响。

1.7 什么是存储容量? 什么是主存储器? 什么是辅助存储器? 【\*, 包捷 1.7, 编号 1.2】

**参考答案:**

存储容量是指存储器能存储的最大二进制信息量, 一般以位 (bit) 或者字节 (1Bytes=8bits) 为单位。存储器容量应包括主存储器容量和辅助存储器容量。主存储器指 CPU 能通过地址线直接访问的存储器, 如 RAM、ROM 等, 用于存放 CPU 正在执行或要执行的程序和数据; 辅助存储器是主存储器以外的存储器, 如磁盘、U 盘等, 用于存放备用的程序和数据。

1.8 根据下列题目的描述, 找出最匹配的词或短语, 每个词或短语只能使用一次。【\*, ★, 包捷 1.8, 编号 1.2】

- (1) 为个人使用而设计的计算机, 通常有图形显示器、键盘和鼠标。
- (2) 计算机中的核心部件, 它执行程序中的指令。它具有加法、测试和控制其他部件的功能。
- (3) 计算机的一个组成部分, 运行态的程序和相关数据置于其中。

- (4) 处理器中根据程序的指令指示运算器、存储器和 I/O 设备做什么的部件。
- (5) 嵌入在其他设备中的计算机，运行设计好的应用程序实现相应功能。
- (6) 在一个芯片中集成几十万到上百万个晶体管的工艺。
- (7) 管理计算机中的资源以便程序在其中运行的程序。
- (8) 将高级语言翻译成机器语言的程序。
- (9) 将指令从助记符号的形式翻译成二进制码的程序。
- (10) 计算机硬件与其底层软件的特定连接纽带。

供选择的词或短语：

- (1) 汇编器 (2) 嵌入式系统 (3) 中央处理器 (CPU) (4) 编译器
- (5) 操作系统 (6) 控制器 (7) 机器指令 (8) 台式机或个人计算机
- (9) 主存储器 (10) VLSI

**参考答案：**

1-(8), 2-(3), 3-(9), 4-(6), 5-(2), 6-(10), 7-(5), 8-(4), 9-(1), 10-(7)

**1.9 计算机系统由哪些部分组成？硬件由哪些构成？【\*，★，包捷 1.9，编号 1.2】**

**参考答案：**

- (1) 计算机系统由硬件系统和软件系统组成。
- (2) 硬件系统由运算器、控制器、存储器、输入部件和输出部件构成。

**1.10 冯·诺伊曼 Von Neumann 计算机的主要设计思想是什么？【\*，★，包捷 1.10，编号 1.2】**

**参考答案：**

- (1) 采用二进制表示数据和指令；指令由操作码和地址码组成。
- (2) 采用存储程序：把编好的程序和原始数据预先存入计算机主存中，使计算机工作时能连续、自动、高速地从存储器中取出一条条指令并执行，从而自动完成预定的任务；即“存储程序”和“程序控制”（简称存储程序控制）的概念。
- (3) 计算机硬件系统由运算器、存储器、控制器、输入设备和输出设备五大部件组成，并规定了五大部件的基本功能。

**1.13 简述计算机系统的多级层次结构的分层理由及各层的功能。**

**参考答案：**

(1) 计算机系统的层次结构分层理由：计算机是一个很复杂的软、硬件结合而成的整体，计算机的软硬件在逻辑上具有一定的等价性；从计算机操作人员、程序设计人员和硬件工程师的不同角度，所看到的计算机系统具有不同的属性，他们设计或者使用计算机的方法也有所不同。这样，将计算机划分为几个层次结构，从不同层次设计计算机的软件和硬件、理解软件和硬件之间的关系。

(2) 计算机系统分为五个层次：

- 第一层是微程序设计级：这是计算机的最底层硬件层，使用微程序或者硬布线来实现机器指令的功能。
- 第二层是机器指令系统级。它所提供的是那些计算机硬件可以读懂的，并可以直接操纵计算机硬件工作的二进制信息，即机器指令。它是计算机软硬件的分界面：硬件设计者依据它来设计硬件，软件设计者使用它来控制计算机硬件工作。
- 第三层是操作系统级即虚拟机，它由操作系统程序实现，用于管理、统一调度硬件资源、支撑其他系统软件和应用软件，使计算机能够自动运行，发挥高效率的作用。
- 第四层是语言处理程序及其他系统软件级，语言处理程序功能是将程序员编写的高级语言源程序翻译成机器语言程序。
- 第五层是面向用户应用程序级，它是针对计算机用户在某一应用领域、某些专门问题而设计开发的应用软件。这一层次上的计算机，实际上是建立在大量系统软件及硬件基础上的虚拟机系统，这些应用程序设计人员甚至可以不完全了解计算机系统软件和硬件，但只要知道各种软件的使用方法和一些软硬件接口的定义就可以方便地使用计算机来进行编程。

www.docin.com



## 第 2 部分 硬件基础(不考)

3.7 请用代数化简法将下列各逻辑表达式化成最简式。【\*\*，★，包捷 2.7，编号 1.2】

(1)  $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$

(2)  $F = AD + A\bar{D} + AB + \bar{A}C + BD + ACEF + \bar{B}EF + DEFG$

参考答案:

(1) 方法一:

$$\begin{aligned} F &= A\bar{B}(C + \bar{C}) + (A + \bar{A})B\bar{C} + \bar{B}C + \bar{A}B \\ &= A\bar{B}C + A\bar{B}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} + \bar{B}C + \bar{A}B \\ &= (A\bar{B}C + \bar{B}C) + (A\bar{B}\bar{C} + AB\bar{C}) + (\bar{A}B\bar{C} + \bar{A}B) \\ &= \bar{B}C + A\bar{C} + \bar{A}B \end{aligned}$$

方法二:

$$\begin{aligned} F &= A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B \\ &= A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B + \bar{A}C \\ &= A\bar{B} + \bar{B}C + \bar{A}C + B\bar{C} + \bar{A}B \\ &= A\bar{B} + \bar{A}C + B\bar{C} + \bar{A}B \\ &= A\bar{B} + \bar{A}C + B\bar{C} + \bar{A}B \\ &= A\bar{B} + \bar{A}C + B\bar{C} \end{aligned}$$

说明: 化简结果不唯一, 但均是 3 项, 且对应每项的变量一样多.

$$\begin{aligned} (2) \quad F &= (AD + A\bar{D} + AB + ACEF) + \bar{A}C + (BD + \bar{B}EF + DEFG) \\ &= A + \bar{A}C + BD + \bar{B}EF \\ &= (A + \bar{A}C) + BD + \bar{B}EF \\ &= A + C + BD + \bar{B}EF \end{aligned}$$

2.10 试用卡诺图法将下列各逻辑表达式化成最简式。

(1)  $F = AB + ABD + \bar{A}C + BCD$

(2)  $F = AC + \bar{A}\bar{B} + \bar{B}\bar{C}\bar{D} + B\bar{C}E + \bar{C}DE$

参考答案:

(1) 卡诺图如下:

AB \ CD	00	01	11	10
00			1	1
01			1	1
11	1	1	1	1
10				

化简结果为:  $F = AB + \overline{A}C$

(2) 卡诺图如下:

AB \ CDE	000	001	011	010	110	111	101	100
00	1	1	1	1	1	1	1	1
01		1	1					
11		1	1		1	1	1	1
10	1	1	1		1	1	1	1

化简结果为:  $F = \overline{A}\overline{B} + \overline{C}E + AC + \overline{B}D$

### 第 3 部分 数据表示和运算

#### 3.1 求下列各数的十进制数值【\*，★，包捷 3.1，编号 2.1】

- 1)  $(267.3)_8$
- 2)  $(BD.C)_{16}$
- 3)  $(1011011.101)_2$

参考答案:

- 1)  $(267.3)_8 = (010\ 110\ 111.011)_2 = 128 + 32 + 16 + 4 + 2 + 1 + 1/4 + 1/8 = 183.375$   
 $= 2 \times 8^2 + 6 \times 8 + 7 + 3 \times 8^{-1} = 183.375$
- 2)  $(BD.C)_{16} = (1011\ 1101.1100)_2 = 128 + 32 + 16 + 8 + 4 + 1 + 1/2 + 1/4 = 189.75$   
 $= 11 \times 16 + 13 + 12/16 = 189.75$
- 3)  $(1011011.101)_2 = 64 + 16 + 8 + 2 + 1 + 1/2 + 1/8 = 91.625$

#### 3.2 将下列十进制数转化为二进制、八进制和十六进制数据（小数取四位二进制有效数据）:

【\*，★，包捷 3.2，编号 2.1】

- 1) -282.75
- 2) 123.46
- 3) -115/512
- 4) 44.9375

参考答案:

- 1)  $-282.75 = -100011010.11B$   
 $= -432.6Q$   
 $= -11A.CH$
- 2)  $123.46 = 1111011.0111B$   
 $= 173.34Q$
- 3)  $-115/512 = -0.001110011B$   
 $= -0.163Q$   
 $= -0.398H$
- 4)  $44.9375 = 101100.1111B$   
 $= 54.74Q$   
 $= 2C.FH$

#### 附 1. 分别写出二进制数 1001101001 的十进制值、八进制值和十六进制值。【\*，★，AST A.2，编号 2.1】

参考答案:

$$\begin{aligned} 1001101001B &= 512 + 64 + 32 + 8 + 1 = 617D \\ &= 1151Q \\ &= 269H \end{aligned}$$

#### 附 2. 用 2~9 这 8 种不同的符号分别表示十进制数 100。【\*\*，★，AST A.4，编号 2.1】

**参考答案:**

- 1) 十进制→二进制  
 $100=64+32+4=1100100B$
- 2) 二进制→八进制  
 $1\ 100\ 100B=144Q$
- 3) 按 2~9 符号表示八进制  
366

**附 3.使用  $r$  作为基数的  $k$  位数串一共可以表示多少个不同的正数?【\*, AST A.5, 编号 2.1】****参考答案:** $r^k$ **3.3 写出下列各数的原码、反码和补码, 机器数长度为 8 位:【\*, ★, 包捷 3.3, 编号 2.2】**

- 1) 0
- 2) -127
- 3) -0.5
- 4) -19/128
- 5) 100
- 6) 23/64

**参考答案:**

- 1) 原码: 00000000 (10000000), 反码: 00000000 (11111111), 补码: 00000000
- 2) 原码: 11111111, 反码: 10000000, 补码: 10000001
- 3) 原码: 1.1000000, 反码: 1.0111111, 补码: 1.1000000
- 4) -19 的原码: 10010011,  $128=2^7$   
-19/128 的原码: 1.0010011, 反码: 1.1101100, 补码: 1.1101101
- 5) 原码: 01100100, 反码: 01100100, 补码: 01100100
- 6) 23 的原码: 00010111,  $64=2^6$   
23/64 的原码: 0.0101110, 反码: 0.0101110, 补码: 0.0101110

**3.4 写出下列各机器数的二进制真值  $X$ 。【\*, ★, 包捷 3.4, 编号 2.2】**

- 1)  $[X]_{补}=0.1001$
- 2)  $[X]_{补}=1.1001$
- 3)  $[X]_{原}=0.1101$
- 4)  $[X]_{原}=1.1101$
- 5)  $[X]_{反}=0.1011$
- 6)  $[X]_{反}=1.1011$
- 7)  $[X]_{移}=0,1001$
- 8)  $[X]_{移}=1,1001$
- 9)  $[X]_{补}=1,0000000$
- 10)  $[X]_{反}=1,0000000$
- 11)  $[X]_{原}=1,0000000$



12)  $[X]_{\text{移}}=1,0000000$

参考答案:

- 1) +0.1001
- 2) -0.0111
- 3) +0.1101
- 4) -0.1101
- 5) +0.1011
- 6) -0.0100
- 7) -0111
- 8) +1001
- 9) -10000000
- 10) -1111111
- 11) -0000000, -0
- 12) +0000000, 0

3.5 设某机器数字长为 8 位，有两个数的 16 进制表示形式为 9CH 和 FFH，问：若它们分别表示为下列格式的机器数时，其对应的十进制真值是多少？【\*，★，包捷 3.5，编号 2.2】

- 1) 无符号整数
- 2) 原码表示的定点整数
- 3) 原码表示的定点小数
- 4) 补码表示的定点整数
- 5) 补码表示的定点小数
- 6) 反码表示的定点整数
- 7) 移码表示的定点整数

参考答案:

9CH=10011100B, FFH=11111111B

- 1) 无符号整数: 9CH=156, FFH=255
- 2) 原码表示的定点整数: 9CH=-28, FFH=-127
- 3) 原码表示的定点小数: 9CH=-0.21875, FFH=-0.9921875
- 4) 补码表示的定点整数: 9CH=-100, FFH=-1
- 5) 补码表示的定点小数: 9CH=0.78125(=-100/128), FFH=-1/128=0.0078125
- 6) 反码表示的定点整数: 9CH=-99, FFH=-0
- 7) 移码表示的定点整数: 9CH=28, FFH=127

3.6 假设某规格化浮点数的尾数表示形式为  $M_0.M_1\cdots M_n$ ，选择正确的答案写在横线上：【\*，包捷 3.5，编号 2.3】

- 1) 若尾数用原码表示，则尾数必须满足\_\_\_\_\_。
- 2) 若尾数用补码表示，则尾数必须满足\_\_\_\_\_。
  - A.  $M_0=0$
  - B.  $M_0=1$
  - C.  $M_1=0$
  - D.  $M_1=1$

- E.  $M_0.M_1=0.0$
- F.  $M_0.M_1=1.1$
- G.  $M_0.M_1=0.1$
- H.  $M_0.M_1=1.0$

参考答案:

- 1) D
- 2) G,H

3.7 浮点数的表示范围取决于( 1 )的位数, 浮点数的表示精度取决于( 2 )的位数, 浮点数的正负取决于( 3 ), ( 4 )在浮点数的表示中是隐含规定的。【\*, ★, 包捷 3.5, 编号 2.3】

- A. 数符
- B. 阶符
- C. 尾数
- D. 阶码
- E. 阶码的底

参考答案:

- 1. D 阶码
- 2. C 尾数
- 3. A 数符
- 4. E 阶码的底

3.8 设某浮点数格式为: 字长 12 位, 阶码 6 位, 用移码表示, 尾数 6 位, 用原码表示, 阶码在前, 尾数(包括数符)在后, 则按照该格式:【\*, 包捷 3.5, 编号 2.3】

- 1. 已知  $X=-25/64$ ,  $Y=2.875$ , 求数据 X、Y 的规格化的浮点数形式。
- 2. 已知 Z 的浮点数以十六进制表示为 9F4H, 则求 Z 的十进制真值。

参考答案:

- 1.  $[X]=-0.011001=-0.11001 \times 2^{-1}$   
 X 的符号:1  
 X 的阶码: $-1=-00001=(\text{移码})011111$   
 X 的尾数:11001

3.10 将下列十进制数转换为 IEEE754 单精度浮点数格式:【\*, ★, 包捷 3.5, 编号 2.3】

- (1) +36.75
- (2)  $-35/256$

**参考答案:**

$$(1) +36.75 = +100100.11B = 1.0010011 \times 2^5$$

符号:0

阶码:  $5+127=132=10000100$ 

尾数:001001100000000000000000

单精度浮点数表示形式为 0 10000100 001 0011 0000 0000 0000 0000B = 42130000H

$$(2) -35/256 = -100011 \times 2^{-8} = -1.00011 \times 2^{-3}$$

符号:1

阶码:  $-3+127=124=01111100$ 

尾数:000110000000000000000000

单精度浮点数表示形式为 1 01111100 000 1100 0000 0000 0000 0000B = BE0C0000H

附 4.在 IEEE-754 标准中, 对于一个规格化的 32 位浮点数, 其尾数域所表示的值是( ), 这是因为规格化的浮点数的尾数域最左(最高有效位)总是( ), 故这一位经常不予存储, 而认为隐藏在小数点的左边, 这可以使尾数表示范围多一位, 达( )位。【\*, ★, 百度, 编号 2.3】

- A. 0.M, 0, 23
- B. 0.M, 1, 24
- C. 1.M, 1, 24
- D. 1.M, 1, 23

**参考答案:**

C

3.17 在 7 位的 ASCII 码的最高位前面添加一位奇(偶)校验位后, 即可构成 8 位的 ASCII 码的奇(偶)校验码。假设字符“A”的这样的奇(偶)校验码为 41H, 则它是( 1 ); 字符“C”的这样的( 1 )是( 2 )。【\*, ★, 包捷 3.17, 编号 2.1.3】

- 1) A. 奇校验码      B. 偶校验码
- 2) A. 43H      B. 87H      C. C3H      D. 86H

**参考答案:**

- 1) 41H=01000001B, 满足“偶校验”。答案: B
- 2) 字符C的 ASCII 编码: 43H=01000011B, 进行“偶校验”编码, 则为: 11000011B=C3H。答案:C

3.18 对于 3.6.2 节所介绍的  $k=8$ ,  $r=4$  的能纠错一位的海明码, 若编码为 100110111100, 试判断该海明码是否有误, 若有, 请纠正, 并写出其 8 位正确的有效信息。【\*\*, ★, 包捷 3.18, 编号 2.1.3】

**参考答案:**

依据有效信息位  $k=8$ ，校验位  $r=4$  的编码表（按偶校验）：

序号 分组	H <sub>12</sub>	H <sub>11</sub>	H <sub>10</sub>	H <sub>9</sub>	H <sub>8</sub>	H <sub>7</sub>	H <sub>6</sub>	H <sub>5</sub>	H <sub>4</sub>	H <sub>3</sub>	H <sub>2</sub>	H <sub>1</sub>
	D <sub>8</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	P <sub>4</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	P <sub>3</sub>	D <sub>1</sub>	P <sub>2</sub>	P <sub>1</sub>
P <sub>4</sub>	✓	✓	✓	✓	✓							
P <sub>3</sub>	✓					✓	✓	✓	✓			
P <sub>2</sub>		✓	✓			✓	✓			✓	✓	
P <sub>1</sub>		✓		✓		✓		✓		✓		✓

P<sub>1</sub>: D<sub>7</sub>D<sub>5</sub>D<sub>4</sub>D<sub>2</sub>D<sub>1</sub>P<sub>1</sub>=010110, 偶校验错。1

P<sub>2</sub>: D<sub>7</sub>D<sub>6</sub>D<sub>4</sub>D<sub>3</sub>D<sub>1</sub>P<sub>2</sub>=000110, 偶校验对。0

P<sub>3</sub>: D<sub>8</sub>D<sub>4</sub>D<sub>3</sub>D<sub>2</sub>P<sub>3</sub>=10111, 偶校验对。0

P<sub>4</sub>: D<sub>8</sub>D<sub>7</sub>D<sub>6</sub>D<sub>5</sub>P<sub>4</sub>=10011, 偶校验错。1

P<sub>4</sub>P<sub>3</sub>P<sub>2</sub>P<sub>1</sub>=1001B=9

结论：上述海明码对于个错误情况，有误。H<sub>9</sub> 位置码 D<sub>5</sub> 错误，应为 0。正确的有效信息是：10000111

**3.21** 设生成多项式为  $x^3+x+1$ (即 1011B)，试计算有效数据 10101 的 CRC 编码。【\*，★，包捷 3.21，编号 2.1.3】

**参考答案:**

- 1) 构成 CRC (8, 5) 码,  $r=3$ ,  $k=5$ ,  $n=8$ 。
- 2) 用有效信息扩展成的编码 10101000 模 2 除以 1011, 得冗余码 101
- 3) 结论: CRC 编码为 10101101

$$\begin{array}{r}
 \underline{10011} \\
 1011 \overline{) 10101000} \\
 \underline{1011} \phantom{000} \\
 0001100 \phantom{0} \\
 \underline{1011} \phantom{00} \\
 01110 \phantom{0} \\
 \underline{1011} \phantom{0} \\
 0101
 \end{array}$$

**4.2** 已知 X 和 Y，用变形补码计算  $X+Y$  和  $X-Y$ ，并指出运算结果是否溢出：【\*，★，包捷 4.2，编号 2.2】

- 1)  $X=0.11011$ ,  $Y=0.11111$
- 2)  $X=-0.1101$ ,  $Y=0.0110$



**参考答案:****1) 方法一: (单符号位判溢)**

$[X]_{补} = 0.11011$  //正数的补码与真值相同, 最高位为 0

$[Y]_{补} = 0.11111$

$[-Y]_{补} = 10.00000 - Y = 10.00000 - 0.11111 = 1.00001$  //负数的补码=模-真值

$[X+Y]_{补} = [X]_{补} + [Y]_{补} = 0.11011 + 0.11111 = 1.11010$  有溢出(正+正=负), 正溢出。

$[X-Y]_{补} = [X]_{补} + [-Y]_{补} = 0.11011 + 1.00001 = 1.11100$  无溢出(同号相减不溢出)

**方法二: (双符号位判溢)**

$[X]_{补} = 00.11011$  //  $[X]_{补} = 100.00000 + 0.11011 = 00.11011 \pmod{4}$

$[Y]_{补} = 00.11111$

$[-Y]_{补} = 100.00000 - 0.11111 = 11.00001$

$[X+Y]_{补} = [X]_{补} + [Y]_{补} = 00.11011 + 00.11111 = 01.11010$  有溢出, 双符号位 01

$[X-Y]_{补} = [X]_{补} + [-Y]_{补} = 00.11011 + 11.00001 = 11.11100$  无溢出, 双符号位 11

**2) 方法一: (单符号位判溢)**

$[X]_{补} = 10.0000 - 0.1101 = 1.0011 \pmod{2}$

$[Y]_{补} = 10.0000 + 0.0110 = 0.0110 \pmod{2}$

$[-Y]_{补} = 10.0000 - 0.0110 = 1.1010 \pmod{2}$

$[X+Y]_{补} = [X]_{补} + [Y]_{补} = 1.0011 + 0.0110 = 1.1001$  无溢出(负+正)

$[X-Y]_{补} = [X]_{补} + [-Y]_{补} = 1.0011 + 1.1010 = 0.1101$  有溢出(负-正)。负溢出

**方法二: (双符号位判溢)**

$[X]_{补} = 100.0000 - 0.1101 = 11.0011 \pmod{4}$

$[Y]_{补} = 100.0000 + 0.0110 = 00.0110 \pmod{4}$

$[-Y]_{补} = 100.0000 - 0.0110 = 11.1010 \pmod{4}$

$[X+Y]_{补} = [X]_{补} + [Y]_{补} = 11.0011 + 00.0110 = 11.1001$  无溢出。双符号位 11

$[X-Y]_{补} = [X]_{补} + [-Y]_{补} = 11.0011 + 11.1010 = 10.1101$  有溢出。双符号位 10

**4.8** 设浮点数的格式为: 阶码 5 位, 尾数 6 位, 均用补码表示, 请计算  $X+Y$  和  $X-Y$ 。(阶码和尾数均用补码计算)。【\*\*\*, ★, 包捷 4.8, 编号 2.3】

1)  $X = -1.625$ ,  $Y = 5.25$

2)  $X = 15/64$ ,  $Y = -25/256$

**参考答案:**

## 1) 方法一: (双符号法)

$$X = -1.625 = -1.101B = -0.1101 \times 2^1$$

$$[X]_{\text{浮}} = 00,0001 \quad 11.00110$$

$$Y = 5.25 = 101.01B = 0.10101 \times 2^{11}$$

$$[Y]_{\text{浮}} = 00,0011 \quad 00.10101$$

**计算 X+Y:**

## ● 对阶

[X]阶 < [Y]阶, X 向 Y 对齐。X 尾数右移 2 位, X 阶码+2

$$[X]_{\text{浮}} = 00,0011 \quad 11.11001(10)$$

## ● 尾数相加

$$[X]_{\text{尾}} + [Y]_{\text{尾}} = 11.11001(10) + 00.10101 = 00.01110(10) \quad (\text{mod } 4)$$

## ● 结果规格化: 双符号 00, 无溢出。但有一个前导 0, 需要左规 1 位; 尾数左移 1 位, 阶码-1

$$[X+Y]_{\text{尾}} = 00.11101(0)$$

$$[X+Y]_{\text{阶}} = 00,0011 - 1 = 00,0011 + (100,0000 - 1) = 00,0011 + 11,1111 = 00,0010 \quad (\text{无溢出})$$

## ● 舍入

$$[X+Y]_{\text{浮}} = 0,0010 \quad 0.11101 \quad // \text{舍去 } 0$$

**计算 X-Y:**

## ● 对阶

[X]阶 < [Y]阶, X 向 Y 对齐。X 尾数右移 2 位, X 阶码+2

$$[X]_{\text{浮}} = 00,0011 \quad 11.11001(10)$$

## ● 尾数相减

$$[X]_{\text{尾}} - [Y]_{\text{尾}} = 11.11001(10) + (100.00000 - 00.10101) = 11.11001 + 11.01011 = 11.00100(10)$$

## ● 结果规格化: 双符号 11, 无溢出。结果已规格化

## ● 舍入: 入 1

$$[X-Y]_{\text{浮}} = 0,0011 \quad 1.00101$$

## 2) 方法一 (双符号法)

$$X = 1111 \times 2^{-6} = 0.1111 \times 2^{-10}$$

$$[X]_{\text{浮}} = 11,1110 \quad 00.11110$$

$$Y = -11101 \times 2^{-8} = -0.11101 \times 2^{-11}$$

$$[Y]_{\text{浮}} = 11,1101 \quad 11.00011$$

**计算 X+Y:**

## 1. 对阶

Y 向 X 对齐, Y 的尾数右移 1 位。

$$[Y]_{\text{浮}} = 11,1110 \quad 11.10001(1)$$

## 2. 尾数相加

$$[X]_{\text{尾}} + [Y]_{\text{尾}} = 00.11110 + 11.10001(1) = 00.01111(1)$$

## 3. 结果规格化: 双符号 00, 无溢出。一个前导 0, 左规一位。

$$[Z]_{\text{尾}} = 00.11111$$

$$[Z]_{\text{阶}} = 11,1110 - 1 = 11,1101$$

4. 舍入:

$$[X+Y]_{\text{浮}}=1,1101 \quad 0.11111$$

计算  $X-Y$ :

5. 对阶

$Y$  向  $X$  对齐,  $Y$  的尾数右移 1 位。

$$[Y]_{\text{浮}}=11,1110 \quad 11.10001(1)$$

6. 尾数相减

$$[X]_{\text{尾}}-[Y]_{\text{尾}}=00.11110-11.10001(1)=00.11110+(100.00000-11.10001(1))=01.01100(1)$$

7. 结果规格化: 双符号 01, 有溢出。右规一位, 阶码+1

$$[X-Y]_{\text{尾}}=00.10110(01)$$

$$[X-Y]_{\text{阶}}=11,1110+1=11,1111$$

8. 舍入

$$[X-Y]_{\text{浮}}=1,1111 \quad 0.10110$$

**4.11** 浮点数运算的溢出判断, 取决于 ( )。【\*, 包捷 4.11, 编号 2.3】

- A. 尾数是否上溢
- B. 尾数是否下溢
- C. 阶码是否上溢
- D. 阶码是否下溢

参考答案:

C. 阶码是否上溢

**4.12** 设  $[X]_{\text{补}}=X_0.X_1\cdots X_n$ ,  $X$  必须满足 ( ) 条件时,  $X$  左移一位求  $2X$  时, 才不会发生溢出。【\*, 包捷 4.12, 编号 2.3】

- A.  $X_0.X_1=0.0$
- B.  $X_0.X_1=1.1$
- C.  $X_0.X_1=0.1$
- D.  $X_0.X_1=1.0$

参考答案:

- A.  $X_0.X_1=0.0$  //正数,  $<0.5$
- B.  $X_0.X_1=1.1$  //负数,  $>-0.5$

**4.13** 设机器字长 8 位, 若机器数 DAH 为补码, 则算术左移一位后为( ), 算术右移一位后为( )。【\*, ★, 包捷 4.13, 编号 2.2】

- A. B4H
- B. B5H
- C. F4H
- D. 6DH
- E. EDH

参考答案:

DAH=11011010B

算术左移 1 位: (1)(10110100)=B4H, 答案: A

算术右移 1 位: (11101101)(0)B=EDH, 答案: E

**4.14** 在计算机内, 减法一般用 ( ) 来实现。【\*, 包捷 4.14, 编号 2.2】

- A. 二进制减法器
- B. 十进制减法器
- C. 二进制补码加法器
- D. 十进制加法器

参考答案:

C





## 第 4 部分 存储体系

5.2 有一个  $64K \times 16$  位的存储器，由  $16K \times 1$  位的 DRAM 芯片（芯片内是  $128 \times 128$  结构）构成，存储器读/写周期为  $500ns$ ，试问：【\*，★，包捷 5.2，编号 3.3】

- 1) 需要多少片 DRAM 芯片？
- 2) 采用异步刷新方式，如单元刷新间隔不超过  $2ms$ ，则刷新信号周期是多少？
- 3) 如果采用集中刷新方式，存储器刷新一遍最少用多少时间？

参考答案：

- 1)  $(64K \times 16) / (16K \times 1) = (2^{16} \times 2^4) / (2^{14}) = 2^{20} / 2^{14} = 2^6 = 64$  片
- 2)  $2ms \div 128 = 15.625\mu s$
- 3)  $128 \times 500ns = 64\mu s$

5.3 某机字长 16 位，CPU 地址总线 18 位，数据总线 16 位，存储器按字编址，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：【\*\*，★，包捷 5.2，编号 3.3，3.5.2】

- 1) 该机可以配备的最大主存容量为（ ）。
- 2) 该机主存采用  $64K \times 1$  位的 DRAM 芯片（内部为 4 个  $128 \times 128$  阵列）构成最大主存空间，则共需（ ）个芯片；若采用异步刷新方式，单元刷新间隔为  $2ms$ ，则刷新信号的周期为（ ）。
- 3) 若为该机配备  $2K \times 16$  位的 Cache，每块 8 字节，采用 2 路组相联映象，试写出对主存地址各个字段的划分（标出各个字段的位数）；若主存地址为  $462EH$ ，则该地址可映象到 Cache 的哪一组？
- 4) 已知该机已有  $8K \times 16$  位的 ROM 存储器，地址处于主存的最高端；现在再用若干个  $16K \times 8$  位的 SRAM 芯片形成  $128K \times 16$  位的 RAM 存储区域，起始地址为  $00000H$ ，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端；试写出 RAM、ROM 的地址范围，并画出 SRAM、ROM 与 CPU 的连接图，请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接。

**参考答案:**

- 1) 地址总线 18 位可产生  $2^{18}$  个选择, 数据总线 16 位, 则每个选择输出 16 位数据。  
容量大小为:  $2^{18} \times 16 \text{ 位} = 512\text{KB}$
- 2) 共需  $(2^{18} \times 16) \div (64\text{K} \times 1\text{bit}) = 64$  芯片;  
异步刷新方式是每行刷新一次, 则刷新周期是:  $2\text{ms} \div 128 = 15.625 \mu\text{s}$
- 3)



- a. **确定地址的位数:** 18 位  
因为地址总线是 18 位
- b. **确定块内偏移:** 2 位  
块的大小: 8 字节。因为存储器地址是按“字”编址 (即一个地址管理一个字), “字”是 16 位=2 字节。所以, 块的大小为  $8\text{B}/2=4 \text{ 字} = 2^2 \text{ 字}$ , 块内偏移为 2 位。
- c. **确定组索引位数:** 8 位  
Cache 的容量:  $8\text{K} \times 16\text{bit} = 2^{17}\text{bit} = 2^{14}\text{B}$   
块的大小 (即行的大小):  $8\text{B} = 2^3\text{B}$   
则, 行数=Cache 的容量/块的大小= $2^{14}/2^3=2^9$   
因为“采用 2 路组相联映象”, 所以, 组数=行数/2= $2^9/2=2^8$ , 组索引需要 8 位。
- d. **确定标记位数:** 8 位  
标记位数=18-组索引位数-块内偏移位数= $18-8-2=8$  位

- e. 462EH 映射到哪一组?

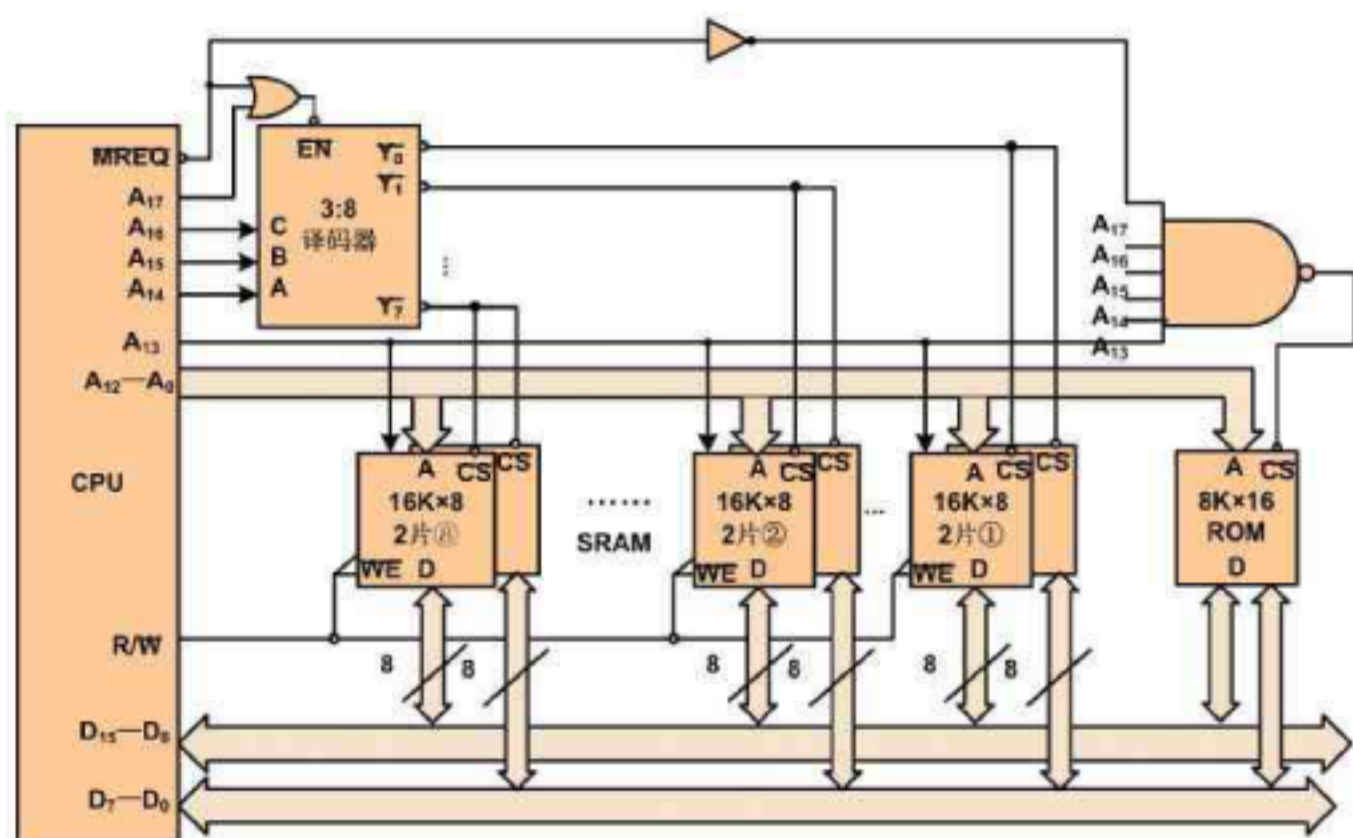
主存地址 462EH = 0100 0110 0010 1110 划分为:

00010001	10001011	10
----------	----------	----

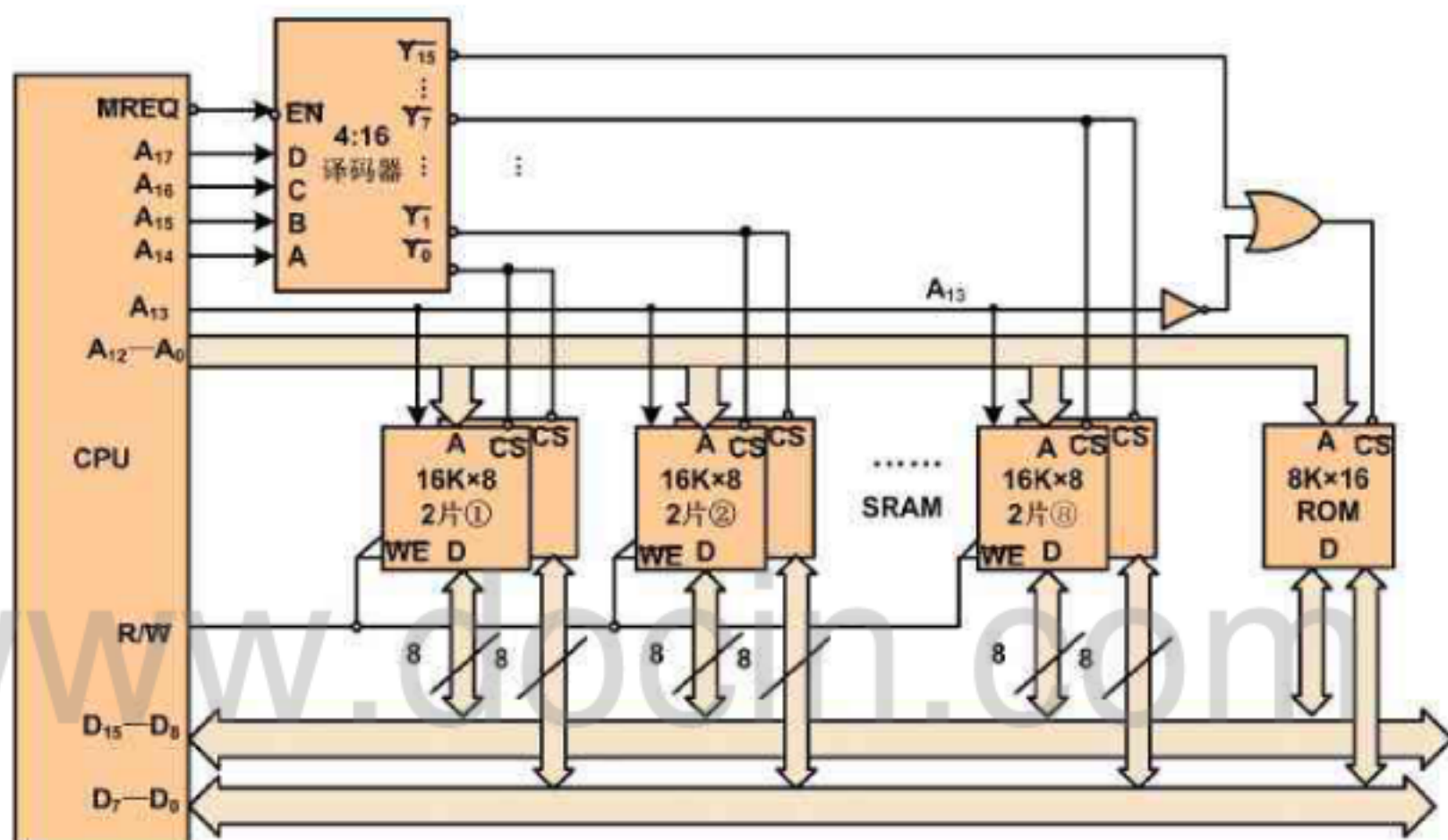
组索引号为: “10 0010 11 B” = “139”组

## 4)

- a. ROM 的地址范围  
地址为 18 位, 按字 (16 位) 寻址。  
ROM 的大小是  $8\text{K} \times 16\text{bit} = 2^{13}$  字, 则地址数是  $2^{13}$  个 (2000H)。  
ROM 处于主存的最高端, 地址范围 (按十六进制计算): X~3FFFF  
 $3\text{FFFF} - \text{X} = \text{地址数} - 1$ ,  $\text{X} = 40000 - \text{地址数}$ ,  $40000 - 2000 = 3\text{E}000$   
所以, 地址范围是 3E000~3FFFF
- b. SRAM 的地址范围  
SRAM 的大小是  $128\text{K} \times 16 \text{ 位} = 2^{17}$  字, 则地址数是  $2^{17}$  个 (20000H)  
SRAM 处于主存的最低端, 地址范围 (按十六进制计算): 00000~Y  
 $\text{Y} - 00000 = \text{地址数} - 1$ ,  $\text{Y} = 20000 - 1 = 1\text{FFFF}$ 。  
所以, 地址范围是 00000~1FFFF
- c. SRAM 的片数  
片数=总容量/片大小 //单位统一, 采用“位”  
片数= $(128\text{K} \times 16) / (16\text{K} \times 8) = (2^{17} \times 2^4) / (2^{14} \times 2^3) = 2^{21} / 2^{17} = 24 = 16$



使用 4: 16 译码器实现



附 1: 某计算机系统  $r$  内存由 Cache 和主存构成, Cache 的存取周期为  $45\text{ns}$ , 主存的存取周期为  $200\text{ns}$ 。已知在段给定的时间内, CPU 共访问内存 4500 次, 其中 340 次访问主存, 问:

【\*, ★, 2016 考研解析, 编号 3.5.1】

- 1) Cache 的命中率是多少?
- 2) CPU 访问内存的平均访问时间是多少?
- 3) Cache-主存系统的效率是多少?

参考答案:

- 1) 命中率  $h = (\text{Cache 访问次数}) / (\text{总访问次数}) = (4500 - 340) / 4500 = 92.44\%$
- 2) 平均访存时间  $t_a = h \cdot t_c + (1 - h) \cdot t_m = 92.44\% \cdot 45 + 7.56\% \cdot 200 = 56.72\text{ns}$
- 3) 系统效率  $= t_c / t_a = 45 / 56.72 = 79.33\%$

5.5 某计算机的存储系统由 Cache、主存和用于虚拟存储的磁盘组成。CPU 总是从 Cache 中



获取数据。若所访问的字在 **Cache** 中，则存取它只需要 **20ns**，将所访问的字从主存装入 **Cache** 需要 **60ns**，而将它从磁盘装入主存则需要 **1200us**。假定 **Cache** 的命中率为 **90%**，主存的命中率为 **60%**，计算该系统访问一个字的平均存取时间。【\*\*，★，包捷 5.2，编号 3.5.1,3.6】

参考答案：

● 说明：

$t_c=20ns$  //访问 Cache 时时间，Cache

$t_m=60ns$  //访问主存时间，Memory

$t_d=1200us$  //访问磁盘（外存）时间，Disk

$h=90\%$  //Cache—主存层次中，CPU 的 Cache 命中率

$h_m=60\%$  //主存—辅存层次中，CPU 的主存命中率

$t_a$  //平均访问时间，Average

●  $t_a=h*t_c+(1-h)*(t_c+h_m*t_m+(1-h_m)*(t_m+t_d))$

$t_a=0.9*20+0.1*T_m=18+0.1*T_m$

$T_m=20+0.6*60+0.4*(60+1200000)=480080ns$

$t_a=18+48008=48026ns$

5.6 CPU 执行一段时间时，**Cache** 完成存取的次数为 **3900** 次，主存完成的存取次数为 **100** 次，已知 **Cache** 的存储周期为 **40ns**，主存的存储周期为 **240ns**。求 **Cache/主存系统** 的效率和平均访问时间？【\*，包捷 5.6，编号 3.5.1】

参考答案：

$h=3900/(3900+100)=97.5\%$

平均访问时间： $t_a=h*t_c+(1-h)*t_m=0.975*40+0.025*240=39+6=45ns$

系统效率： $e=t_c/t_a=40/45=88.9\%$

5.7 某处理器包含一片内 **Cache**，容量为 **8K** 字节，且采用 **4** 路组相联结构，块的大小为 **4** 个 **32** 位字。当 **Cache** 未命中时，以分组方式从主存读取 **4** 个字到 **Cache**，假定主存容量为 **16MB**。试说明：【\*\*，★，包捷 5.7，编号 3.3】

1) **Cache** 共分为多少组？

2) 写出主存的字节地址的格式，并说明地址格式中的不同字段的作用和位数。



参考答案:

- 1) 为求组数, 先求行数

行数=Cache 容量/块的大小      //Cache 容量:  $8\text{KB}=2^{13}\text{B}$ ;  
    //块的大小:  $4*32\text{bit}=2^7\text{bit}=2^4\text{B}$

$$= 2^{13}/2^4 = 2^9$$

组数=行数/每组行数 //因 4 路相联, 所以每组 4 行

$$= 2^9/4 = 2^7$$

所以, 组数为 128 个。

- 2) 地址格式为:



- ### ① 计算主存地址位数

主存容量  $16\text{MB}=2^{24}\text{B}$ ，因按“字节”编址，所以地址个数为  $2^{24}$  个，需要 24 位地址。

- ### ② 计算块内偏移位数

块的大小为  $2^4\text{B}$  (求解见 1) 的解答), 因按“字节”编址, 所以块内偏移为 4 位。

- ### ③ 计算组索引位数

因组的个数为  $128=2^7$  个 (求解见 1), 所以组索引位数为 7。

- #### ④ 计算标记位数

标记位数=地址位数-组索引位数-块内偏移位数=24-7-4=13

**5.11** 主存容量为 **1GB**，虚存容量为 **1TB**，虚拟存储器和物理存储器的地址各是多少位？根据寻址方式计算出的有效地址是虚存地址还是物理地址？如果页面大小为 **4KB**，页表长度是多少？【\*，包捷 5.11，编号 3.6】

參考答案：

- 1) 主存容量  $1\text{GB}=2^{30}\text{B}$ , 则物理(主存)地址有  $2^{30}$  个, 需 30 位。
  - 2) 虚存容量  $1\text{TB}=2^{40}\text{B}$ , 则虚存地址有  $2^{40}$  个, 需 40 位。
  - 3) “根据寻址方式计算出的有效地址”是相对地址(逻辑地址)也是虚存地址。
  - 4) 虚拟的页数 = 虚存容量 / 页面大小 =  $1\text{TB}/4\text{KB}=2^{40}/2^{12}=2^{28}$ , 每个虚拟页需要一个页表项指明与物理页的关系, 则页表项数主  $2^{28}$  个。
- (本注: 原题答案有误, 误理解为物理空间的页数。)

**5.12** 设主存容量为 3 个页面, 进程对页面的需求序列为 3, 4, 2, 6, 4, 3, 7, 4, 3, 6, 3, 4, 8, 4, 6, 试用列表求分别采用 FIFO 和 LRU+FIFO 替换策略时的命中率。当主存容量增加到 4 个页面时, 两替换策略命中率又是多少? 【\*, ★, 包捷 5.11, 编号 3.5.3.3.6】

参考答案:

主存容量分配 3 或 4 个页面时, 建立下列表格:

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1															
物理 2															
物理 3															
缺页															

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1															
物理 2															
物理 3															
物理 4															
缺页															

## 1) 3 个页面的 FIFO 替换策略

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1	3	3	3	6		6	6	4		4	4		8	8	8
物理 2		4	4	4		3	3	3		6	6		6	4	4
物理 3			2	2		2	7	7		7	3		3	3	6
缺页	F	F	F	F		F	F	F		F	F		F	F	F

12 个页访问未命中 (标 F), 命中率为  $3/15 = 20\%$ 

## 2) 3 个页面的 LRU+FIFO 替换策略:

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1	3	3	3	6		6	7			6			8		8
物理 2		4	4	4		4	4			4			4		4
物理 3			2	2		3	3			3			3		6
缺页	F	F	F	F		F	F			F			F		F

9 个页面访问未命中 (标 F), 命中率为  $6/15 = 40\%$ 

## 3) 4 个页面的 FIFO 替换策略:

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1	3	3	3	3			7		7			7	7		6
物理 2		4	4	4			4		3			3	3		3
物理 3			2	2			2		2			4	4		4
物理 4				6			6		6			6	8		8
缺页	F	F	F	F			F		F			F	F		F

9 个页访问未命中 (标 F), 命中率为  $6/15 = 40\%$ 

## 4) 4 个页面的 LRU+FIFO 替换策略:

	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
物理 1	3	3	3	3			3						3		
物理 2		4	4	4			4						4		
物理 3			2	2			7						8		
物理 4				6			6						6		
缺页	F	F	F	F			F						F		

有 6 个页访问未命中 (标 F), 命中率为  $9/15 = 60\%$

**5.13 判断下列命题的对与错。【\*\*，★，包捷 5.13，编号 3.0】**

- 1) 设置 Cache 的主要目的是提高内存的整体访问速度。
- 2) 调入 Cache 中的数据在主存一定存有副本。
- 3) 在具有虚拟存储器的系统中，根据寻址方式计算出来的有效地址是辅存地址。
- 4) 程序可在辅助存储器中直接运行。
- 5) 虚拟存储器指的是“主存-辅存”层次。
- 6) 实现主存地址与 Cache 地址的映射是由硬件自动完成。
- 7) 采用多体交叉存储器可提高存储器的带宽。
- 8) 采用虚拟存贮器的主要目的是扩大主存贮器的存贮空间，并能进行自动管理和调度。
- 9) 采用虚拟存贮器技术能提高外存贮器的存取速度
- 10) 常用的虚拟存贮系统由 Cache—辅存两级存贮器组成，其中辅存是大容量的磁表面存贮器。
- 11) 相联存储器采用按内容访问方式，速度比普通存储器快。

**参考答案：**

- 1) 正确。//提高 CPU 对主存的访问速度
- 2) 正确。//Cache 依据程序执行的局部性原理，将主存程序的一个子集放入 Cache 中。
- 3) 错误。//计算出的地址是虚拟地址（相对地址/逻辑地址），不是辅存(硬盘)上地址。
- 4) 错误。//违背 von Neumann 体系结构。CPU 只与主存进行数据交互。
- 5) 正确。//Cache 是 Cache-主存层次；虚拟存储是“主存-辅存”层次。
- 6) 正确。
- 7) 正确。//“多体交叉存储器”**不讲**
- 8) 正确。//虚拟存储器技术弥补主存容量的限制。
- 9) 错误。//虚拟存储器技术弥补主存容量的限制。
- 10) 错误。//虚拟存储器是“主存-辅存”层次。
- 11) 正确。//“相联存储器”**不讲**。



## 第 5 部分 指令系统

- 6.2 在一地址指令、二地址指令中，如何指定二个操作数地址？如何存放操作结果？【\*，★，包捷 6.2，编号 4.2】

参考答案：

一地址指令：

两个操作数除一个由“指令中的地址码”指定外，另一个为隐含指定的寄存器（通常是累加器 ACC）。结果也放在隐含指定的寄存器中。

二地址指令：

指令的两个地址码分别指定两个操作数；操作结果也存入第一个地址码（目的操作数）中。

- 6.4 某机器字长 16 位，采用单字长指令，每个地址码 6 位。试采用操作码扩展技术，设计 14 条二地址指令，80 条一地址指令，60 条零地址指令。请给出指令编码示意图。【\*，★，包捷 6.4，编号 4.1】

参考答案：

操作码(4)	地址1(6)	地址2(6)	
0000	A1	A2	14条 二地址指令
0001	A1	A2	
...	...	...	
1101	A1	A2	
操作码(10)		地址1(6)	64条 一地址指令
1110	000000	A1	
1110	000001	A1	
...	...	...	
1110	111111	A1	16条 一地址指令
1111	000000	A1	
1111	000001	A1	
...	...	...	
1111	001111	A1	60条 零地址指令
操作码(16)			
1111	111111	000000	
1111	111111	000000	
...	...	...	
1111	111111	111011	

说明：答案不唯一。

- 6.9 单项选择题（共 8 题）【\*\*，★，包捷 6.2，编号 4】

- 寄存器间接寻址方式中，操作数在（ ）中。  
A. 程序计数器 B. 堆栈 C. 寄存器 D. 主存
- 堆栈常用于（ ）。  
A. 数据移位 B. 程序转移 C. 保护程序现场 D. 输入和输出



3. 单地址指令中, 为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个数常需采用 ( ) 寻址。  
A. 堆栈      B. 立即      C. 寄存器直接      D. 寄存器间接
4. 用于对某个寄存器中的操作数的寻址方式称为 ( ) 寻址。  
A. 直接      B. 间接      C. 寄存器直接      D. 寄存器间接
5. 指令中采用不同的寻址方式, 其主要目的是 ( )。  
A. 可以实现操作码的扩展  
B. 实现存储程序和程序控制  
C. 缩短指令长度、扩大寻址空间、提高编程的灵活性  
D. 降低指令译码的难度
6. 指令寻址和数据寻址的不同在于 ( )。  
A. 前者是访问存储器, 后者是访问寄存器  
B. 前者是确定程序转移地址, 后者取操作数  
C. 前者是确定程序执行顺序, 后者是取操作数地址  
D. 前者是短指令, 后者是长指令
7. 变址寻址方式中, 操作数的有效地址为 ( )。  
A. 程序计数器的内容加上形式地址  
B. 基址寄存器的内容加上形式地址  
C. 变址寄存器的内容加上形式地址  
D. 变址寄存器的内容加上基址寄存器的内容
8. CISC 指令系统与 RISC 指令系统相比具有 ( ) 等特点。  
A. 前者指令条数少, 后者指令条数多  
B. 前者执行速度慢, 后者执行速度快  
C. 前者有利于编译生成优化代码, 后者不便于编译  
D. 前者指令功能简单, 后者指令功能复杂

**参考答案:**

1. 寄存器间接寻址方式中, 操作数在 ( **D. 主存** ) 中。
2. 堆栈常用于 ( **B. 程序转移** **C. 保护程序现场** )。
3. 单地址指令中, 为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个数常需采用 ( **C. 寄存器直接** ) 寻址。
4. 用于对某个寄存器中的操作数的寻址方式称为 ( **C. 寄存器直接** ) 寻址。
5. 指令中采用不同的寻址方式, 其主要目的是 ( **C. 缩短指令长度、扩大寻址空间、提高编程的灵活性** )。
6. 指令寻址和数据寻址的不同在于 ( **C. 前者是确定程序执行顺序, 后者是取操作数地址** )。
7. 变址寻址方式中, 操作数的有效地址为 ( **C. 变址寄存器的内容加上形式地址** )。
8. CISC 指令系统与 RISC 指令系统相比具有 ( **B. 前者执行速度慢, 后者执行速度快** ) 等特点。

6.10 某机 16 位字长指令格式如下:

OP	M	D
5位	3位	8位

其中：D 是形式地址，采用补码表示（包括一位符号位）；M 是寻址方式；

M=0 立即寻址；

M=1 直接寻址（这时 D 为地址，是无符号数）；

M=2 间接寻址；

M=3 变址寻址（变址寄存器  $R_i$ ，16 位）；

M=4 基址寻址（基址寄存器  $R_b$ ，16 位）；

M=5 相对寻址。

1. 该指令格式最多可以定义多少种不同的指令？立即寻址操作数范围是多少？
2. 写出各种寻址方式的有效地址的计算表达式。
3. 各种寻址方式能访问的最大主存空间范围是多少？

参考答案：

1. 指令的数量由操作码位数（5 位）决定，所以是： $2^5=32$  种。

立即数按补码取值，位数是 8 位（含 1 位符号位），则范围是：-128~127

2. 有效地址的计算表达式：

9. M=0 立即寻址：

无有效地址

10. M=1 直接寻址：

$EA=D$

11. M=2 间接寻址：

$EA=(D)$  //表示取 D 指向内存的内容作为地址

12. M=3 变址寻址（变址寄存器  $R_i$ ，16 位）：

$EA=(R_i)+D$

13. M=4 基址寻址（基址寄存器  $R_b$ ，16 位）：

$EA=(R_b)+D$

14. M=5 相对寻址：

$EA=(PC)+D$

3. 访问的最大主存空间范围

15. M=0 立即寻址：

无

16. M=1 直接寻址：

D 的位数 8 决定。共有  $2^8$  个地址，范围是：0x00—0xFF(或 0—255)

17. M=2 间接寻址：（本注：假定内存单元是 16 位）

内存单元是 16 位数，将其作为地址，则共有  $2^{16}$  个地址，范围是：0x0000—0xFFFF(或 0—65535)

18. M=3 变址寻址（变址寄存器  $R_i$ ，16 位）：

因为  $EA=(R_i)+D$ ， $R_i$  可表示 16 位内存地址：0— $2^{16}-1$ （或 0x0000—0xFFFF），  
D 可表示 8 位内存偏移：0— $2^8-1$ （或 0x00-0xFF），两者相加，则范围是：0— $2^{16}+2^8-2$ （或 0x00000—0x100FE）

19. M=4 基址寻址（基址寄存器  $R_b$ ，16 位）：

$EA=(R_b)+D$ ，以“变址寻址”同理。范围是：0— $2^{16}+2^8-2$ （或 0x0000—0x100FE）

20. M=5 相对寻址：（本注：相对寻址与变址和基址寻址不同处是，D 有正负，用补码表示；后者是无符号数）

$EA=(PC)+D$ ；PC 可表示 16 位内存地址：0— $2^{16}-1$ （或 0x0000—0xFFFF），  
D 补码表示： $-2^7$ — $2^7-1$ ，两者相加，则范围是：0— $2^{16}+2^7-2$ （或 0x0000—0x1007E）

(注：忽略负的地址)





## 第 6 部分 中央处理器(CPU)

### 8.1 名词术语解释

1.PC	2.IR	3.AR	4.指令周期
5.机器周期	6.时钟周期	7.指令预取	8.指令译码
9.控制存储器	10.微程序入口	11.微指令	12.微地址
13.微命令	14.微操作	15.微程序控制器	16.硬布线控制器
17.直接控制法	18.字段直接编译法	19.字段间接控制法	20.水平型微指令
21.垂直型微指令	22.毫微程序	23.流水线	

#### 参考答案:

1. PC: 程序计数器, 存放下一条将要执行的指令地址。执行指令时, CPU 自动修改 PC 的内容。位于 CPU 内。
2. IR: 指令寄存器, 存放当前正在执行的指令。位于 CPU 内
3. AR: 地址寄存器, 保存当前 CPU 所访问的主存单元的地址。
4. 指令周期: 是指计算机从主存取出一条指令并完成该指令的执行所需要的时间。一个指令周期含若干个机器周期。
5. 机器周期: 完成一次基本操作所需要的时间。如, 取指令、存储器读、写、ALU 运算或一次总线传送等。也称 CPU 周期。一个机器周期含一个到多个时间周期。
6. 时钟周期: CPU 执行一个微操作命令(即控制信号)的最小时间单位, 又称节拍周期、T 周期。CPU 主频的倒数。
7. 指令预取: 为实现并行执行指令的流水线, 在执行本条指令时, 就同时预先从主存中取出下一条指令的代码, 减少等待访存的时间, 这种操作叫指令预取。
8. 指令译码: 对 IR 中的操作码进行译码, 以区别不同的指令, 也可能需要对指令中的各操作数的寻址方式进行译码, 以确定操作数的位置。
9. 控制存储器: 存放全部指令系统对应的所有微程序, 是一种 ROM, 在 CPU 中。一个存储单元存放一条微指令。
10. 微程序入口: 机器指令对应的微程序在控制存储器的首地址。
11. 微指令: 是一组微命令的集合, 用于完成一个功能相对完整的操作。
12. 微地址: 微指令存放在控制存储器中的地址。
13. 微命令: 是组成微指令的最小单位, 也就是控制实现微操作的控制信号。一般用于控制数据通路上门的打开/关闭, 或者功能选择。
14. 微操作: 执行部件接受微命令后所进行的操作。
15. 微程序控制器: 指采用存储逻辑电路即微程序设计的方法构成计算机控制器的主要部件——操作控制信号形成部件。
16. 硬布线控制器: 是指采用组合逻辑电路即硬布线设计的方法构成计算机控制器的主要部件——操作控制信号形成部件。
17. 直接控制法: 微指令中控制字段的每一位代表一个微命令(控制信号)
18. 字段直接编译法: 将微指令的控制字段分成若干段, 每段通过编码/译码对应到各个控制信号, 从而提高微指令的并行操作能力, 缩短微指令字长。
19. 字段间接控制法: 将微指令的控制字段分段, 某一字段所产生的微命令, 还需要和另一字段的代码联合译码得到。
20. 水平型微指令: 指能同时发送许多个微命令、同时控制数据通路中多个功能部件并行操作的微指令。特点是: 微指令执行效率高、速度快、灵活, 并行操作能力强,



编制的微程序比较短。

21. 垂直型微指令：采用完全编码的方法，将一套微命令代码化构成微指令。因此，一条微指令只能控制 1~2 种微操作，并行操作能力弱，执行效率低。
22. 毫微程序：在两级微程序设计中，第一级是垂直微程序，用来解释机器指令；第二级是水平微程序，又称毫微程序，用来解释垂直微指令。
23. 流水线：就是将一个较复杂的处理过程分成若干个复杂程度相当、处理时间大致相等的子过程，每个子过程由一个独立的功能部件来完成，处理对象在各子过程连成的线路上连续流动，各功能部件并行工作，从而处理速度成倍提高。

### 7.3 控制器的基本功能是什么？它由哪些基本部件组成？

**参考答案：**

1. 基本功能：从存储器中取指令、对指令译码、产生控制信号并控制计算机系统各部件有序地执行，从而实现这条指令的功能。（取指令、分析指令、执行指令）
2. 基本部件：PC、IR、AR、DR、指令译码器、操作控制信号形成部件、时序系统

### 7.6 设某机平均执行一条指令需要两次访问内存，平均需要三个机器周期，每个机器周期包含 4 个节拍周期。若机器主频为 25MHz，试回答：

1. 若访问主存不需要插入等待周期，则平均执行一条指令的时间为多少？
2. 若每次访问内存需要插入 2 个等待节拍周期，则平均执行一条指令的时间是又多少？

**参考答案：**

1. 主频为 25MHz，则节拍周期(CPU 时钟周期) $=1/25\text{us}=40\text{ns}$ （也称时钟周期）。  
一条指令需节拍数：3\*4=12 个，则指令周期 $=12*40=480\text{ns}$
2. 因一条指令需 2 次访问内存，每次 2 个等待节拍周期，则一条指令需节拍数：12+4=16 个，则指令周期 $=16*40=640\text{ns}$

### 7.7 设某机主频为 8MHz，每个机器周期包含 4 个节拍周期，该机平均指令执行速度为 1MIPS。试回答：

1. 该机的平均指令周期是多少时间？
2. 平均每条指令周期包含几个机器周期？

**参考答案：**

1. 指令执行速度为 1MIPS( $10^6$  条指令/秒)，则指令周期： $1/10^6$  秒 $=1\text{us}$ 。
2. CPU 主频为 8MHz，则节拍周期(CPU 时钟周期) $=1/8\text{us}=0.125\text{ns}$ 。指令周期=机器周期数\*节拍数\*节拍周期， $1\text{us}=\text{机器周期数}*4*0.125\text{us}$ ，所以机器周期数=2

## 第 7 部分 总线

### 9.2 总线有哪些类型？各种类型有何特点？

**参考答案：**

1. 按总线传递的内容分类

地址总线、数据总线、控制总线

2. 按数据传送方式分类

并行总线

- 多根数据线同时传送个字节或个字的所有位。计算机系统总线大多是并行总线。

串行总线

- 一根数据线一位一位传送数据。节省硬件成本，远距离传输时，常用串行总线；在多机系统中，也常采用。

3. 按总线所处的位置分类

**CPU 内部总线**

- CPU 芯片内部用于在寄存器、ALU 以及控制部件之间传输信号的总线。
- 特点：距离短、速度快。

**系统总线**

- 各功能部件（CPU、主存及 I/O 接口）之间互连的总线。
- 特点：距离较短、速度较快。

**通信总线**

- 计算机系统之间或计算机与外部设备之间的通信，如 RS-232、RS-485、IEEE-488，USB、IEEE-1394。包括：I/O 总线、设备总线、外总线。
- 特点：距离远、速度慢、各类多

4. 按总线的通信定时方式分类

**同步总线**

- 部件或设备统一的时钟进行同步，在规定的时钟节拍内完成信息交换。CPU 与主存常采用。
- 特点：实现容易，迅速运行，但传送距离和速度受到限制。

**异步总线**

- 以信号握手方式进行，即用请求和确认信号来协调动作，操作时序不固定。IEEE-1394 和 USB 协议。
- 特点：兼容多种不同设备，但传输慢。

### 9.3 总线的技术指标（性能指标）有哪些？总线带宽表示什么？

**参考答案:**

1. 总线宽度: 数据总线宽度, 即一次总线操作中通过总线传送的数据位数, 一般有 8、10、32 和 64 位。
2. 总线周期: 指一次总线操作所用的时间。与总线周期互为倒数。
3. 总线频率: 总线工作频率, 单位是 MHz。与总线周期互为倒数。
4. 总线带宽: 总线带宽 = 总线宽度 / 8 \* 总线工作频率
5. 其它:
  - 信号线类型: 指信号线是专用还是分时复用。
  - 仲裁方法: 指集中式裁决还是分布式裁决。
  - 定时方式: 指同步方式还是异步方式。

**9.4** 何谓系统总线? 单总线结构有何优缺点? 查找一种现代计算机的多总线例子, 说明其结构和原理。

**参考答案:**

1. 系统总线: 连接 CPU、主存或 I/O 接口之间的信息传送线, 它是连接整机系统的基础。因为系统总线在 CPU 之外, 所以又称为外总线。
2. 单总线结构: 优点是结构简单, 便于增减设备和部件; 缺点是总线要互斥访问、分时共享, 总线负载较重, 一般用于速度要求不高的计算机中。
3. 多总线例子: 略

**9.6** 设总线工作频率为 33MHz, 如果一个总线周期中并行传送 32 位数据, 则总线的带宽是多少?

**参考答案:**

总线带宽 =  $33\text{M} \times 32 \div 8 = 132\text{MB/s}$



## 第 8 部分 输入输出系统

8.3 为何要在 CPU 和外设之间设置一个接口？简述接口的功能和组成。

参考答案：

1. 原因：外设具有工作速度、结构原理差异大，时序独立、异步性明显等特点，处理的信息从数据格式到逻辑时序一般不可能直接与 CPU 兼容。I/O 接口电路又叫“I/O 适配器”(I/O Adapter)
2. 功能：实现数据缓冲、执行 CPU 的命令、返回外设的状态、设备译码与选择、实现数据格式的转换、实现信号的转换、中断管理功能。

8.4 主机和外设交换信息的方式有哪几种？简述各自的工作原理和特点。

参考答案：

4 种主机与外设交换信息方式。

1. 程序查询方式

- CPU 检测外设是否准备好
- 是：在 CPU 与外设之间传送一个数据；否：返回上一步骤
- 特点：是 CPU 与外设间通过程序同步，CPU 被外设独占，利用率低。

2. 中断方式

- 外设准备好交换数据后，向 CPU 发送中断请求
- CPU 执行完当前指令后，暂停当前程序的执行，转向执行中断服务程序
- 在中断服务程序中，完成一个数据的传送
- 返回原来执行程序的断点处，继续执行
- 特点：在外设准备数据时，CPU 与外设并行工作，CPU 效率提高，且 CPU 可以同时被多个外设占用。

3. 直接存储器访问 (DMA) 方式

- 与内存交换数据的操作交由 DMA 控制器来控制，不经过 CPU。
- 特点：适合高速外设（如磁盘）进行块数据的传输。

4. 通道与输入输出处理机方式

- 通道是一个具有特殊功能的处理器，它可以实现对外设的统一管理和外设与内存之间的数据传送。
- 特点：能独立地执行用通道指令编写的输入输出控制程序，产生相应的控制信号送给由它管辖的设备控制器，继而完成复杂的输入输出过程。

8.5 CPU 与外设接口交换信息的方式有以下几种，其中在 ( ① ) 下，CPU 被外设独占；而在 ( ② ) 下支持 CPU 与外设并行工作，并且可以用于突发事件的处理；( ③ ) 用于高速、大批量的数据传送，并由硬件实现。

- A. 程序查询方式
- B. 程序中断方式
- C. DMA 方式
- D. 并行传送



## E. 串行传送

**参考答案:**

① A, ②B, ③C

## 8.7 何谓中断？简述中断的全部过程。

**参考答案:**

1. 中断：在 CPU 执行程序的过程中，由于某种事件发生，CPU 暂时停止正在执行的程序而转向对所发生的事件进行处理，当对事件的处理结束后又能回到原来中止的地方，接着中止前的状态继续执行原来的程序，这一过程称为中断。
2. 中断的全部过程：
  - 1) **中断请求**：对于外中断，外设或其他中断源通过 CPU 的中断请求引脚向 CPU 发中断请求信号，CPU 在每条指令执行完后，监测是否有中断请求，有则转入中断响应阶段。
  - 2) **中断响应**：CPU 首先通过硬件保存程序断点（PC）及标志寄存器，以便中断返回，即 CPU 执行中断隐指令。然后进入中断响应周期，或者通过向量方式或者通过软件查询方式得到中断服务程序入口，并置入 PC。
  - 3) **中断服务**：CPU 转入中断服务程序并执行，进行外设所需的数据交换。中断服务程序中，首先保护现场，将有关寄存器的内容压栈，然后进行 I/O 操作，实现数据传送。最后，恢复现场，并执行中断返回指令。
  - 4) **中断返回**：即恢复断点及标志。中断返回指令的功能，就是将中断隐指令保存的程序断点和标志读出并送入 PC 和标志寄存器，从而回到 CPU 原来的程序断点处继续执行。

8.14 假设有 4 个中断源 A、B、C、D，硬件排队后，中断优先级从高到低依次为 A→B→C→D。现在需要将 4 个中断源得到 CPU 响应的次序更改为 C→A→D→B，写出各个中断源的中断服务程序中应该设置的中断屏蔽字。

**参考答案:**

C 中断源：1111

A 中断源：1101

D 中断源：0101

B 中断源：0100