

2023 Fall IC Design Lab

Course Introduction & EEHPC Server Basic Operation

Advisor: Prof. Chen-Yi Lee

Author: Lin-Hung Lai

Sep. 13, 2023



Outline

- **Introduction to IC Design**
- **Course Arrangement**
 - **TA**
 - **13 Lab + MP + FP + ADFP/Lecture**
 - Intro / Schedule / Grading Policy
 - **Course Rules**
 - **Classroom**
 - **Code Review**
- **Adding to this course**
 - **Google form**
 - **Auditing**
- **Technology Application**
 - **Sign document & google form**

Outline

☐ Introduction to IC Design

Course Arrangement

TA

13 Lab + MP + FP + ADFP/Lecture

Intro / Schedule / Grading Policy

Course Rules

Classroom

Code Review

Adding to this course

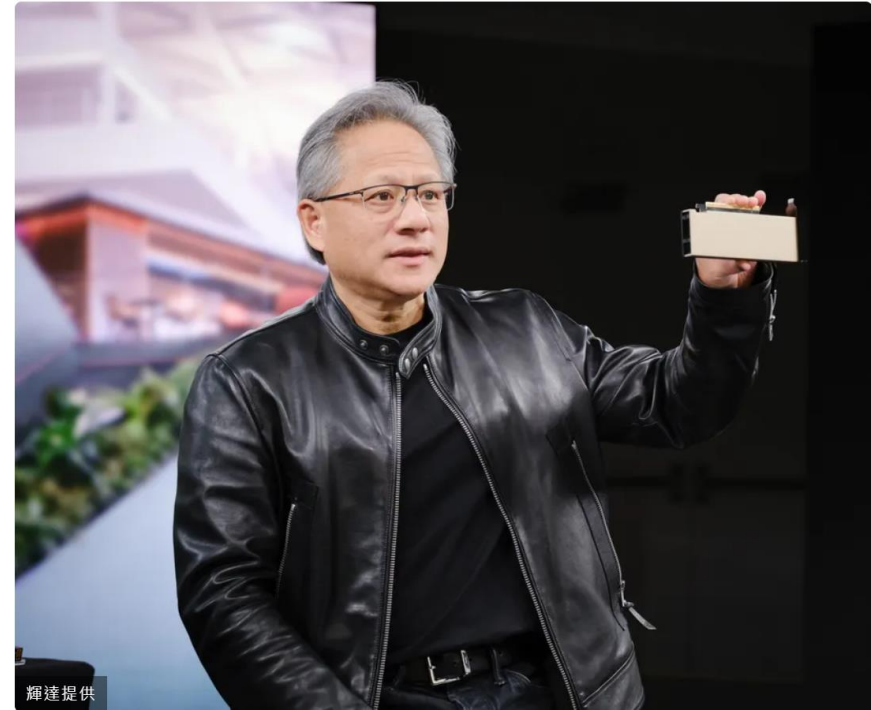
Google form

Auditing

Technology Application

Sign document & google form

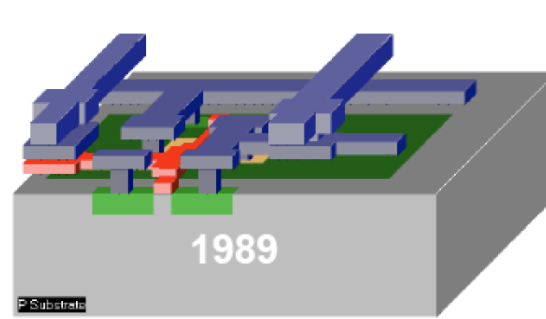
Do you ChatGPT today?



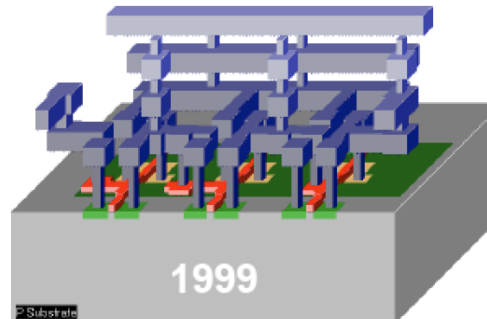
(Source: Nvidia)

CMOS Integrated Circuit

I ntegrated C ircuit



0.8 μ m CMOS



0.18 μ m CMOS

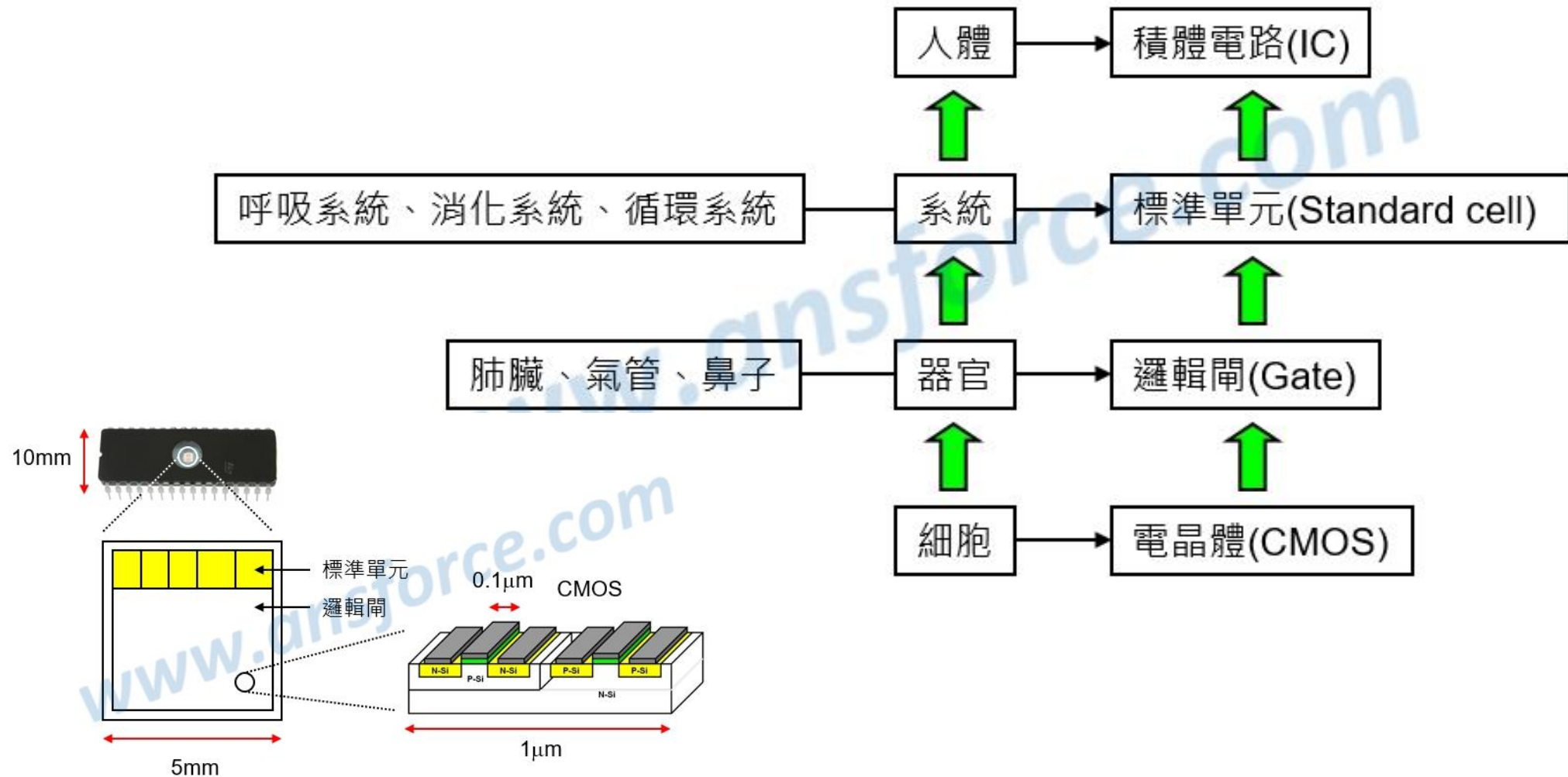
Technology:	0.8 μ m	0.18 μ m	0.07 μ m
# of Metal layers:	2~3	6	8-9
G.W. Aspect ratio (t/w):	~0.8	~1.8	~2.7
Wire length(m/chip):	~130	~1,480	~10,000

**Interconnects Start to Dominate
Cost and Performance**

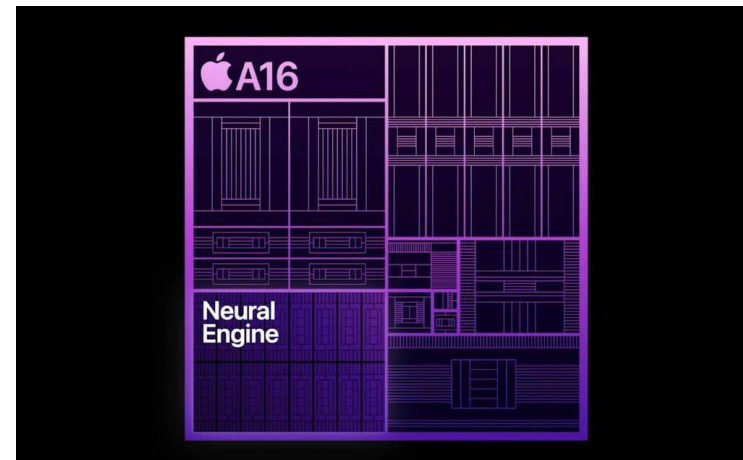
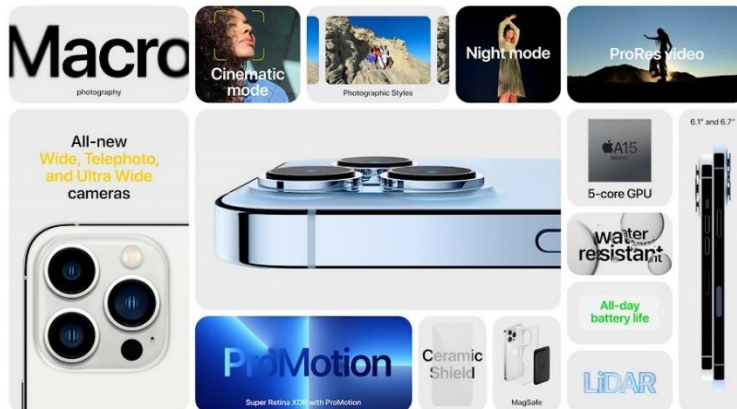
**Interconnect starts to be main
design constraints**

Source: L.-R. Zheng, KTH

CMOS Integrated Circuit



5 nm Technology Node: A16 Product



iPhone 15
coming soon!

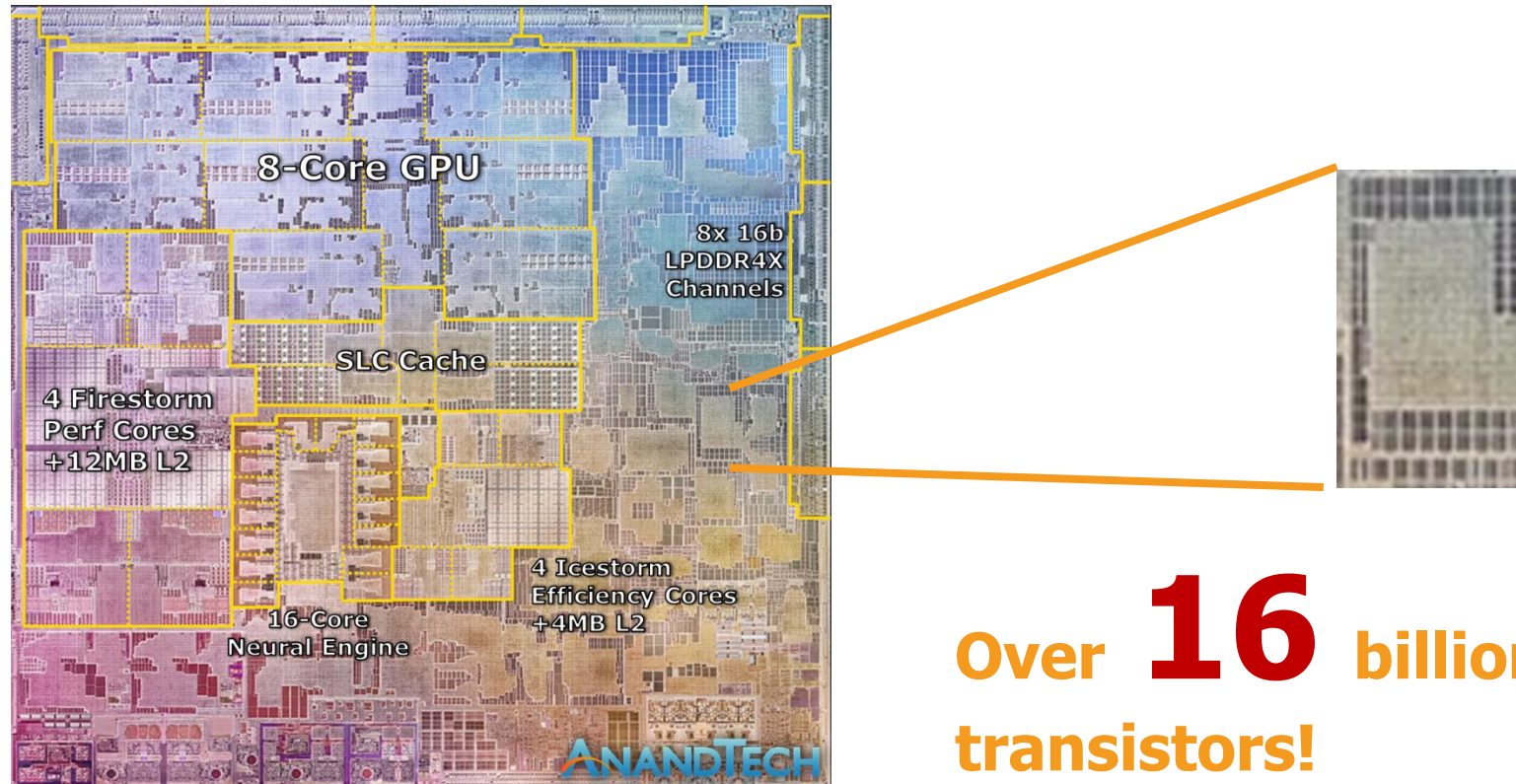
(Source: Apple)

Apple Silicon – M1 Chip



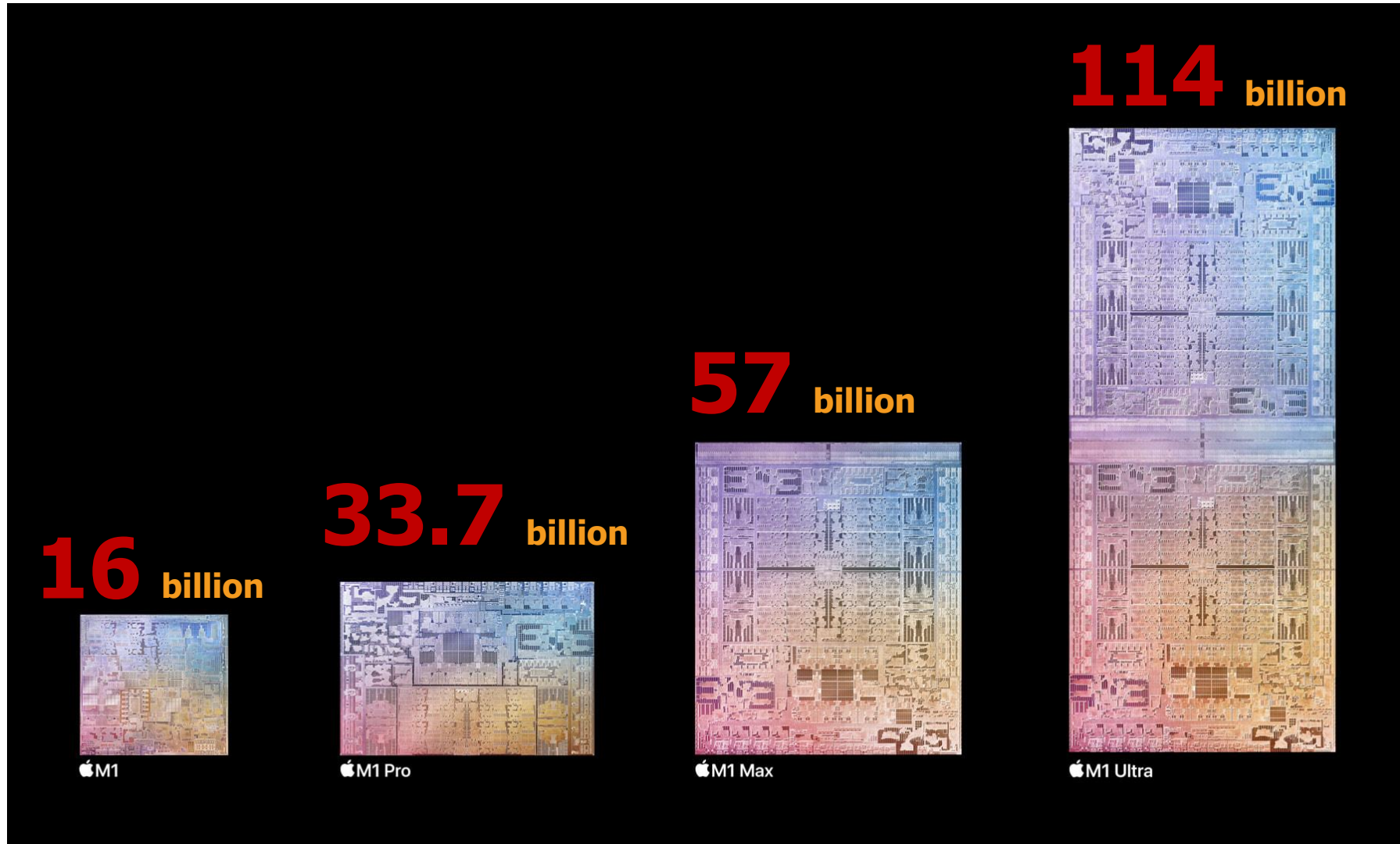
Small chip. Giant leap.

Apple M1, Arm-Based SoC




Over **16** billion
transistors!


What's the Trend? FinFET+3D IC



3D X 3D Super Moore Era!!



COMPUTEX FORUM



We are in 3Dx3D Super-Moore Era

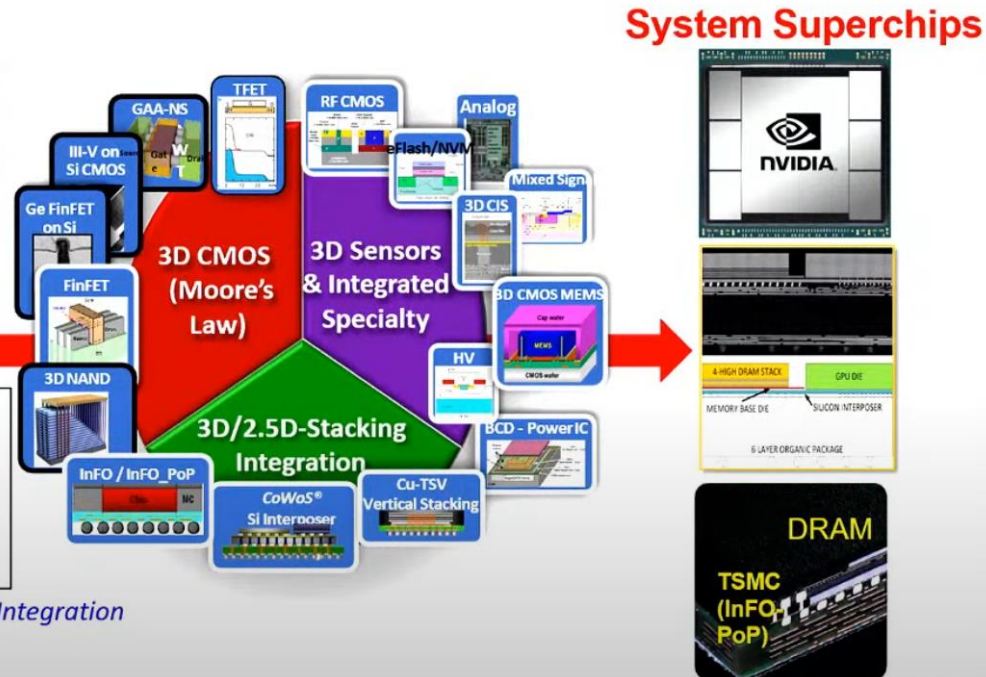
Holistic *3Dx3D System Scaling* for system performance, power, density, form factor, bandwidth, TTM, ...

3D CMOS Scaling
(3D Transistors,
3D memory,
3D Sensors
and *Specialty SOC*..)

X

**3D Stacking
and Heterogeneous System
Integration**
(InFO, CoWoS, Bonding, ...)

Heterogeneous chiplet and package-let Integration



Source: J. Y.-C. Sun, A-SSCC 2014

Jack Sun, IAIS/NYCU

Type of CMOS CHIP

項目	特性	應用	晶片類型	代表廠商
雲端 AI 晶片	長時間運算 高效高頻寬 高消耗功率	雲端資料中心 超級電腦	CPU GPU HPC	Nvidia、Intel、AMD、寒武紀、Google
邊緣 AI 晶片	即時性傳送	Local 系統中心	FPGA ASIC	Xilinx、Fujitsu、百度
終端專用 AI 晶片	低延遲傳輸 低消耗功率	智能助理 ADAS 無人機 <u>IoT</u>	ASIC <u>SoC</u>	Google、Apple、Qualcomm、Samsung、ARM、MTK、海思 

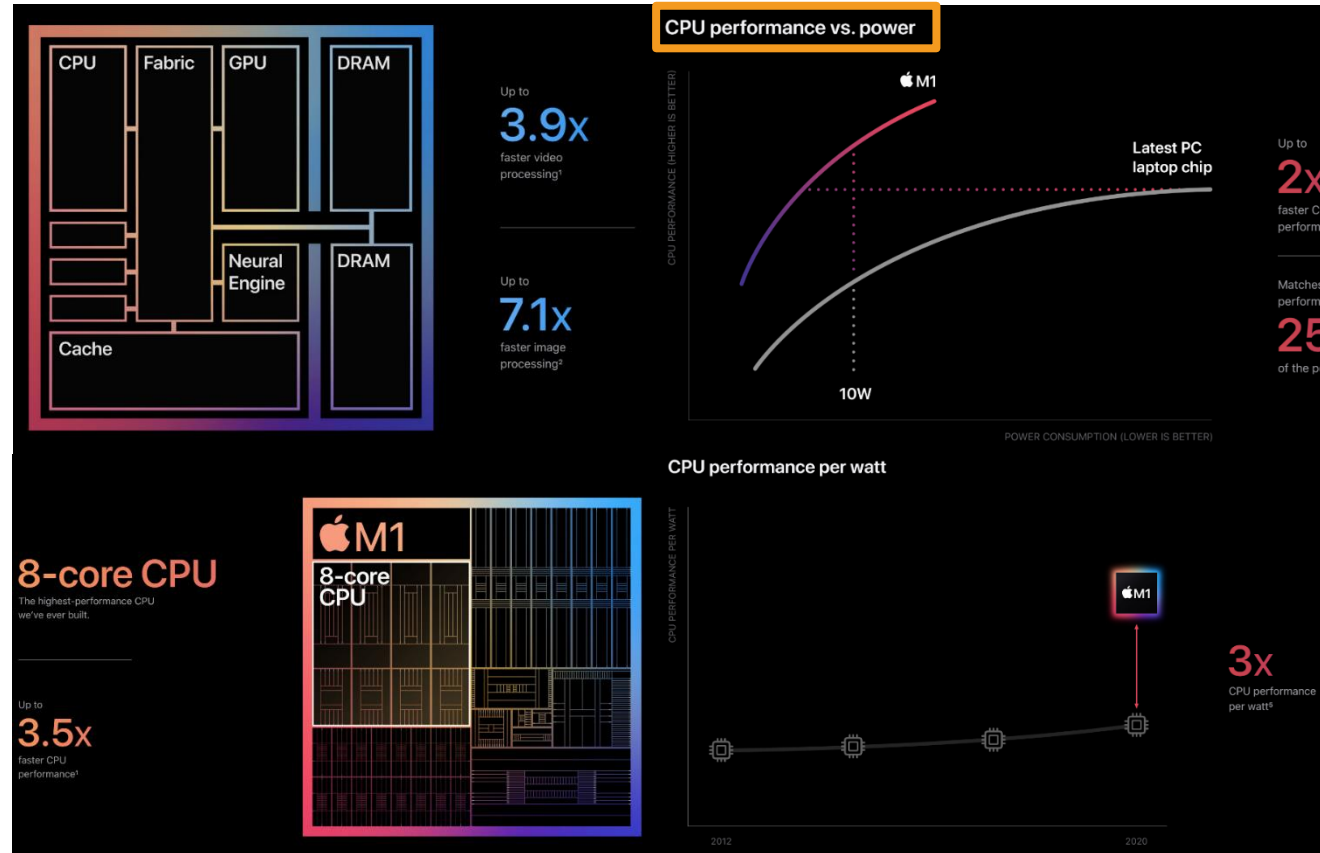
(Source: Technews)

Introduction to IC Design

Quality of Digital IC

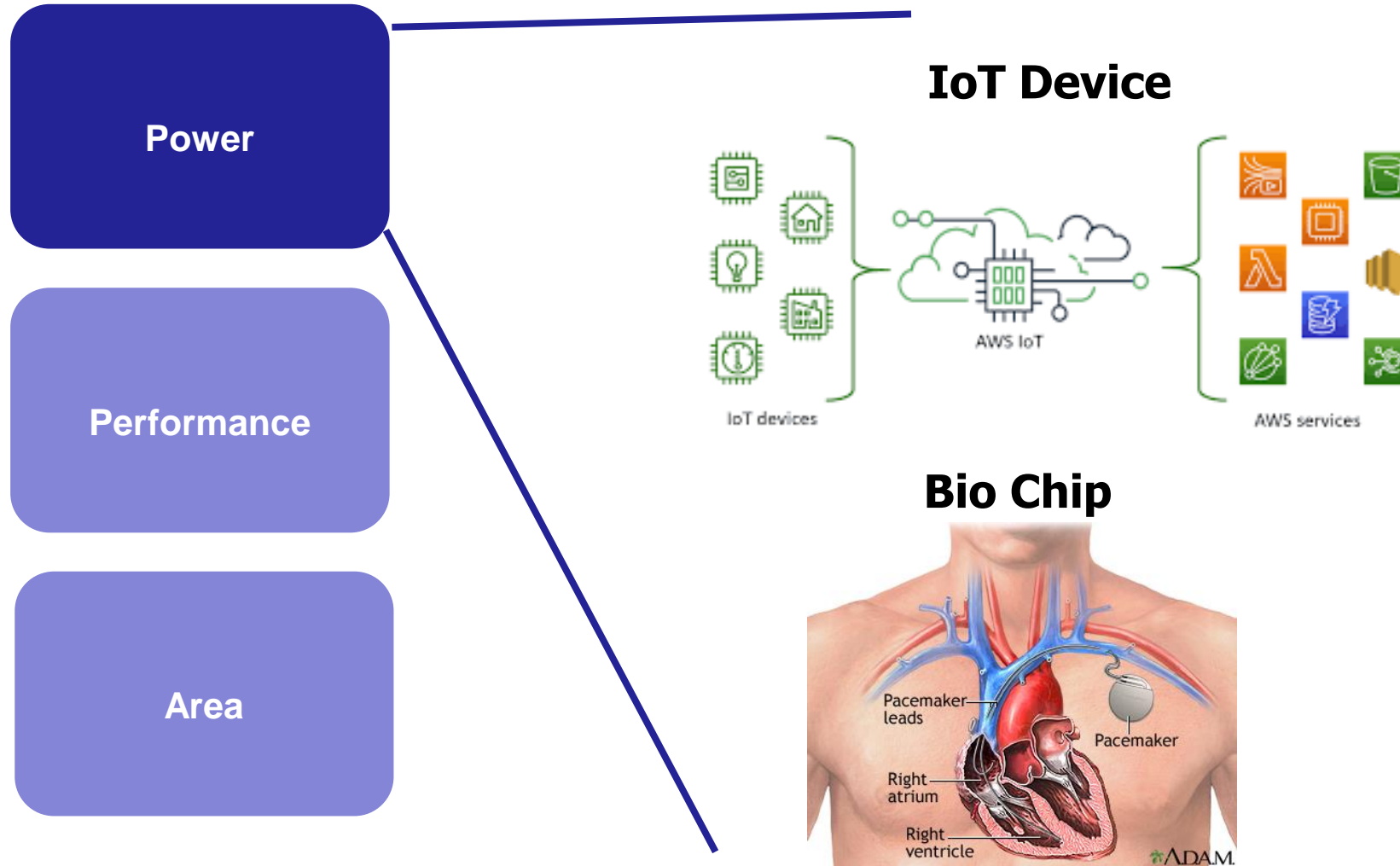
How to Evaluate the Quality of Digital IC?

- PPA Balance (high **P**erformance, low **P**ower, low **A**rea)



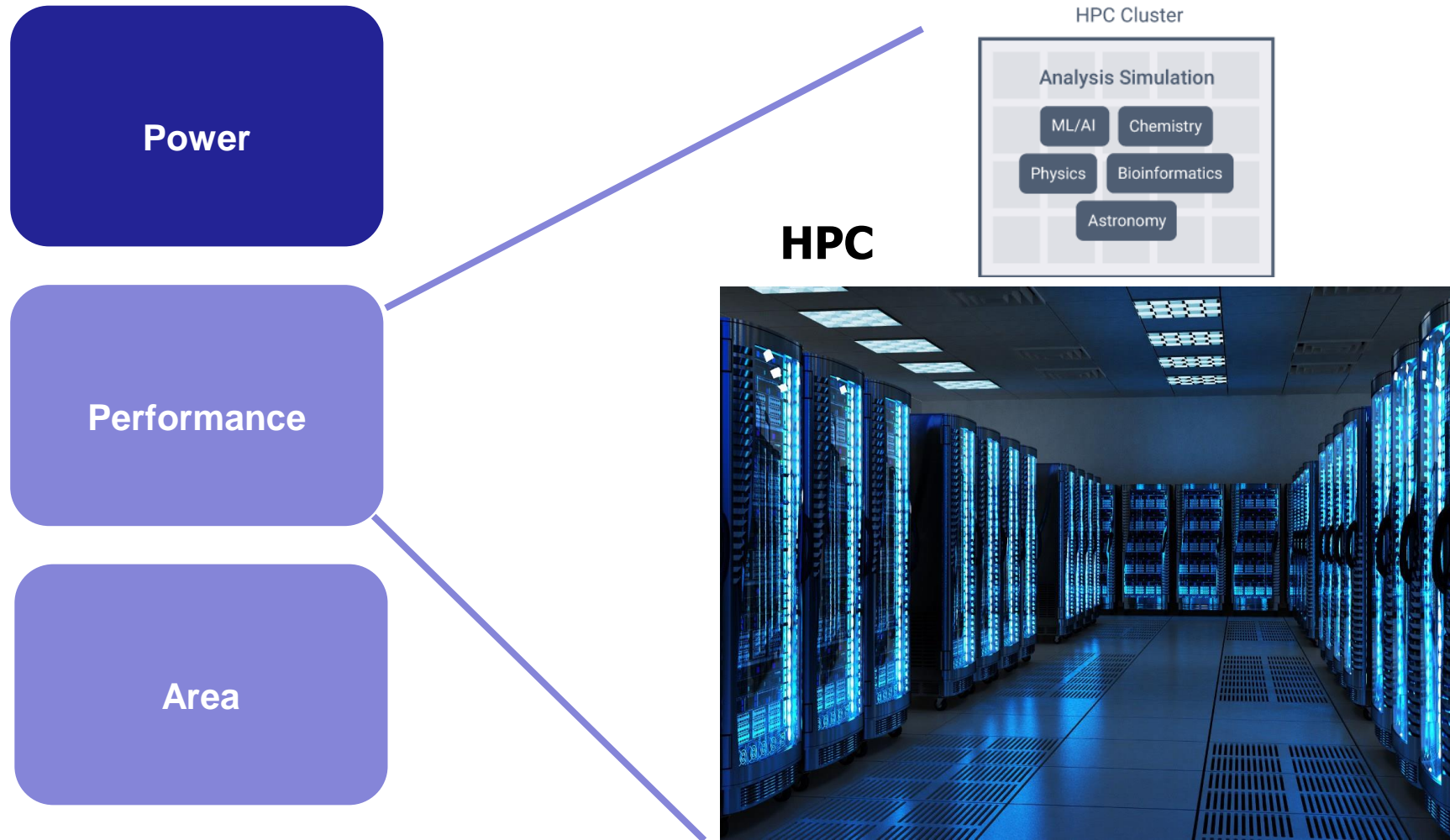
(Source: Apple)

Low Power Application



(Source: ADAM)

High Performance Application



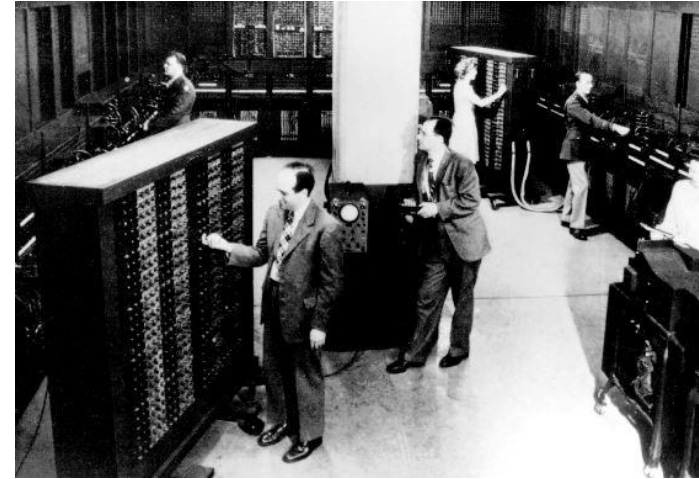
(Source: Gigabyte)

Lower Area Application

Power

Performance

Area



(Source: ENIAC)



(Source: iPad)

PPA Balanced Application

Power

Performance

Area

Laptop



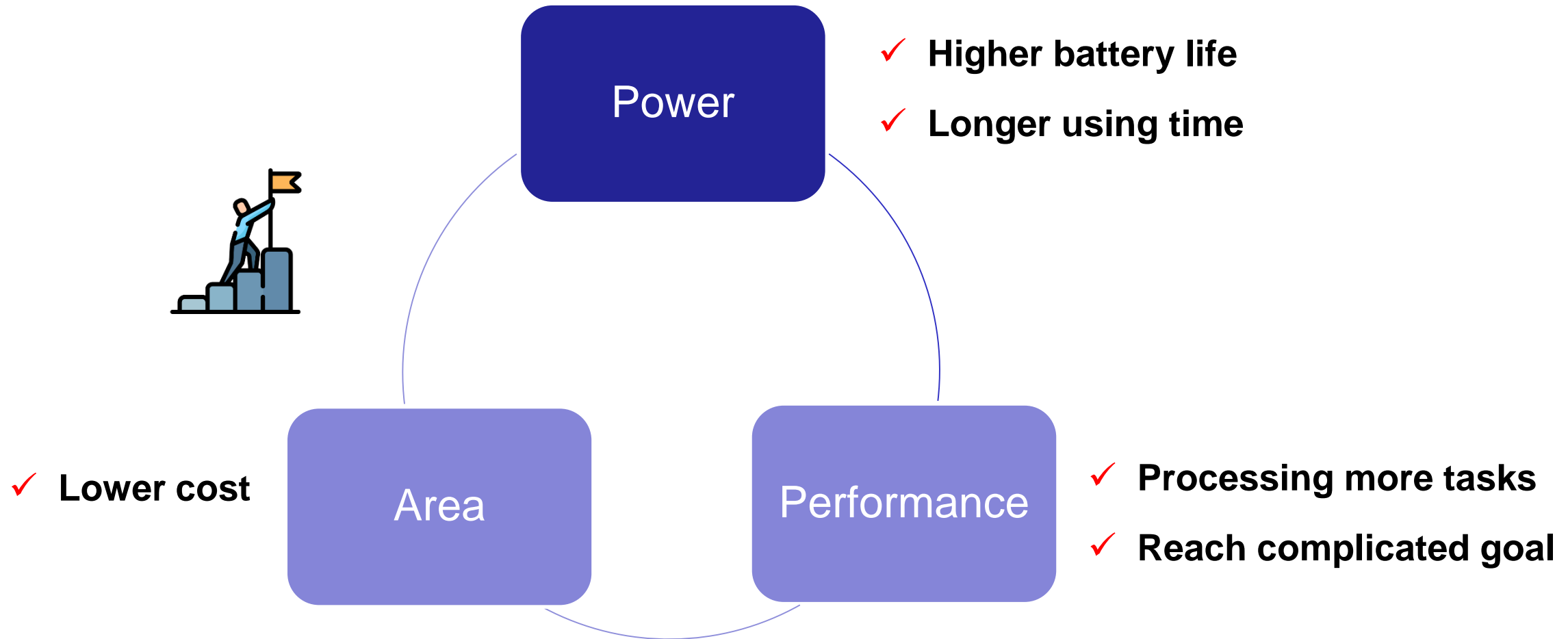
(Source: Surface)

Mobile



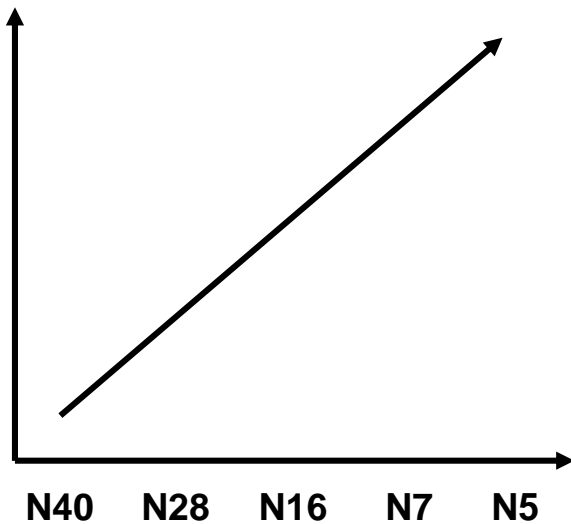
(Source: iPhone)

Performance Power Area

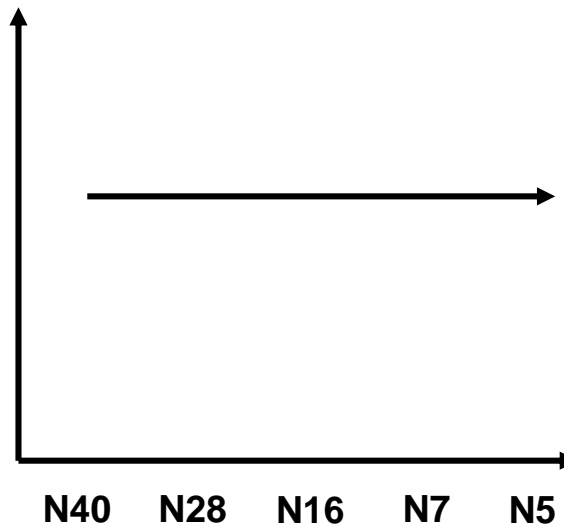


Chip Design in CMOS Technology

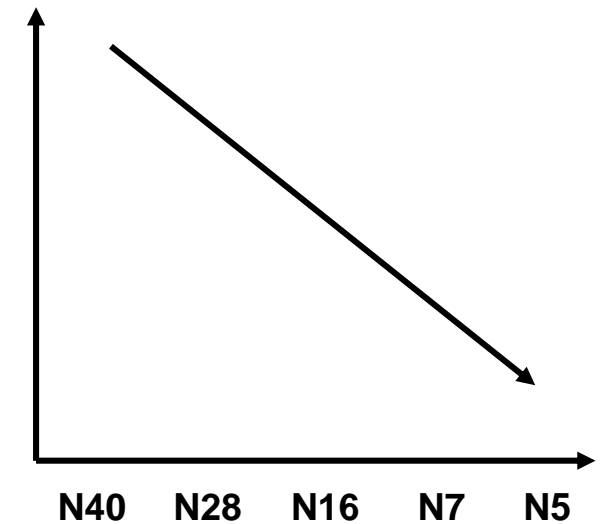
Chip Functionalities



Chip Size



Technology Geometry



Functionality Increase Enabled by Advanced Technologies!!

Outline

Introduction to IC Design

☐ Course Arrangement

- TA
- **13 Lab + MP + FP + ADFP/Lecture**
 - Intro / Schedule / Grading Policy
- **Course Rules**
- **Classroom**
- **Code Review**

Adding to this course

Google form

Auditing

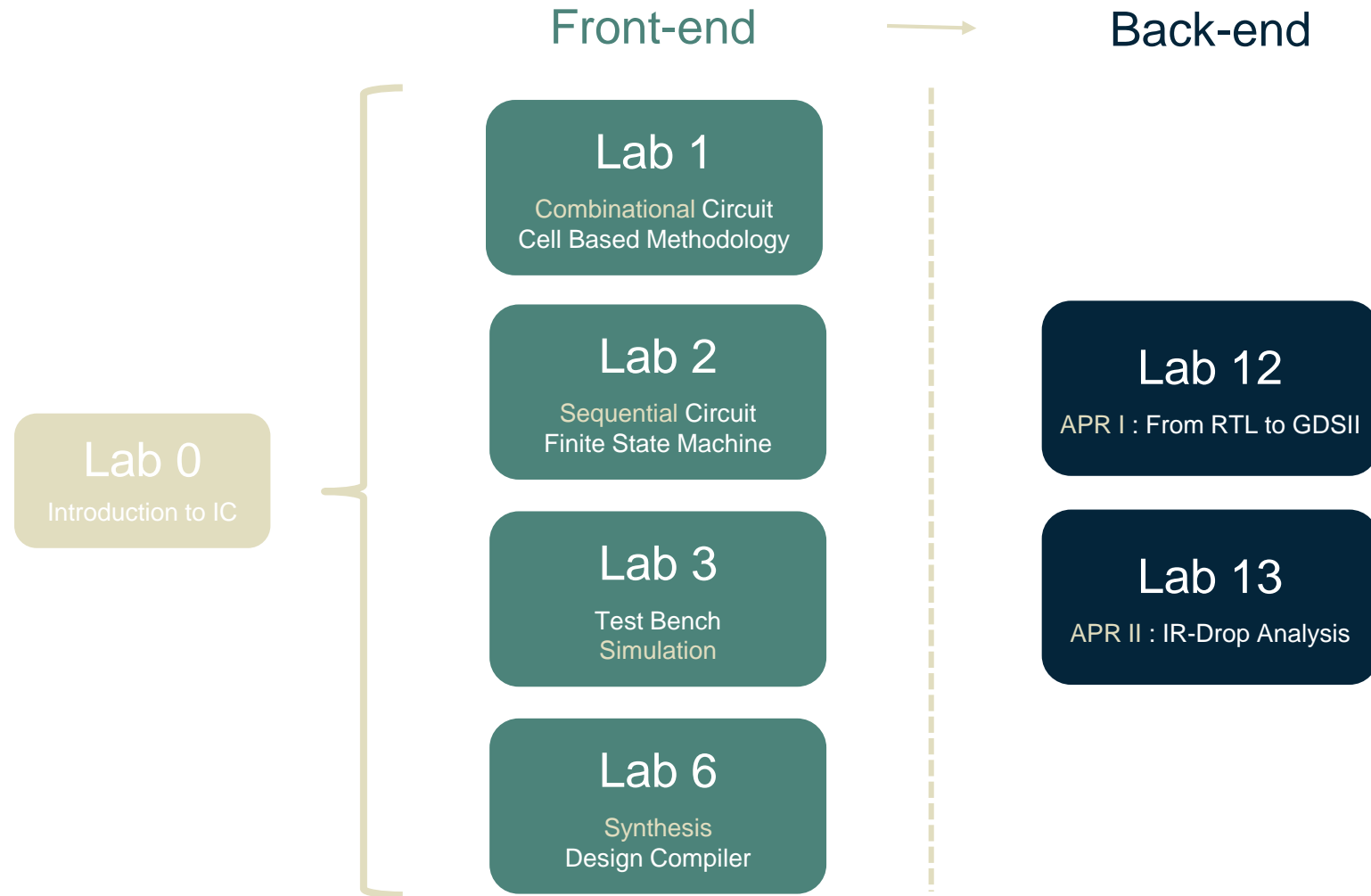
Technology Application

Sign document & google form

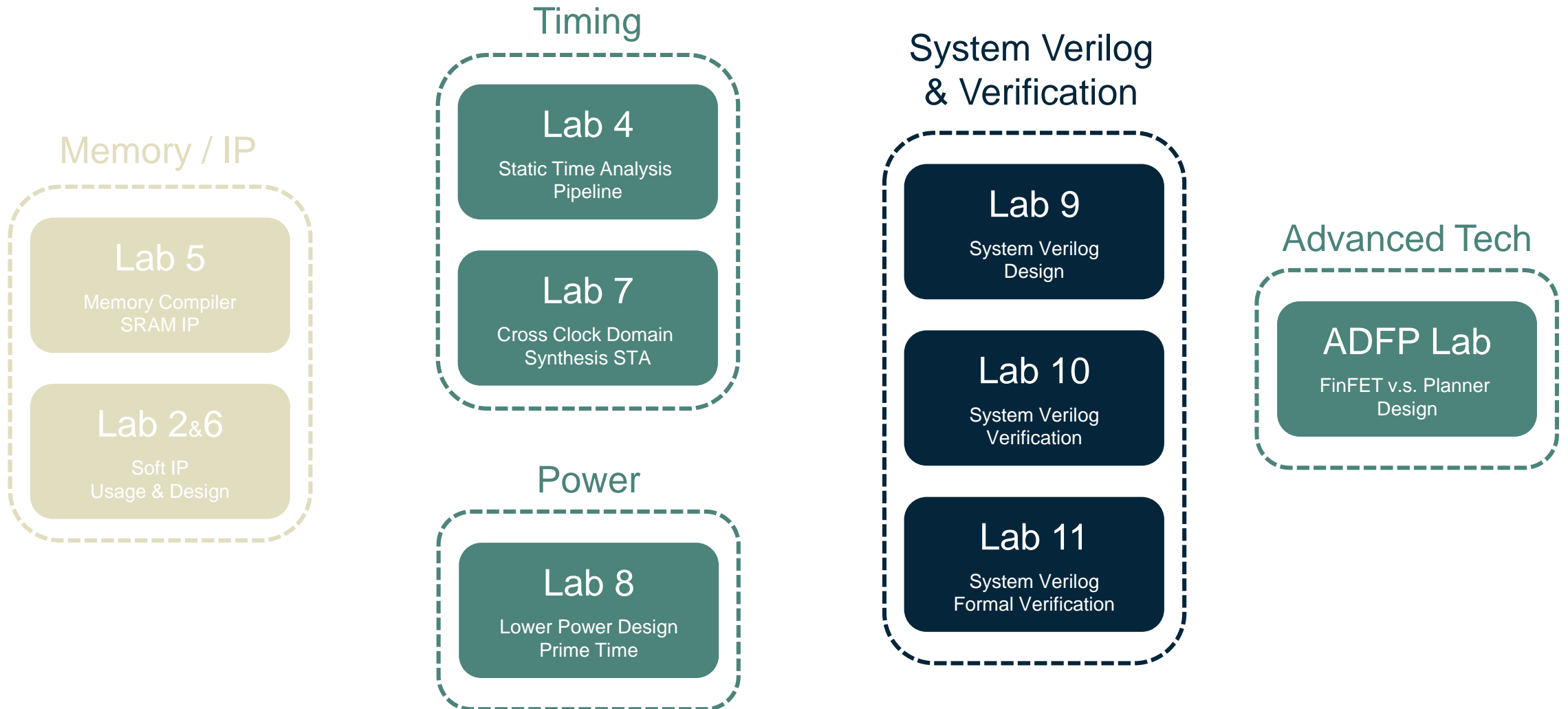
TA List

Name	Email	Lab	Office
電子博 賴林鴻 (大助)	hung880417.ee09@nycu.edu.tw	Lab 01, All	ED430
電子碩 彭賢齊	jhpeng2012.11@nycu.edu.tw	Lab 08, ADFP	EIC306
前瞻碩 蔡睿煌	erictsai.10@nycu.edu.tw	Lab 09, 10	EIC213
電子碩 張庭瑜	tim.jeffrey10.ee12@nycu.edu.tw	Lab 03, 07, FP	ED430
半導體碩 翁沐昀	henryrabbit0.st11@nycu.edu.tw	Lab 05, 12	ED430
電子碩 連紹華	eed0810766.eed08@nctu.edu.tw	Lab 06, 13	EIC213
電子碩 莊彥騰	austin.311.111.ee11@nycu.edu.tw	Lab 02, OT	ED317A
電子碩 李家毓	maggie8905121.ee11@nycu.edu.tw	Lab 04, 11	ED317A

What will we learn in IC Design Lab? (1/2)



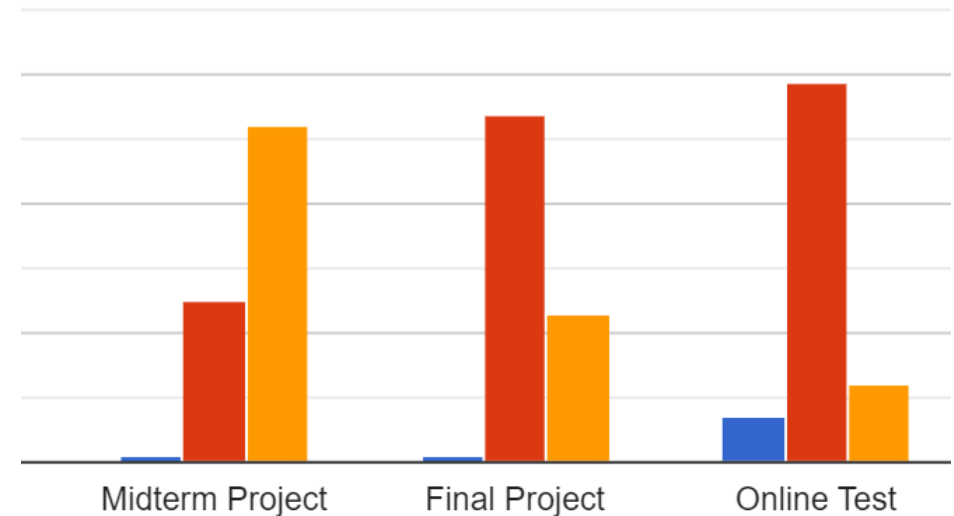
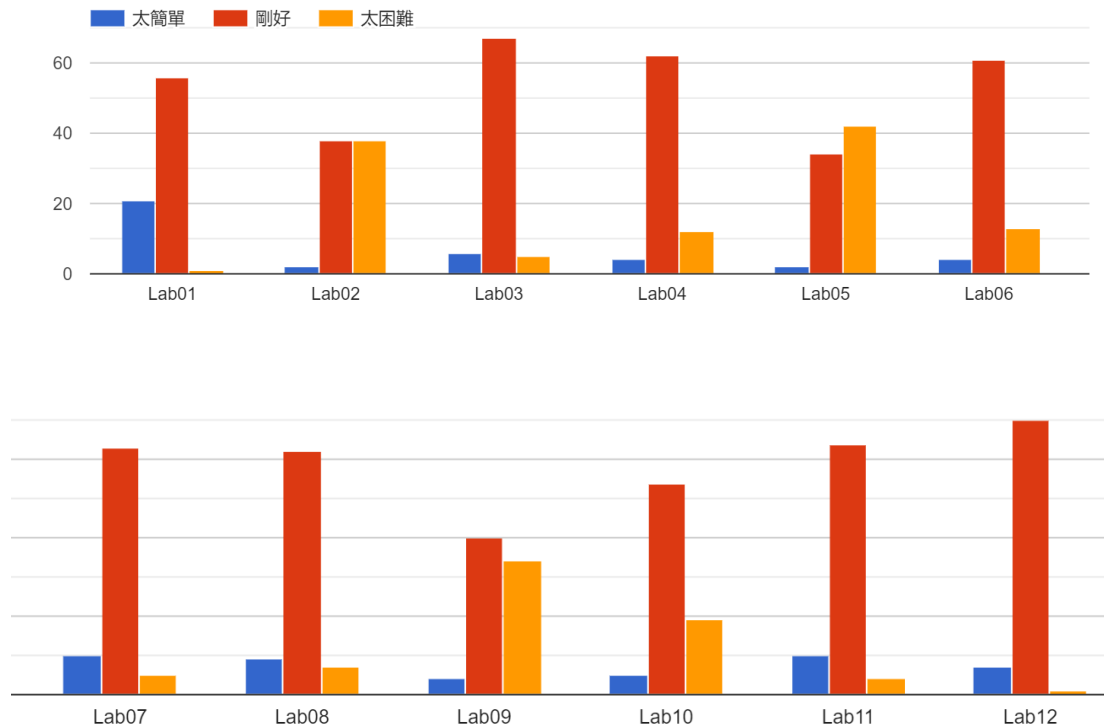
What will we learn in IC Design Lab? (1/2)



2021 Fall Survey

Lab難易度調査

複製



2021 Fall Survey

Lab出題建議

31 則回應

無

再難一點

演算法有時候太難

我覺得很棒~

可以新增FinFET Lab

n

蠻有趣的很多題目都可以讓我們額外學到很多知識，未來題目也這麼有變化性會很好

前期好像常常都是迷宮...多樣性稍嫌不足

時間真的好趕...

Lab出題建議

31 則回應

HEAVY DESIGN

讚讚

lab1和lab2 中間的難度差異是發生了什麼事嗎，突然難超多整個嚇到
然後今年題目好難喔，原本以為後半段比較輕鬆結果LAB9 和10大炸裂

雖然前面有勾選太困難的選項，但寫完後其實能夠理解出題的用意，也能夠感受到課程希望我們能練習到的部分，所以我個人認為出題沒有甚麼問題，有簡單有困難都很正常。

自行寫Pattern的部分遇到不少困難，希望在部分特別困難的lab可以提供pattern或是pattern的架構、想法...
等，時常卡在pattern寫得不順利進而壓縮到去思考design的時間...

請不要出考古題
會變成比資源而不是比實力

太簡單了，希望我下學期修的時候，可以感受到何謂 "ICLAB 的挑戰"
這門課是交大電子所的門面，是園區學長們很看重的一門課，希望不要越改越簡單
讓學長認為一代比一代還糟，這門課的名譽是非常重要的

2023 Fall Grading Policy

Lab	Objective	%	Difficulty
Lab01	Comb. Circuit	4	★
Lab02	Seque. Circuit	5	★★
Lab03	Protocol & Pattern	5	★★
Lab04	AI Chip (Float op)	5	★★★
Lab05	Image Processing (Memory)	5	★★★★
Lab06	Network IP Design	5	★
MP	Algorithm Based ASIC	10	★★★★★
OT	Implementation	8	★★
ME	Lecture Content	6	★★

Lab	Objective	%	Difficulty
Lab07	FIFO Design	5	★★
Lab08	Clock/Power Gating	5	★★
Lab09	OOP Design	5	★★★
Lab10	Checker	5	★★
Lab11	ABVIP	3	★
Lab12	Physical Design	5	★★★★
Lab13	IR Drop Analysis	3	★
FP	General Purpose IC	10	★★★★★
ADFP	FinFET Design	5	★★★★
FE	Lecture Content	6	★★

Total 105

2023 Fall Schedule

Week	Date	Course Content	TA	Week	Date	Course Content	TA
1	09/13	00 、 Introduction + Environment Setting	賴林鴻	10	11/15	08 、 Power: Low Power Design Midterm Project Deadline	彭賢齊
2	09/20	01 、 Cell Based Design Methodology + Verilog Combinational Circuit Programming	賴林鴻	11	11/22	09 、 System Verilog I (Design)	蔡睿煌
3	09/27	02 、 Finite State Machine + Verilog Sequential Circuit Programming	莊彥騰	12	11/29	10 、 System Verilog II (Verification)	蔡睿煌
4	10/04	03 、 Verification & Simulation + Verilog Test Bench Programming	張庭瑜	13	12/06	11 、 System Verilog (Formal Verification)	李家毓
5	10/11	04 、 Sequential Circuit Design II (STA + Pipeline) + Synopsys DesignWare IP	李家毓	14	12/13	12 、 APR I : From RTL to GDSII	翁沐昀
6	10/18	05 、 Memory & Coding Style (Memory Compiler)	翁沐昀	15	12/20	13 、 APR II : IR-Drop Analysis + Advanced IC Design Methodology Final Project Announcement	連紹華 賴林鴻 張庭瑜
7	10/25	06 、 Synthesis Methodology (Design Compiler + IP Design) Midterm Project Announcement	連紹華 賴林鴻	16	12/27	Final Exam	賴林鴻
8	11/01 11/04	No class : Study Days Midterm Exam + Online Test (Sat.)	賴林鴻 莊彥騰	17	01/05		
9	11/08	07 、 Timing: Cross Clock Domain + Synthesis Static Time Analysis	張庭瑜	18	01/10	ADFP Lab/Lecture + Final Project Deadline	賴林鴻 彭賢齊 李家毓 莊彥騰

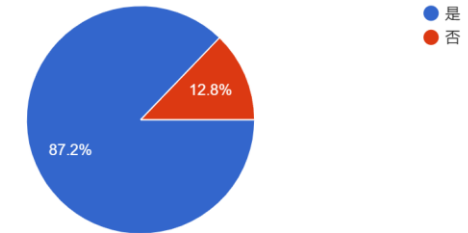
Classroom

- ❑ Mixed Mode
- ❑ ED415 + ED414 (100 people)
- ❑ Webex Online
 - <https://nycu.webex.com/nycu/j.php?MTID=m5a49579a0adc1bdfe5ff016d5ff4d57c>

(承上題)，是否希望未來皆以線上授課？

78 則回應

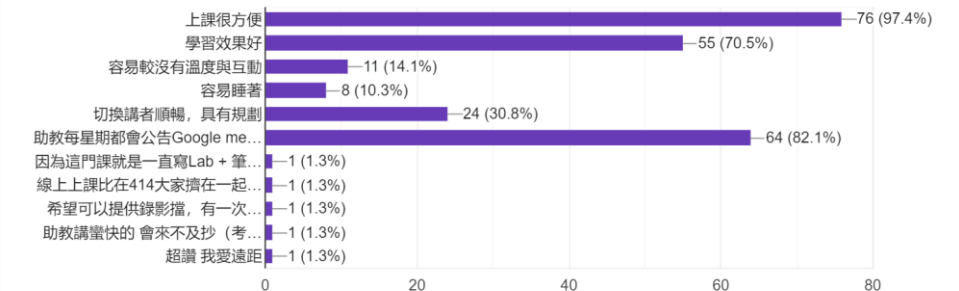
複製



本學期首次採用線上授課，線上授課的效果

78 則回應

複製



Code Review

- ❑ **1EF (13:30 ~ 15:30, Monday) @ ED415 for Lab01~Lab06 & Midterm**
- ❑ **TA + DS(Distinguished Student)**
- ❑ **Distinguished Student**
 - **Would be invited by TA based on the performance in Lab01~Lab03**
 - **Obligations**
 - Help TA deal with code review Lab04~Lab06 & Midterm (i.e. answer students' questions)
 - **Rights**
 - Pass Online Test (i.e. you will get 100 points for OT)
 - Discussion group with TA (Technical problem is allowed, not related to implementation to lab)
 - **Note**
 - DS is not responsible for answering question or debug code out of code review time
 - Please do not contact them without their permission
 - Please be appreciated to this warrior, do not attack them by any mean words

Course Rules (1/2)

- 我在確認此文件時，特此肯定我將秉持最高的學術誠信標準參與 **NYCU EE ICLab** 課程。我明白在此課程中，任何形式的抄襲都是嚴格禁止的，包括但不限於完全或部分複製或改寫他人的程式碼或報告。
- 我充分認識到以下核心原則：
 - 分享思想，而非程式碼/報告：
 - 我明白在這門課程中合作的要點是分享思想和知識，而不是未經授權使用他人的工作。
 - 對教授和助教的責任：
 - 我接受教授和助教有權要求關於我提交的任何程式碼或報告的解釋。
 - 原創工作：
 - 我承諾創作原創工作，並避免從網路或任何其他未經授權的來源複製程式碼。
 - 協助的聲明：
 - 我了解從同學或外部來源獲得的任何形式協助必須在提交的報告中透明聲明。

Course Rules (2/2)

- 該課程對學生有著重大的工作量，包括眾多作業和高度複雜的內容。通過簽署此文件，我確認承諾尊重所有課程材料，包括作業、成績和助教的決定。
- 我也明白以下指導原則：
 - 知識優於成績：
 - 我認識到該課程的主要目標是學習，我承諾不會將成績置於追求知識之上。我願意接受助教的最終評估，視其為對我的表現的公平評價。
 - 尊重行為：
 - 我承諾在與助教互動時保持尊重和專業的態度，避免任何人身攻擊或不尊重的行為。
 - 基於當前課程評估：
 - 我明白課程課綱定期更新。因此，我不會依賴過去的課程材料來評估本學期的課程或作業。
 - 完成所有練習：
 - 我承認完成所有指定的練習對於以正當手段通過本課程至關重要。
- 我充分了解任何違反榮譽守則的行為將導致嚴重後果，包括可能不及格該課程。

If you encounter a problem...



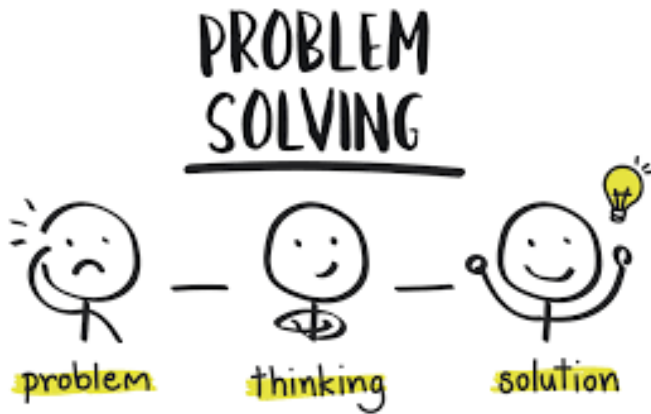
Step 1. Search on google



清交二手大拍賣XD



討論 精選 成員 活動 影音內容 檔案



Step 2. ChatGPT



Step 3. Facebook Discussion Group



Step 4. Code Review

Outline

Introduction to IC Design

Course Arrangement

TA

13 Lab + MP + FP + ADFP/Lecture

Intro / Schedule / Grading Policy

Course Rules

Classroom

Code Review

☐ Adding to this course

- **Google form**
- **Auditing**

Technology Application

Sign document & google form

課程加簽 <https://forms.gle/XQUHyxi9VVVhquSQ7>



□ 加簽優先順序:

- 1.電子所 --> 2.電機系 --> 3.相關學院
- 4.外系所 (研究領域相關性)
- 5.外校 (研究領域相關性)

相關學院包含電機學院、資訊學院、產創學院、國半學院。

外系所、外校欲進行加選，除填表單外，亦須提供曾修習兩門相關課程之修課成績單。

□ 相關課程：1. 邏輯設計 2. 數位電路與系統 3. VLSI 4. 數位積體電路DIC

□ 加簽流程:

1. 填選加簽google調查表單(於09/13 14:30關閉)
2. 老師決定加簽人選
3. 若有加簽到，會於當日收到信件通知，並以後台直接進行網路加簽(無需繳交加簽單)
4. 未加簽到的同學不用擔心，同學可以下學期再修

□ 不接受旁聽

Outline

Introduction to IC Design

Course Arrangement

TA

13 Lab + MP + FP + ADFP/Lecture

Intro / Schedule / Grading Policy

Course Rules

Classroom

Code Review

Adding to this course

Google form

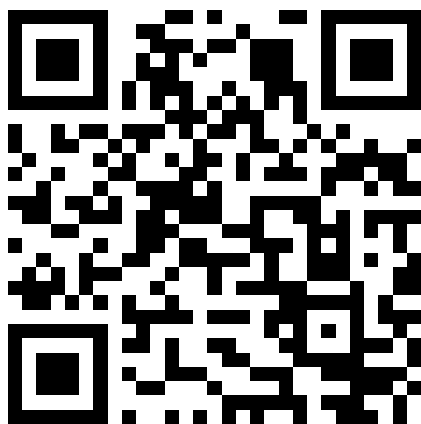
Auditing

☐ **Technology Application**

- **Sign document & google form**

製程申請

- ❑ 本學期欲使用製程 U18 / ADFP
- ❑ 請先去申請TSRI會員 (開通製程必需使用) 並獲得指導教授認證(李鎮宜教授) (會於09/14統一完成認證，未完成者，一概不提供製程申請服務)NDA文件簽署
- ❑ 09/14 前簽署4份文件、並用迴紋針別起放置於箱中
- ❑ 09/14 前填寫表單
- ❑ 若沒有完成，則
 - 沒有帳號可以使用
 - 會被退選



<https://forms.gle/sqdB2LUT1xWmhSEw8>

是否已申請 TSRI會員 (開通製程必需使用) 並獲得指導教授認證(李鎮宜教授) (會於 * 09/14統一完成認證，未完成者，一概不提供製程申請服務)

☐ 有

認證如下

指導教授：

李鎮宜 / 國立陽明交通大學 / 電子工程系(所)

已通過

提醒：如您有其他共同指導教授，請至製程與量測分析服務系統->會員服務->計畫使用申請，提出申請。

簽署文件是否已完成並繳交 *

- ☐ ADFP 使用者切結書
- ☐ U18 製程資料保密同意書
- ☐ IC Lab Honor Code
- ☐ 在學證明影本(若為外籍身份，需再加附有效居留證影本)

⚠ 這是必填問題

請至TSRI 加入會員

□ <https://cs.tsri.narl.org.tw/NDLMember/MemberRegister.aspx>

□ 身分別如下

設定身份別資料

*服務單位：

學校(學生) ▼

*目前就讀學校：

國立陽明交通大學-交大校區 ▼

*系所：(若查無系所，請來信至 cscp@tsri.narl.org.tw)

電子工程系(所) ▼

*學位：

碩士 ▼

— ▼

指導教授：

李鎮宜 / 國立陽明交通大學 / 電子工程系(所) ▼

研究領域：

IC Design Lab

Any Question?

