

# 电子科技大学 (深圳) 高等研究院

## 实 验 报 告

课程名称：混合集成电路测试技术实验

学生姓名：陈玉熙

学 号：202122280534

指导教师：杨万渝

实验地点：2 号楼 1 楼实验室

实验时间：2021.12.20

实验评分：

## 1 实验室名称：数字集成电路测试实验室

## 2 实验项目名称：DAC 测试实验

## 3 实验目的

- 1) 理解 DAC 的原理、结构以及技术指标；
- 2) 掌握 DAC 测试的一般方法（DNL、INL 测试为主）；
- 3) 掌握 DAC 测试激励的产生以及对测试结果进行分析的方法；
- 4) 掌握 PAT 文件中与实验相关参数的配置与使用。

## 4 实验内容

- 1) 提取 DAC 测试指标（直流参数、DNL、INL）；
- 2) 编写测试计划；
- 3) 编写与调试测试程序；
- 4) 输出完备性测试报告。

## 5 实验器材（设备、元器件）

- 1) 硬件：待测芯片、PXIe 系统机箱、DIB（器件接口板）、显示器、转接头
- 2) 软件：PXIe 配套软件

## 6 被测芯片简介

### 6.1 功能简介

MAX538 是 12 位分辨率、电压型输出数模转换器，5V 单电源供电，参考电源输入电压范围 2V~3V，输出模拟电压范围：0V~2.6V。

数模转换器的功能是把输入的二进制数字量转换为模拟量电压/电流，MAX538 是电压型输出 DAC。

传输函数为：

$$V_{out} = V_{REF} * \frac{code}{2^N} \quad N=12$$

Vout 为 DAC 输出模拟电压，VREF 为参考电源电压，code 为输入到 DAC 的二进制数据，N 为 DAC 位数。

MAX538 功能图如下：

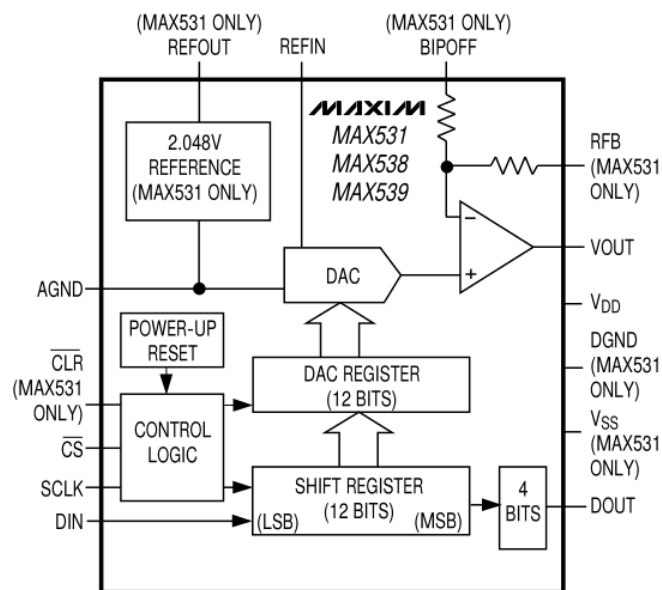


图 1 MAX538 功能图

## 6.2 管脚信息

本实验所采用的芯片封装类型为 DIP8，总共 8 个管脚。管脚具体排布信息如下图所示：

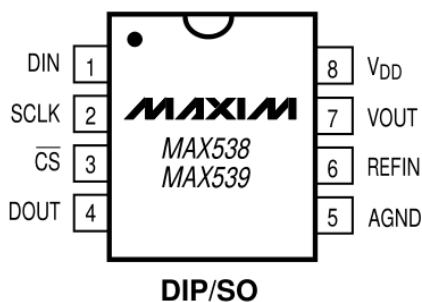


图 2 MAX538 管脚信息

## 6.3 DC 参数

此处只列举常温下推荐的直流参数取值，其他条件下直流参数的取值请参考 MAX538 芯片手册。

DIGITAL INPUTS (DIN, SCLK, CS, CLR)					
Input High	$V_{IH}$		2.4		V
Input Low	$V_{IL}$		0.8		V
Input Current	$I_{IN}$	$V_{IN} = 0V \text{ or } V_{DD}$	$\pm 1$		$\mu A$
Input Capacitance	$C_{IN}$		8		pF
DIGITAL OUTPUT (DOUT)					
Output High	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 1$		V
Output Low	$V_{OL}$	$I_{SINK} = 2mA$	0.4		V
POWER SUPPLY					
Positive Supply Voltage	$V_{DD}$		4.5	5.5	V
Power-Supply Current	$I_{DD}$	All inputs = 0V or $V_{DD}$ , output = no load	MAX531	260	400
			MAX538, MAX539	140	300

图 3 MAX538 DC 参数

## 6.4 时序图

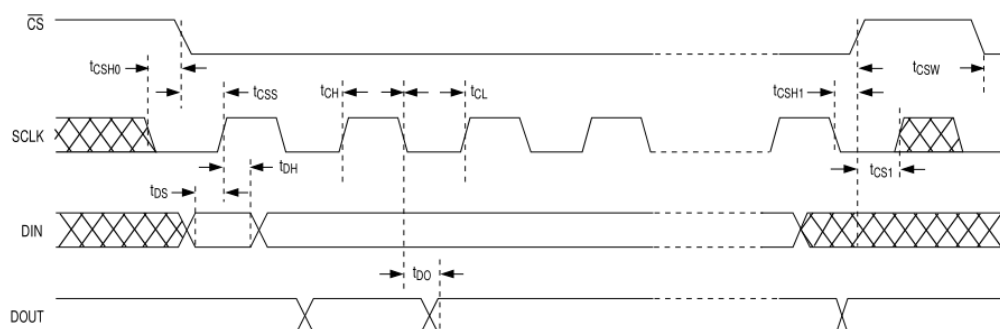


图 4 MAX538 时序图

## 6.5 增益误差 (Gain Error)

DAC 实际输出满刻度范围 FSR 与理想的满刻度范围之差。如图 2 所示，增益误差是指 DAC 器件实测端点直线（两端点分别为： $V_{FS}$ ：测试所得的满刻度输出电压和  $V_{ZS}$ ：所测的零刻度电压）斜率与理想斜率的偏差。

增益误差相当于补偿了零点偏差后的满刻度输出误差，也就是说做出 DAC 的实际端点直线时，失调误差就被自动消除了。因此增益误差在计算时需减去失调误差电压。增益误差计算公示为：

$$Gain = \frac{V_{FSR}}{D_{IN,max} - D_{IN,min}}$$

其中， $V_{FS}$  是测试所得满刻度输出电压， $V_{ZS}$  是测试所得零刻度输出电压。

增益误差与失调误差一样，可以规格化为其他单位，另外，增益误差有时也可规格化为端点直线斜率与斜率 1 的偏差。

$$\Delta G = \left( \frac{G_{ACTUAL}}{G_{IDEAL}} - 1 \right) \times 100\%$$

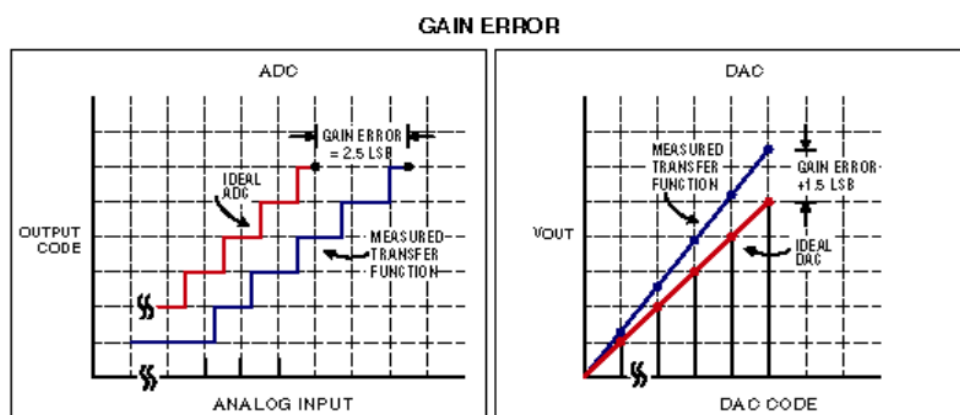


图 5 ADC 和 DAC 的增益误差

## 6.6 最小有效位 (LSB)

最小有效位为

$$V_{LSB} = \frac{V_{FSR}}{2^D - 1}$$

其中 FSR 为器件实测的满刻度范围。N 为 D/A 转换的位数。LSB 表示输入数字量变化一个相邻数字码时 DAC 输出模拟电压的变化量。当 DAC 最大输出电压为参考电源电压 VREF 时，LSB 为 VREF/2N。

### 6.7 差分非线性（DNL）

DAC 的差分非线性定义为：在起始值到满刻度值范围内相邻输入数字码对应模拟输出电压直插的实际值与 1LSB 理想值的最大偏差。DNL 的计算公式为

$$DNL(i) = \frac{S(i+1) - S(i) - V_{LSB}}{V_{LSB}} \text{LSB}$$

差分非线性电参数是 DAC 器件的关键静态参数。测试 DNL 时，首先测定该器件的实际 LSB 值。一个输入信号位 i 的 DNL 测试需要两步测量和计算。第一步，对 DAC 输入代码 i-1 并测试输出电压 V[i-1]，接着输入代码 i 并测试输出电压 V[i]，计算出相邻输入代码的输出电压之差。第二步，用第一步测得的电压差值减去该器件的平均 LSB 值。所得结果即为输入信号 i 的 DNL。对 DAC 器件所有输入代码进行以上测试计算，得出每一输入位的 DNL。找出其中最大的 DNL 值，并与器件产品规范进行比较，如果该值超出产品规范要求，则该器件失效剔除。

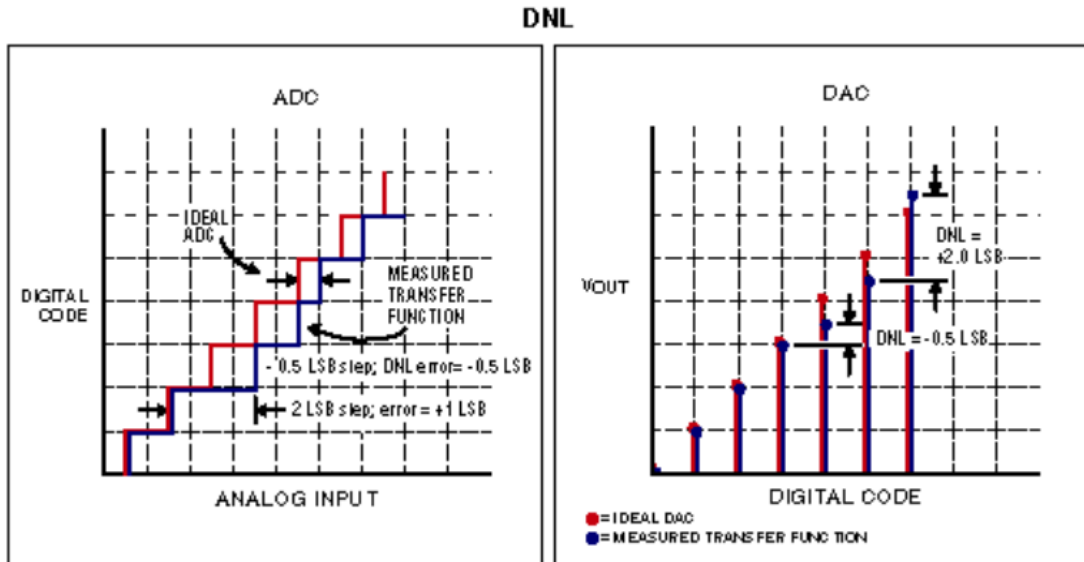


图6 ADC 和 DAC 的 DNL

### 6.8 积分非线性（INL）

DAC 的积分非线性可定义为：实际转化特性曲线与理想特性直线的最大偏差。这里理想特性直线可以是最佳拟合直线也可以是端点直线。一般情况下，

DAC 生产厂家都采用端点直线法测试 INL。INL 参数在很多 DAC 手册中也被称为相对精度 (relative accuracy)。INL 是 DAC 的另一项关键静态电参数，可以看作是大信号误差。

在测试了 DAC 器件每个输入代码对应的 DNL 后，所有用于 INL 测试的数据就已经具备了。INL 是所有差分线性误差的累计代数和。如图 4 所示，它是通过测量 DAC 器件的每一步输出电源偏离端点直线的偏差得到的，其中偏离直线最远的代码偏差值就是最大 INL 值。

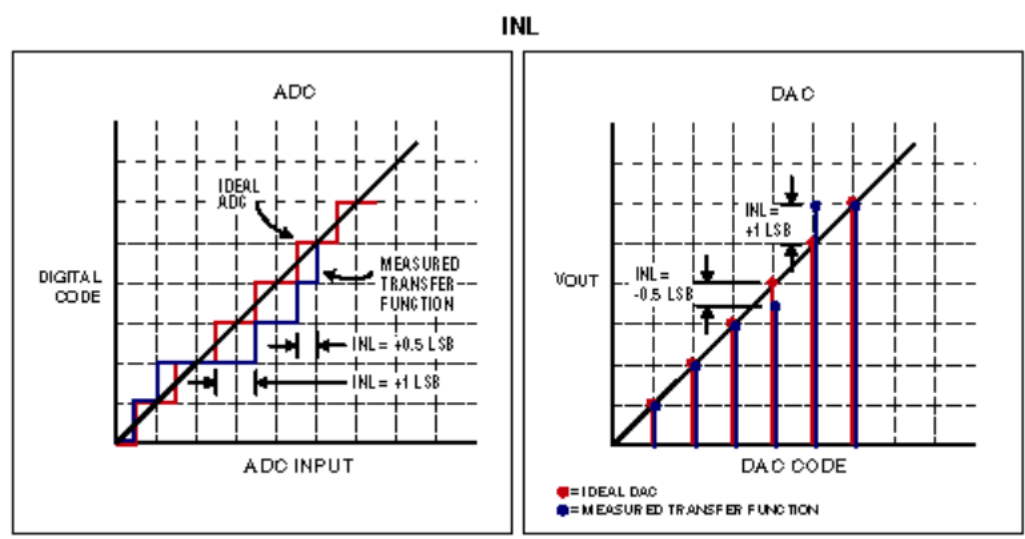


图 7 ADC 和 DAC 的 INL

## 7 测试子项提取

根据前面的芯片简介以及实验指导书中介绍的 MAX538 的测试点，完成 MAX538 测试点的提取。提取的测试项填入下表：

Feature	测试项	操作步骤简介
连接性测试	测试管脚与 VCC 管脚逻辑电路	将所有引脚接地包括 VDD 将电压钳位设置为 3.0V 使用 PPMU 强制电流 100uA，一次一个引脚 等待几个毫秒的安定时间 测量因此而产生的电压
	测试管脚与 GND 管脚逻辑电路	将所有引脚接地包括 GND 将电压钳位设置为 3.0V 使用 PPMU 强制电流-100uA，一次一个引脚 等待几个毫秒的安定时间 测量因此而产生的电压
功能测试	通过 SPI 总线使 DAC 输出某电平	1、按照芯片手册中时序图，编辑对应数字向量；

			2、利用数字通道的 PMU 功能测试 DAC 输出电平值； 3、检测输出电平是否满足芯片手册；
DC 参数测试	$I_{IL}$ （漏电流）测试		使用 VDD Max 将所有输入预置为逻辑 1 使用 PPMU 强制 0V 等待几毫秒建立时间 测量因此而产生的电流
	$I_{IH}$ （漏电流）测试		使用 VDD Max 将所有输入预置为逻辑 0 使用 PPMU 强制 VDD Max 等待几毫秒建立时间 测量因此而产生的电流
	$V_{OL}$ （输出低门限）测试		使用 VDD Min PPMU 强制使用 $I_{OL}$ （设置电压钳位） 等待几毫秒建立时间 测量因此而产生的电压
	$V_{OH}$ （输出高门限）测试		使用 VDD Min PPMU 强制使用 $I_{OH}$ （设置电压钳位） 等待几毫秒时间 测量因此而产生的电压
	$V_{IH}/V_{IL}$ （输入门限）测试		设置参数表格包含三个选择器 创建用来调节参数表格参数的电平集 创建测试的 PAT 文件 执行程序对高低门限分别进行测试
AC 参数测试	输入端到输出端传输延时	$t_{PLH}$	选择相应条件下的 VDD（2V/4.5V） 设置时序集，选择窗口比较 设置 PAT 向量，使输出由低电平转换到高电平 设置 $t_{PLH}$ 在相应条件下的功能向量 执行程序 通过不断的调整时间集开始比较时间，找到相应的临界值 （开始比较的时间-数据开始的时间）*4 即为延迟时间

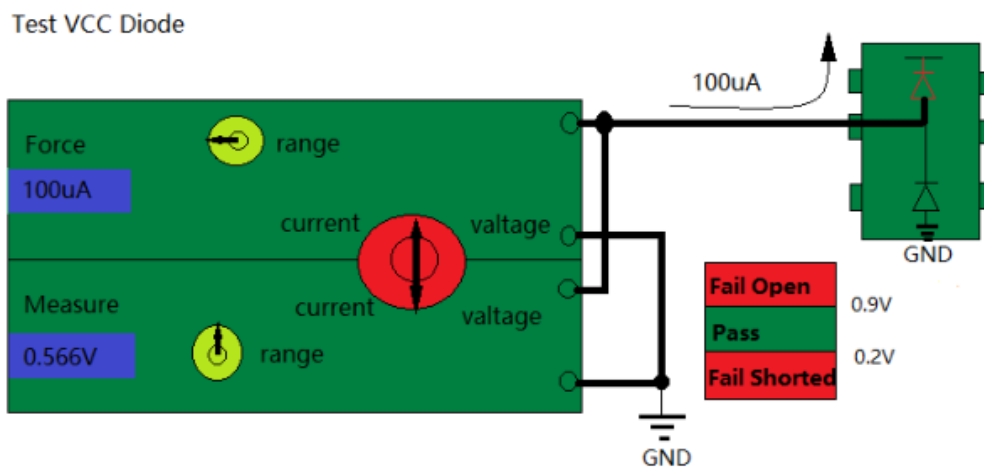
		$t_{PHL}$	选择相应条件下的 VDD (2V/4.5V) 设置时序集，选择窗口比较 设置 PAT 向量，使输出由低电平转换到高电平 设置 $t_{PHL}$ 在相应条件下的功能向量 执行程序 通过不断的调整时间集开始比较时间，找到相应的临界值 (开始比较的时间-数据开始的时间)*4 即为延迟时间
DNL\INL 测试	测试在满量程范围内 DAC 的微分非线性和积分非线性		

## 8 测试方案简介

### 8.1 连接性测试

连接性测试是用以确认在器件测试时所有的信号引脚都与测试系统相应的通道在电性能上完成了连接，无短路或断路发生。

#### 8.1.1 测试管脚与 VCC 管脚逻辑电路测试

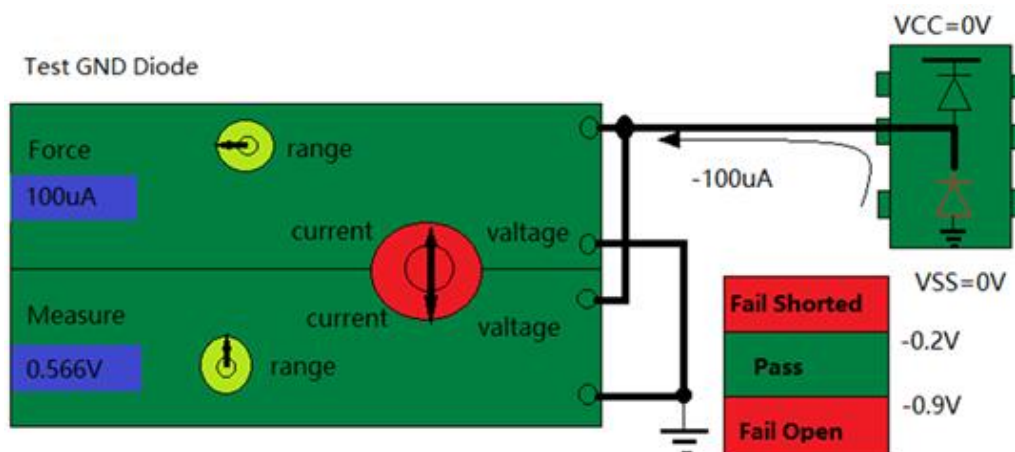


测试步骤：

1. 将所有引脚接地包括 VCC
2. 将钳位电压设置为 3.0V
3. 使用 PPMU 强制 100uA，一次一个引脚
4. 等待几个毫秒的安定时间
5. 测量因此而产生的电压



### 8.1.2 测试管脚与 GND 管脚逻辑电路测试



测试步骤:

1. 将所有引脚接地包括 GND
2. 将钳位电压设置为 3.0V
3. 使用 PPMU 强制-100uA，一次一个引脚
4. 等待几个毫秒的安定时间
5. 测量因此而产生的电压

### 8.2 通过 SPI 总线使 DAC 输出某电平测试

1. 按照芯片手册中时序图，编辑对应数字向量
2. 利用数字通道的 PMU 功能测试 DAC 输出电平值
3. 检测输出电平是否满足芯片手册

### 8.3 DC 参数测试

#### 8.3.1 $I_{IH}$ 漏电流测试

1. 使用 VDD Max
2. 使用 PPMU 强制 VDD Min
3. 等待几毫秒建立时间
4. 测量因此而产生的电流

#### 8.3.2 $I_{IL}$ 漏电流测试

1. 使用 VDD Max
2. 使用 PPMU 强制 VDD Max
3. 等待几毫秒建立时间
4. 测量因此而产生的电流

#### 8.3.3 $V_{OH}$ (输出高门限) 测试

1. 使用 VDD Min
2. PPMU 强制使用 (设置电压钳位)

3. 等待几毫秒时间
4. 测量因此而产生的电压

#### 8.3.4 $V_{OL}$ （输出低门限）测试

1. 使用 VDD Min
2. PPMU 强制使用（设置电压钳位）
3. 等待几毫秒建立时间
4. 测量因此而产生的电压

#### 8.3.5 $V_{IH}/V_{IL}$ 测试

1. 设置参数表格包含三个选择器
2. 创建用来调节参数表格参数的电平集
3. 创建测试的 PAT 文件
4. 执行程序对高低门限分别进行测试

#### 8.4 满量程范围（FSR）

分别对 DAC 输入 12 位 0 和 12 位 1，用 PPMU 测量 DAC 对应输出模拟电压。代入公式：FSR=VFS-VZS。

#### 8.5 增益误差（Gain Error）

已知最大输出电压和零点误差，计算出实际增益 $G_{ACTUAL}$ ，理想增益 $G_{IDEAL}$ ，代入公式：

$$\Delta G = \left( \frac{G_{ACTUAL}}{G_{IDEAL}} - 1 \right) \times 100\%$$

#### 8.6 积分非线性（INL）

分别对 DAC 输入 000000000000~11111111 1111，间隔为 0000 1000 0000，一共分为 32 组，测量 DAC 对应输出模拟电压，代入公式：

$$DNL(i) = \frac{S(i+1) - S(i) - V_{LSB}}{V_{LSB}}$$

$$V_{LSB} = \frac{V_{FSR}}{D_{IN.max} - D_{IN.min}}$$

#### 8.7 积分非线性（INL）

分别对 DAC 输入 0000 0000 0000~1111 1111 1111，间隔为 0000 1000 0000，一共分为 32 组，用 PPMU 测量 DAC 对应输出模拟电压，代入公式：

$$INL(i) = \frac{S(i) - S_{REF}(i)}{V_{LSB}}$$

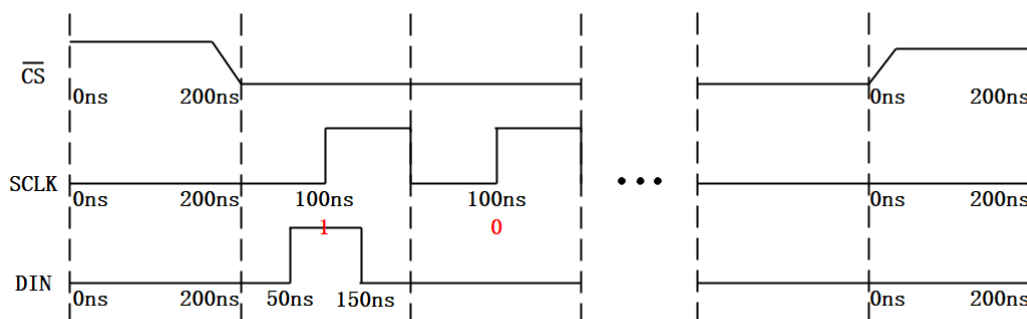
$$V_{LSB} = \frac{V_{FSR}}{D_{IN.max} - D_{IN.min}}$$

## 9 实验步骤

- (1) 连接被测芯片、DIB 板，板卡，显示器等，完成设备连接

- (2) 项目创建
- (3) 引脚定义
- (4) 通道映射
- (5) 电平集的设置
- (6) 时序集的设置
- (7) Pattern 配置
- (8) 根据测试流程完成测试方案中所有指标点的测试
- (9) 测试完成后，在显示器开始菜单中选择关机，关机完成后再关闭机箱电源。同时清理桌面，实验结束。

## 10 项目测试程序设计、执行结果及数据分析



时序集的设置如上图所示。周期设置为 200ns。在片选拉低或拉高时，把该周期的时钟以及输入信号都置为 0。有片选为低的时间段，时钟信号矢量每次输入为 1，在周期时间的一半，即 100ns 时为数据开始，在 200ns 时为数据结束。输入信号在 50ns 为数据开始，150ns 为数据结束。如此设置，通过计算，确定能够满足时序图各种时间限制要求。

## 11 实验中遇到的问题及相应的解决办法

在实验过程中我们刚开始对芯片时序图及图上各个时间的含义不太清楚，通过老师的讲解我们明白了各个数值的含义，可以通过设置 Time Set Basic 和 PAT 文件的设置来实现测试。

报告评分：

指导教师签字：