

Etude et simulation de l'ordonnancement pour les processeurs de la famille LEON

Hassane SOW, Dalil HAMED

19 novembre 2021

Résumé

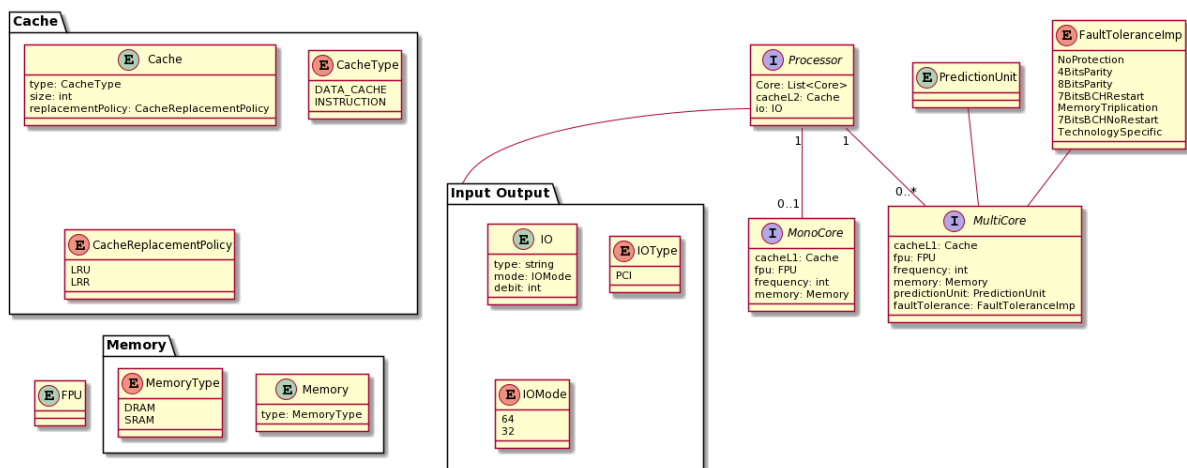
L'Agence Spatiale Européenne a lancé dans les années 1990 une gamme de processeur RISC, dénommés LEON et dédiés aux applications dans le domaine du spatial. Plusieurs versions du processeur LEON existent : avec ou sans cache, avec ou sans dispositif de tolérance aux pannes, ... L'objectif de ce projet consiste à étudier ce processeur et ses différentes variantes puis, à fournir un environnement permettant de simuler son comportement avec AADL/Cheddar. Le présent document étudie l'architecture et les services offerts par ces processeurs.

1 Introduction

LEON est un processeur 32 bit RISC, compatible SPARC V8 développé par l'ingénieur suédois Jiri Gaisler pour répondre aux besoins de l'Agence spatiale européenne. Il est utilisé par des satellites et des lanceurs développés par l'Europe. Il est téléchargeable sous licence LGPL (version 2) et GPL (version 3). Il implémente notamment une version tolérante aux erreurs (« Fault Tolerant », implémentant une détection d'erreurs permettant son usage en conditions de radiations élevées).

2 Étude de l'architecture du processeur

Le diagramme suivant présente une version simplifiée de l'architecture d'un processeur LEON.



3 LEON Mono core

Les deux premières versions de LEON n'implémentent pas de possibilité d'utiliser plusieurs cœurs au sein du processeur.

3.1 LEON 1

3.1.1 Caractéristiques

Caractéristiques	LEON 1
Cache	eee
Fréquence	eee
Mémoire	eee
FPU	eee
In Out	eee
Tolérance aux fautes	eee

3.1.2 Cycles du jeu d'instructions

3.2 LEON 2

3.2.1 Caractéristiques

Caractéristiques	LEON 2
Cache	Separate instruction and data caches are provided, each configurable to 1 - 64 kbyte, with 16-32 bytes
Fréquence	High performance : 0.9 Dhrystone MIPS/MHz
Mémoire	The flexible memory interface provides a direct interface PROM, memory mapped I/O devices, static RAM (SRAM) and synchronous dynamic RAM (SDRAM).
FPU	Meiko FPU core
In Out	
Tolérance aux fautes	

3.2.2 Cycles du jeu d'instructions

Instruction	Cycles
JMPL	2
Double load	2
Single store	2
Double store	3
SMUL/UMUL	1/2/4/35*
SDIV/UDIV	35
Taken Trap	4
Atomic load/store	3
All other instructions	1

*dépend de la configuration du multiplieur

4 LEON Multi core

À partir de LEON 3, les processeurs LEON sont multicoeur.

4.1 LEON 3

4.1.1 Caractéristiques

Caractéristiques	LEON 3
Cache	Configurable caches : 1 - 4 ways, 1 - 256 kbytes/way. Random, LRR or LRU replacement
Fréquence	Up to 125 MHz in FPGA and 400 MHz on 0.13 um ASIC technologies High Performance : 1.4 DMIPS/MHz, 1.8 CoreMark/MHz
Mémoire	SPARC Reference MMU (SRMMU) with configurable TLB
FPU	Two FPU controllers : GRFPU and GRFPU-Lite
In Out	eee
Tolérance aux fautes	6 fault tolerance implementation : 4-bit parity with restart, 8-bit parity without restart, 7-bit BCH with restart, Memory triplication, 7-bit BCH without restart and Technology specific

4.1.2 Cycles du jeu d'instructions

Instruction	Cycles (MMU disabled)	Cycles (MMU fast-write)	Cycles (MMU slow-write)
JMPL	3 ¹	3 ¹	3 ¹
JMPL,RETT pair	4	4	4
Double load	2	2	2
Single store	2	2	4
Double store	3	3	5
SMUL/UMUL	1/4 ²	1/4 ²	1/4 ²
SDIV/UDIV	35	35	35
Taken Trap	5	5	5
Atomic load/store	3	3	5
All other instructions	1	1	1

4.2 LEON 4

4.2.1 Caractéristiques

Caractéristiques	LEON 4
Cache	Separate instruction and data L1 cache (Harvard architecture) with snooping Configurable caches L1 : 1 - 4 ways, 1 - 256 kbytes/way. Random, LRR or LRU replacement Configurable L2 cache : 256-bit internal, 1-4 ways, 16 Kbyte - 8 Mbyte
Fréquence	Up to 150 MHz in FPGA and 1500 MHz on 32 nm ASIC technologies High performance : 1.7 DMIPS/MHz, 2.1 CoreMark/MHz, 0.35 (estimated) SPECint2000/MHz
Mémoire	SPARC Reference MMU (SRMMU) with configurable TLB
FPU	Two FPU controllers : GRFPU and GRFPU-Lite
In Out	eee
Tolérance aux fautes	2 fault tolerance implementation : Memory triplication and Technology specific

4.2.2 Cycles du jeu d'instructions

Instruction	Cycles (MMU disabled)
JMPL, RETT	3
SMUL/UMUL	1/4*
SDIV/UDIV	35
Taken Trap	5
Atomic load/store	5
All other instructions	1

4.3 LEON 5

4.3.1 Caractéristiques

Caractéristiques	LEON 5
Cache	Separate instruction and data L1 cache (Harvard architecture) with snooping Optional L2 cache : 256-bit internal, 1-4 ways, 16 Kbyte - 8 Mbyte
Fréquence	High performance : Dhrystone* : 3.23 DMIPS/MHz (-O3, inlining allowed) Coremark* : 4.52 CoreMark/MHz (-O3,-funroll-all-loops -finline-functions -finline-limit=1000)
Mémoire	SPARC Reference MMU (SRMMU) with TLB
FPU	Two FPU controllers : GRFPU and Nano-FPU
In Out	
Tolérance aux fautes	

4.3.2 Cycles du jeu d'instructions

Instruction	Cycles	Comment
JMPL/RETT	4	Including delay slot
CALL	2	Including delay slot
SMUL/UMUL	1	
Load	1	
Store, 32/64 bit	1 / 2	Two cycles if following instruction is load or 8/16 bit store
Store, 8/16 bit	1 / 2	Two cycles if following instruction is load or store
SDIV/UDIV	35	
Taken Trap	6	
Atomic load/store	5	
All other instructions	1	

Références