

National Sun Yat-Sen University

組合語言與微處理機

LAB2: Verilog Implementation of Arithmetic Logic Unit (ALU)

實驗結果繳交規定事項

- 尚未分組者請將名單繳交給助教，若分組有任何問題，請寄信跟助教說
- 繳交內容
 - 程式碼：繳交實作一的 ALU.v 檔和實作二的 fu_alu.v 檔。(若有實作挑戰題，請繳交 decode.v 檔)
 - 實驗結果報告(格式如下)
- 結報格式 (2~3 人一組，交一份 Word 格式的報告)
 - 封面
 - 實驗內容 (Code 註解、結果截圖)
 - 說明驗證的方式與模擬的結果(Modelsim 波形模擬結果)
 - 心得與討論 (遇到什麼困難、如何解決)
- 繳交時間
 - 2014/10/14 11:50PM
 - 遲交一個禮拜，分數打五折一次；遲交二個禮拜，分數以零分計算
- 繳交方式
 - 網路大學上傳

- TA Contact Information
許建德 (m013040077@student.nsysu.edu.tw)
陳之維 (m023040075@student.nsysu.edu.tw)

Office Hour： 星期 一 PM 6:00~8:00 教室:ECE9013