組合語言與微處理機

Lab2

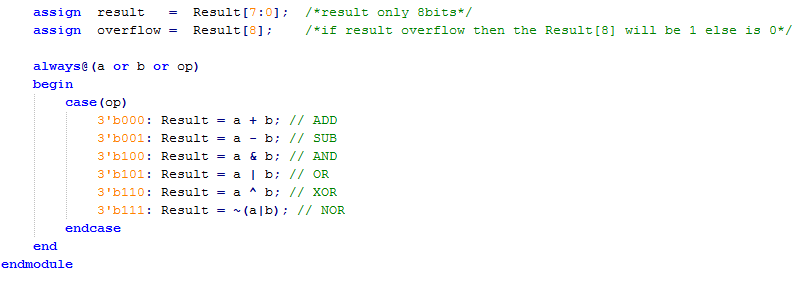
ISS&C2A



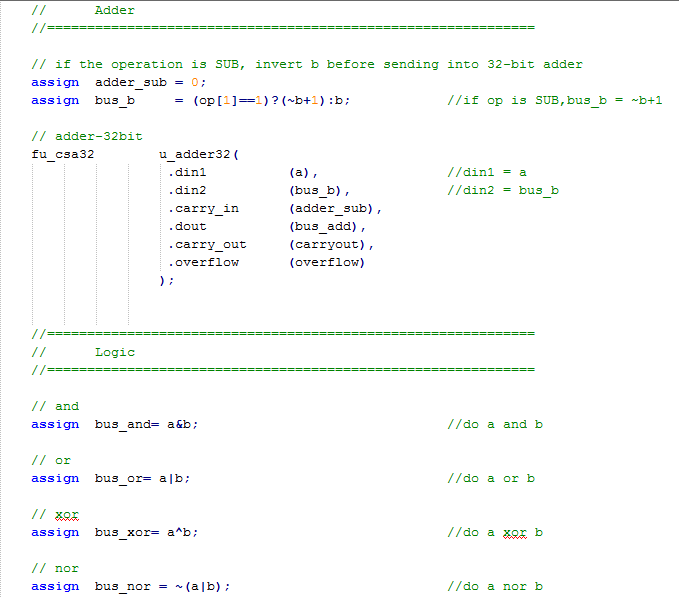
|  |  |
| --- | --- |
| 組別： | 第3組 |
| 組員： | 林鑫彤 黃翊 許睿玲 |
| 學號： | B013040024 B013040049 B013040051 |
| 指導老師： | 張雲南 老師 |

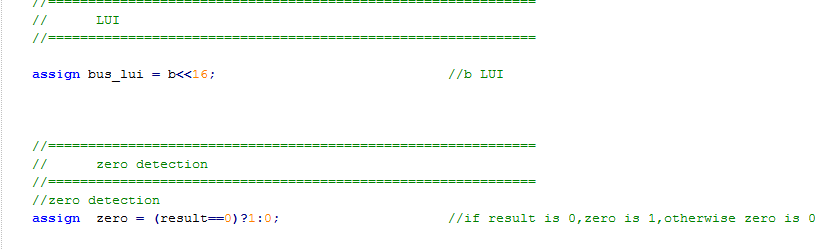
* 實驗內容

練習題(一)

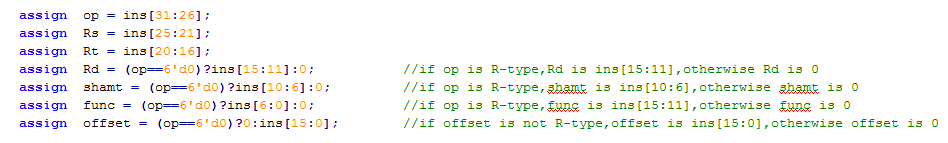


練習題(二)



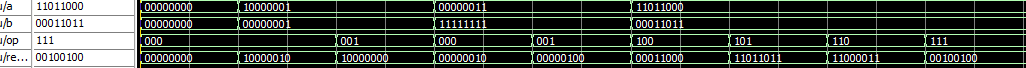


挑戰題

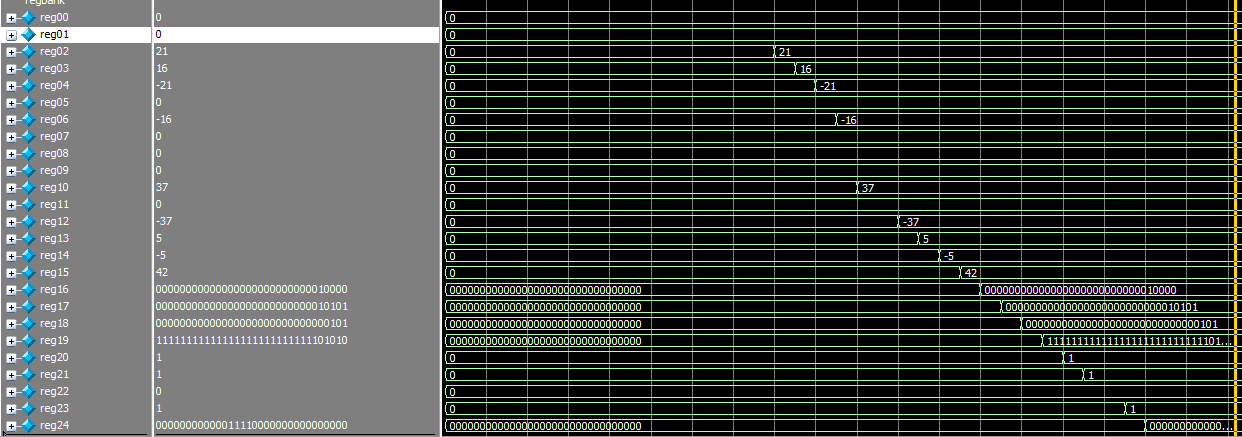


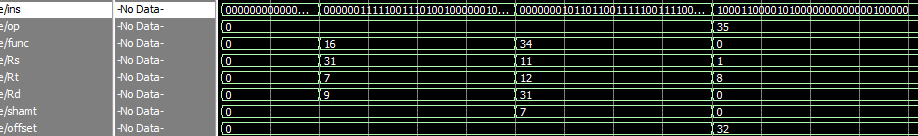
* 驗證的方式與模擬的結果

練習題 (一)



練習題(二)



挑戰題

* 心得與討論

這次LAB實作主要的問題是要去熟悉verilog的語法，因為以前沒有寫過這種語言，在邏輯思考上又跟組合語言不太一樣，還有像是ㄧ些語法的意思，比如說wire是什麼以及assign的功用還有always的使用時機等等。一開始卡在LAB2-1比較久是因為沒有發現到Result會把整個結果讀取下來，那Result[8]就會顯示有沒有overflow，很謝謝助教的幫忙，辛苦你們了。