組合語言與微處理機

Lab4

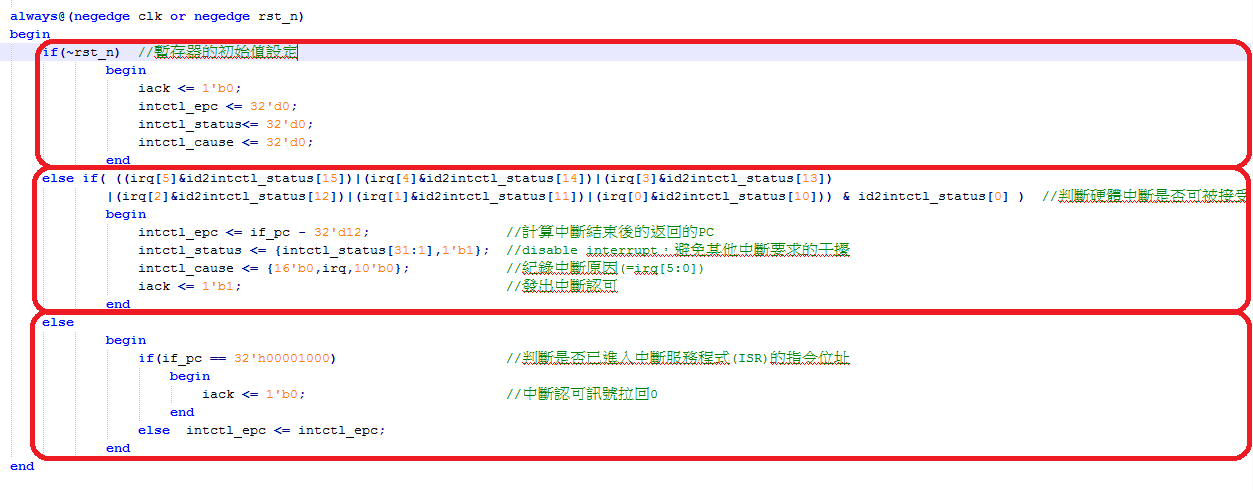
ISS&C2A



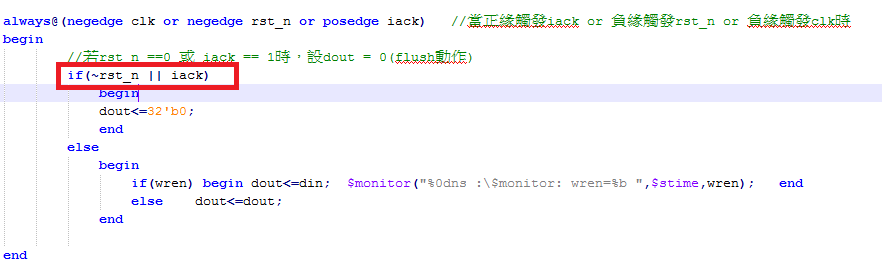
|  |  |
| --- | --- |
| 組別： | 第3組 |
| 組員： | 林鑫彤 黃翊 許睿玲 |
| 學號： | B013040024 B013040049 B013040051 |
| 指導老師： | 張雲南 老師 |

* 實驗內容

實作題

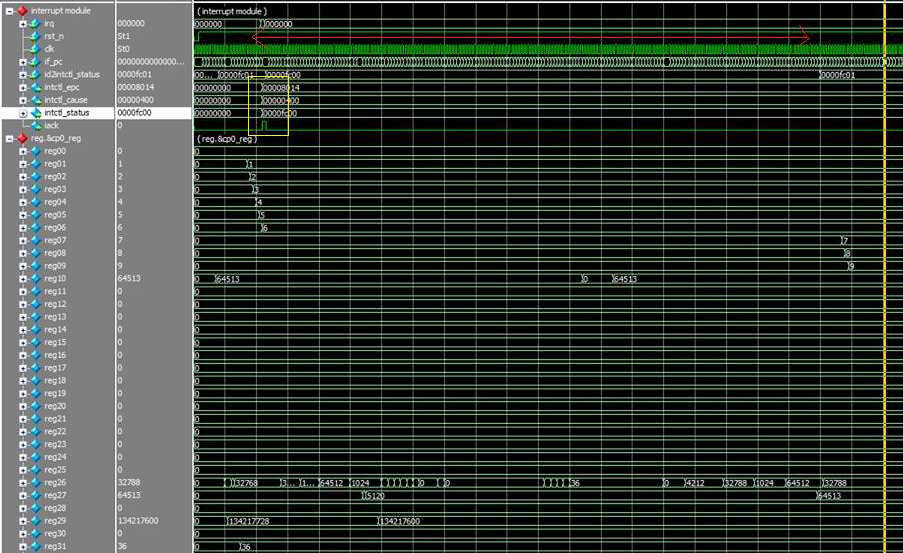


進階題

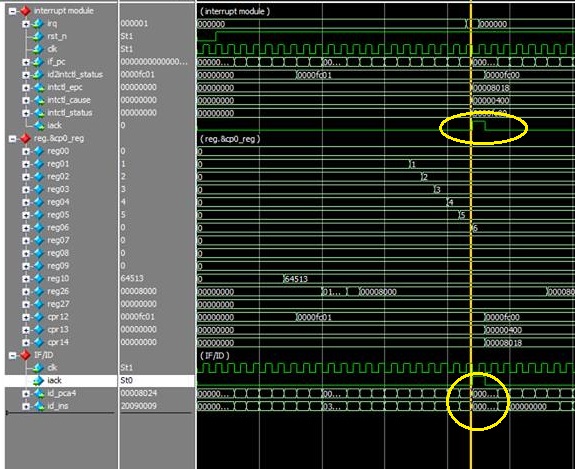


* 驗證的方式與模擬的結果

實作題



進階題



* 心得與討論

從這次實驗學習到ㄧ些寫verilog的ㄧ些小技巧，像是怎麼樣把register橋接起來，如在記錄中斷原因的時候，我們其實只要中間的irq[5:0]就好，但是因為register是32位元所以我們必須把其他地方填滿0，一開始卡這邊卡很久是因為不知道怎麼把其他地方都填0，後來經由助教的教學，讓我們知道可以用這樣{16'b0,irq,10'b0};的方式來完成，其他部分照著投影片教學，還有code裡面所打好的註解就可以ㄧ步一步完成。進階題部分是要實作flush功能，一開始有想一下，再上網google查詢flush的功能之後，把題目中的??設為iack就成功了，還有因為modlesim出了點問題，感謝學長的幫忙，才能順利完成這份作業。