



Universidad de San Carlos de Guatemala  
Facultad de Ingeniería  
Escuela de Mecánica Eléctrica  
Laboratorio de Electrónica  
Electrónica 6  
Segundo Semestre 2013  
Instructor: Ing. Iván René Morales

## **Práctica 04**

### **Introducción a Xilinx ISE y Test Bench**

#### **Objetivos**

- Mostrar al estudiante una de las herramientas para el desarrollo en FPGA
- Mostrar al estudiante una de las herramientas disponibles para la simulación de VHDL.
- Mostrar al estudiante la funcionalidad del archivo de restricciones del usuario (UCF)

#### **Descripción**

La práctica consiste en:

- El instructor de laboratorio mostrará a los estudiantes las herramientas disponibles para el desarrollo de las tareas requeridas en VHDL para FPGA.
- Se crearán un par de proyectos y serán sintetizados en el software ISE Project Navigator
- Se simularán los proyectos creados, utilizando los distintos niveles disponibles:

#### **Contenido**

- Xilinx ISE Project Navigator
  - Creación de proyectos
  - Atajos
  - Síntesis
- UCF
  - Descripción general
  - Sintaxis
  - Pines físicos del FPGA
    - Pines en Nexys 3
  - Agregar el UCF al proyecto en el ISE
- Test Bench
  - Descripción general
  - Ventajas y desventajas
  - VHDL exclusivo para Test Bench
  - ISIM
- Ejemplos
  - PWM (Síntesis y simulación)

### Formato de entrega

- No hay que entregar nada por escrito, solamente quedará una tarea para la siguiente sesión.

### Tarea

Realizar la síntesis y Test Bench de los siguientes módulos VHDL:

1. El componente individual "PWM" de la práctica #5
2. El contador ascendente de la práctica #3

Entregar INDIVIDUALMENTE el código VHDL del Test Bench impreso, solamente con un encabezado. Mejor si utilizan NOTEPAD++ para imprimir. Asimismo, se requiere de un screenshot donde sea apreciable la ejecución del Test Bench. Todo engrapado, sin folder.

Listado de Materiales	Precio Aproximado
Materiales	Q. 0.00
Total	Q 0.00

Nota

**No se reciben prácticas, investigaciones, circuitos o tareas tarde**