



Universidad de San Carlos de Guatemala
Facultad de Ingeniería
Escuela de Mecánica Eléctrica
Laboratorio de Electrónica
Electrónica 6
Segundo Semestre 2013
Instructor: Ing. Iván René Morales

Práctica 08

CoreGen: Cores IP de Xilinx (CORDIC y FFT)

Objetivos

- Mostrar al estudiante las ventajas y desventajas que conlleva el uso de recursos específicos de un FPGA en particular (no VHDL genérico).
- Mostrar al estudiante la versatilidad de CoreGen.

Descripción

La práctica consiste en:

- El instructor de laboratorio impartirá la clase magistral sobre los temas
- El instructor de laboratorio explicará paso a paso el procedimiento para la creación de Cores personalizados, haciendo uso de la herramienta CoreGen.
- El proyecto de ejemplo se encuentra en el archivo *Practica08E6.zip*

Contenido

- CoreGen
 - Core CORDIC
 - Core FFT
- Ejemplo:
 - Cálculo de la densidad espectral de potencia de una señal

Formato de entrega

No hay que entregar nada por escrito, solamente quedará una tarea para la siguiente sesión.

Tarea

1. Interconectar el módulo que se encuentra en el archivo de ejemplo (*Practica08E6.zip*) con el módulo que maneja el ADC TLV1572 (tarea anterior) utilizando Wishbone.

Entregar INDIVIDUALMENTE el código VHDL impreso, solamente con un encabezado. Mejor si utilizan NOTEPAD++ para imprimir. (Debe incluirse tanto el código del módulo VHDL, como el del test bench). Entregar también impreso el screenshot del TB.

| Listado de Materiales | Precio Aproximado |
|------------------------------|--------------------------|
| Materiales | Q. 0.00 |
| Total | Q 0.00 |

Nota

No se reciben prácticas, investigaciones, circuitos o tareas tarde