



Universidad de San Carlos de Guatemala  
Facultad de Ingeniería  
Escuela de Mecánica Eléctrica  
Laboratorio de Electrónica  
Electrónica 6  
Segundo Semestre 2013  
Instructor: Ing. Iván René Morales

## **Práctica 03**

### **Introducción a VHDL (Procesos y lógica secuencial)**

#### **Objetivos**

- Mostrar al estudiante los conceptos básicos de un lenguaje de descripción de hardware
- Mostrar la estructura básica de un módulo VHDL
- Utilizar procesos secuenciales para la descripción de hardware en VHDL

#### **Descripción**

La práctica consiste en:

- El instructor de laboratorio impartirá la clase magistral sobre los temas
- El instructor de laboratorio explicará paso a paso el código de los archivos *counter.vhd* y *counter\_ud.vhd*, que se encuentran en el archivo *Practica03E6.zip*.

#### **Contenido**

- Genéricos
- Lógica secuencial
  - Procesos
    - Rising Edge / Falling Edge
    - If ... Elsif ... EndIf
    - Case ... When ... End Case
- Tipos de RESET
  - Síncrono
  - Asíncrono
- Otros tipos de datos
  - Integer
  - Natural
- Conversión de tipos (Type Casting)
- Ejemplos
  - Contador ascendente
  - Contador ascendente/descendente

## Formato de entrega

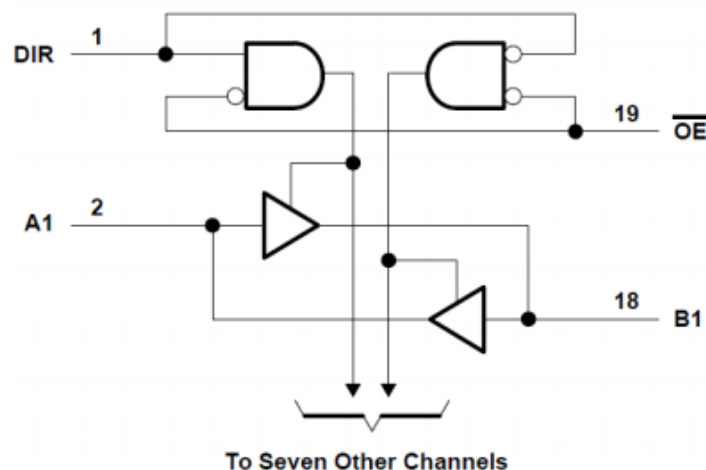
- No hay que entregar nada por escrito, solamente quedará una tarea para la siguiente sesión.

## Tarea

Crear los módulos VHDL que realicen la siguiente descripción de hardware:

- Contador ascendente/descendente sin signo, en el rango de 0 a 25
- Un buffer bidireccional 74LS245, tal y como se describe en la siguiente tabla, y se muestra en la figura de abajo

INPUTS		OPERATION
$\overline{OE}$	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation



Entregar INDIVIDUALMENTE el código VHDL impreso, solamente con un encabezado. Mejor si utilizan NOTEPAD++ para imprimir.

Listado de Materiales	Precio Aproximado
Materiales	Q. 0.00
Total	Q 0.00

Nota

**No se reciben prácticas, investigaciones, circuitos o tareas tarde**