



Universidad de San Carlos de Guatemala  
Facultad de Ingeniería  
Escuela de Mecánica Eléctrica  
Laboratorio de Electrónica  
Electrónica 6  
Segundo Semestre 2013  
Instructor: Ing. Iván René Morales

## **Práctica 07**

### **Interfaz Wishbone**

#### **Objetivos**

- Mostrar al estudiante las generalidades y beneficios que conllevan el uso de un estándar de interconexión de módulos descritos en hardware.
- Describir los elementos que conforman la interconexión de elementos con una interfaz Wishbone.

#### **Descripción**

La práctica consiste en:

- El instructor de laboratorio impartirá la clase magistral sobre los temas.
- El instructor de laboratorio explicará paso a paso el código del archivo *WBslave\_TLV5616.vhd*, que se encuentra en el archivo *Practica07E6.zip*.

#### **Contenido**

- Interfaz Wishbone
  - Interfaz estándar de comunicación entre distintos módulos.
  - MASTER/SLAVE architecture
  - SYSCON
  - Handshaking
- Ejemplo:
  - Esclavo Wishbone para control de DAC SPI TLV5616

#### **Formato de entrega**

No hay que entregar nada por escrito, solamente quedará una tarea para la siguiente sesión.

#### **Tarea**

1. Realizar un módulo Wishbone MASTER para controlar el ADC TLV1572.

Entregar INDIVIDUALMENTE el código VHDL impreso, solamente con un encabezado. Mejor si utilizan NOTEPAD++ para imprimir. (Debe incluirse tanto el código del módulo VHDL, como el del test bench). Entregar también impreso el screenshot del TB.

<b>Listado de Materiales</b>	<b>Precio Aproximado</b>
Materiales	Q. 0.00
Total	Q 0.00

Nota

**No se reciben prácticas, investigaciones, circuitos o tareas tarde**