

Première année Licence informatique, 2024 - 2025

Structure Machine 2

TD 3 : Les Circuits Combinatoires

Exercice 1 : Demi-soustracteur

Un demi-soustracteur est un dispositif qui possède 2 entrées et 2 sorties. Les 2 entrées sont A et B. Une des sorties, notée D représente la différence A-B, c'est à dire $D = A - B$, l'autre, notée :

R, représente la retenue de la soustraction.

On le symbolise par le schéma logique de la Figure 1.

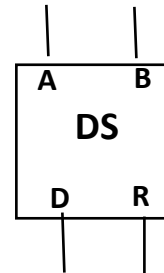


Figure 1

- 1) Donner la table de vérité des sortie D et R en fonctions des entrées A et B
- 2) Déduire les expressions algébriques des sortie D et R, en fonctions des entrées A et B.
- 3) Donner le logigramme du demi-soustracteur.
- 4) En utilisant trois demi-soustracteurs, réaliser un circuit combinatoire qui retranche 1 à un nombre binaire de trois bits $A = A_2 A_1 A_0$ ($A \geq 1$), c'est à dire qui fait $A - 1$.

Exercice 2 : Additionneur/Soustracteur

1) - Concevoir un circuit qui permet de faire l'addition ou la soustraction (additionneur/soustracteur) de deux nombres binaires A et B de 1 bit. On rappelle que dans la représentation en complément à 2,

Cet additionneur/soustracteur possèdera une entrée de commande C qui sera utilisée comme suit :

- $C=0$, fonctionnement en addition.
- $C=1$, fonctionnement en soustraction.

2) - En utilisant ce schéma bloc de additionneur-soustracteur, dessiner un schéma bloc d'un additionneur – soustracteur en parallèle à 4 bits, c'est-à-dire un circuit logique qui peut faire la somme des nombres binaires $A = A_3 A_2 A_1 A_0$ et $B = B_3 B_2 B_1 B_0$ si $C=0$ et $A-B$ si $C=1$.

Exercice 3 : Multiplexeur

1) - Soit la fonction logique f définie par sa table de Karnaugh suivante :

ab \ c	00	01	11	10
0	1	0	1	1
1	1	1	1	0

Réalisez la fonction f par un MUX 8 :1

Réalisez la fonction f par un MUX 4 :1

2) En utilisant un MUX 4:1 et des portes logiques, réaliser les fonctions f1 et f2 , et en utilisant un MUX 8 :1 et des portes logiques la fonction f3 :

$$1) f1(a, b, c) = \sum m(0,1,2,7) \quad 2) f2(x, y, z) = \prod M(0,1,4,5,7)$$

$$3) f3(a, b, c, d) = \sum (1,3,4,5,6,8,9,10,11,14)$$

Exercice 4 : Parité d'un mot

Le but de cet exercice est de concevoir un circuit permettant de détecter la parité d'un mot de 3 bits code sur les entrées A, B et C. La sortie vaudra 0 si le nombre en entrée est pair (ex : 1000) et 1 sinon (ex : 0011).

1. Ecrire la table de vérité correspondante.
2. Utiliser un multiplexeur 8:1 pour réaliser cette fonction.
3. Utiliser un démultiplexeur 1:8 pour réaliser cette fonction.

Exercice 5 : Incrémenteur

Une (grande) partie des additions effectuées par un ordinateur consistent simplement à ajouter 1 à une autre valeur x (on incrémente la valeur x).

1. Réaliser un incrémenteur 3 bit avec retenue de sortie (Entrées A0 A1 A2 ; Sorties R I0 I1 I2).
2. Réaliser aussi le circuit d'un décrémenteur 3 bits, avec « 000 » cas indéfinis (Entrées A0 A1 A2 ; Sorties D0 D1 D2).
3. Réaliser la fonction D0 avec un Mux de 3 entrées d'adresses.
4. Réaliser la fonction D1 avec un DEMux de 3 entrées d'adresses.