TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

KHOA ĐIỆN ĐIỆN TỬ

BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG

**

**BÁO CÁO MÔN HỌC**

**MÔN HỌC: TT THIẾT KẾ VI MẠCH VLSI**

**NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH**

Sinh viên: **PHẠM QUỐC VIỆT**

MSSV: 20119307

GVHD: **LÊ MINH THÀNH**

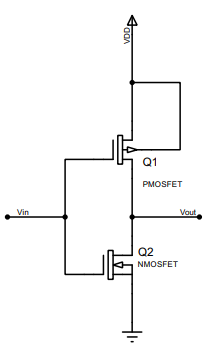
TP. HỒ CHÍ MINH – 12/2022

# **BÀI 1: THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC NOT**

## ĐẶC TÍNH DC CỦA MỘT BỘ CỔNG LOGIC NOT

### Sơ đồ nguyên lý

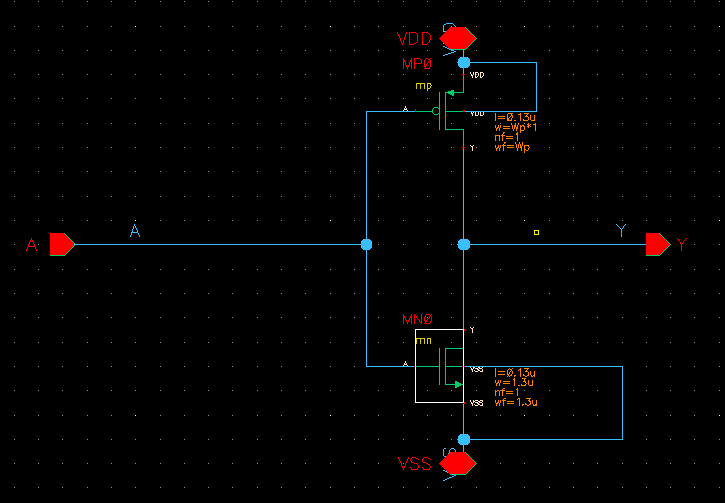
**Theo lý thuyết:**



***Hình 1.1.: CMOS Inverter***

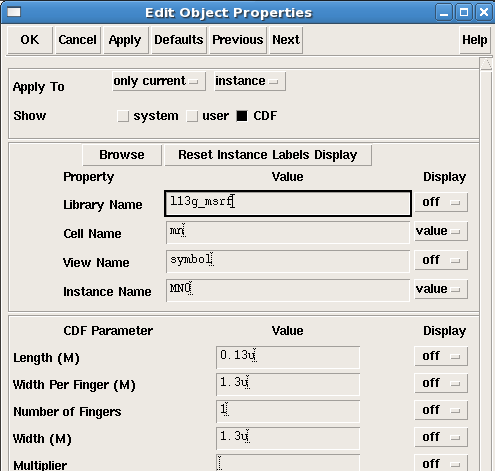
Trong bộ cổng NOT bao gồm 1 P-mos và 1 N-mos, khi mức điện áp mức cao +V (mức logic 1) vào đầu vào Vin, thì Transistor Q2 sẽ được kích hoạt hay “bật”, Q1 được “tắt”. Trong điều kiện đó, điện áp đầu ra (Vout) sẽ gần bằng 0V (mức logic 0) và ngược lại.

Trong phần mềm Cadence:



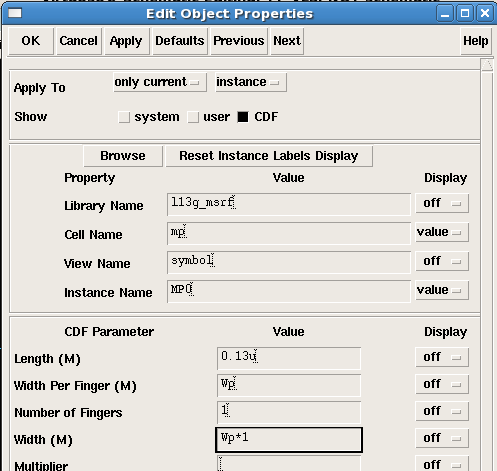
***Hình 1.2: Sơ đồ nguyên lý của cổng NOT bằng CMOS***

* **Thông số:**
  + Thông số transistor nMos: l = 0.13 µm, w = wf = 1.3 µm, nf = 1



***Hình 1.3: Thông số nMOS***

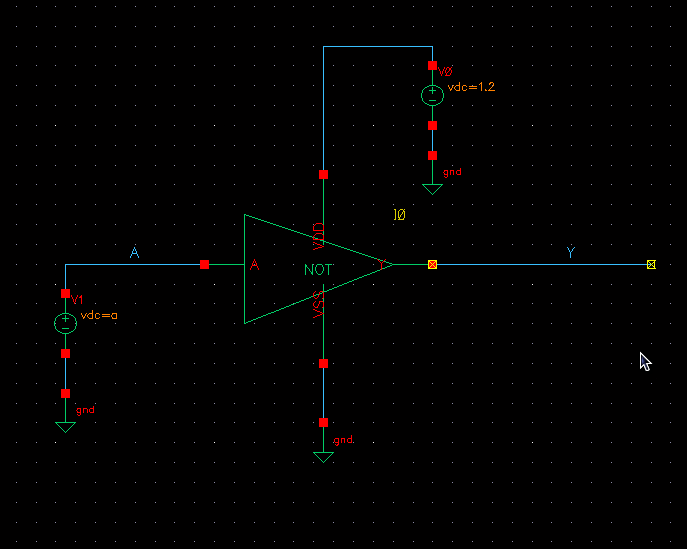
* + Thông số transistor pMos: l = 0.13 µm, w = Wp\*1 µm, nf = 1, wf = Wp



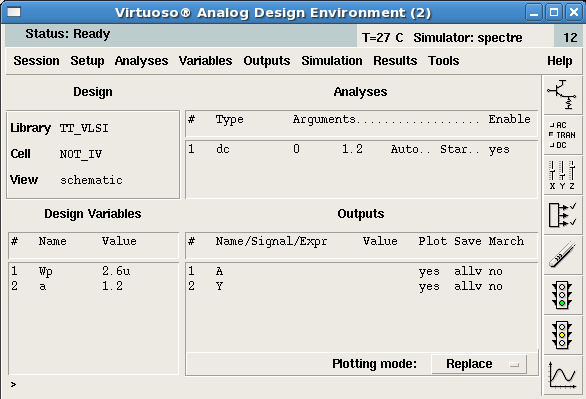
***Hình 1.4: Thông số pMOS***



***Hình 1.5: Đóng gói cổng NOT***



***Hình 1.6: Sau khi đóng gói xong thì ta sẽ cấp nguồn cho Vdd và ngõ vào A với Vdd = 1.2V và ngõ vào A = biến a***



***Hình 1.7: Bảng thiết lập cho bộ INVERTER***

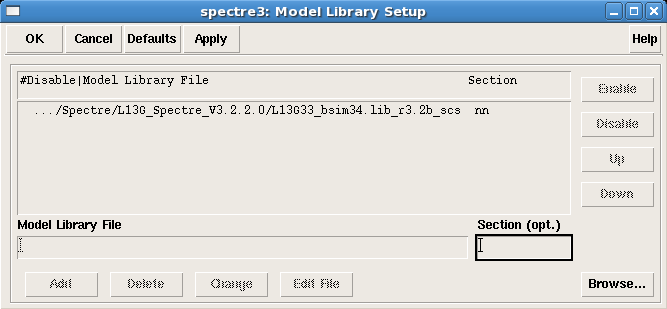
Giải thích các giá trị của độ rộng pMOS:

βn = µ.Cox.Wn/Ln;

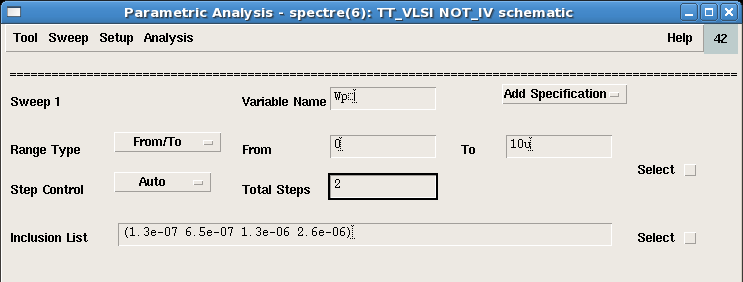
βp = µ.Cox.Wp/Lp;

Do Ln = Lp = 0.15u

🡺 Tỉ số βp/βn =Wp/Wn

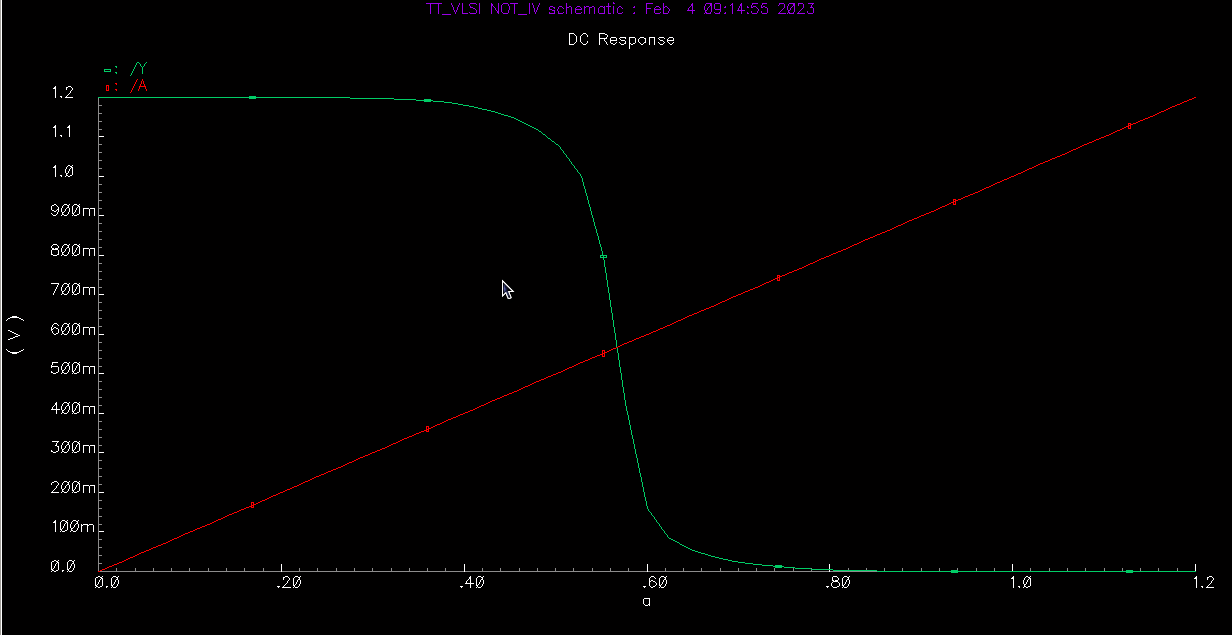


***Hình 1.8: Cài thư viện Model Libraries***

******

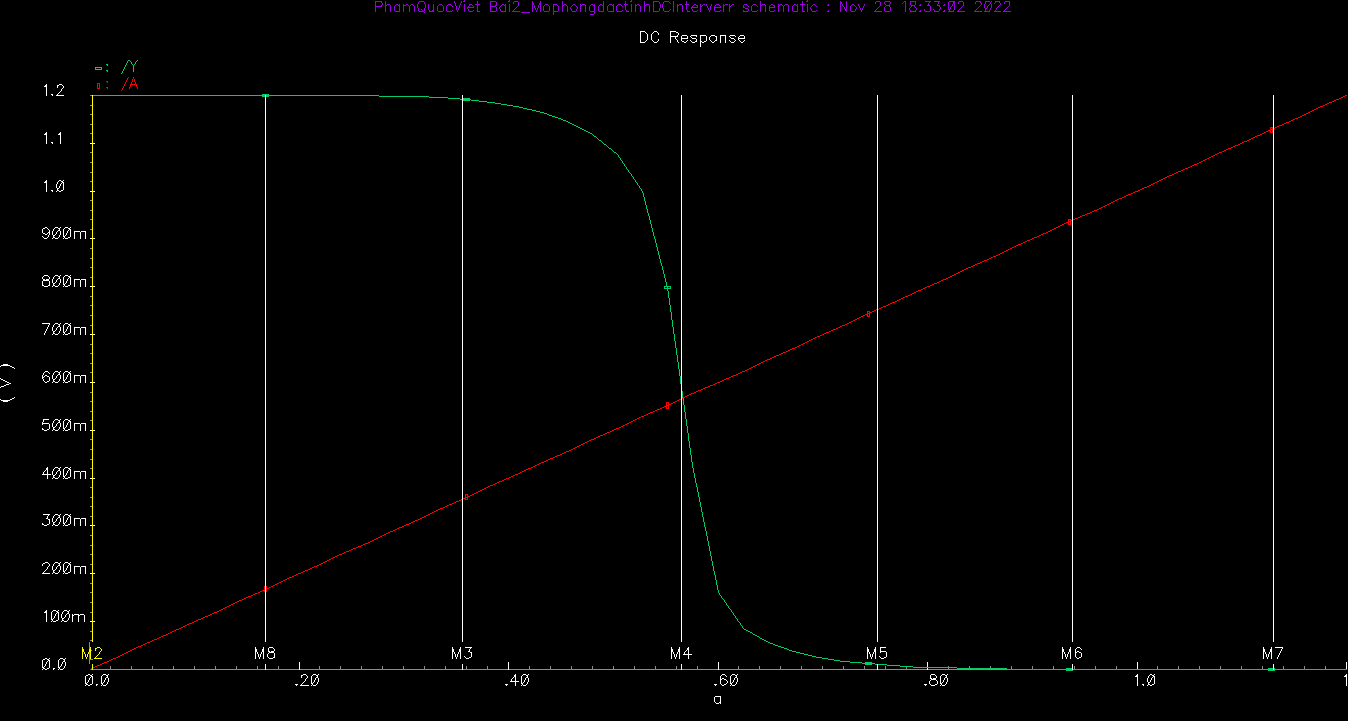
***Hình 1.9: Thiết lập thông số Parametric Analysis***

### Kết quả mô phỏng



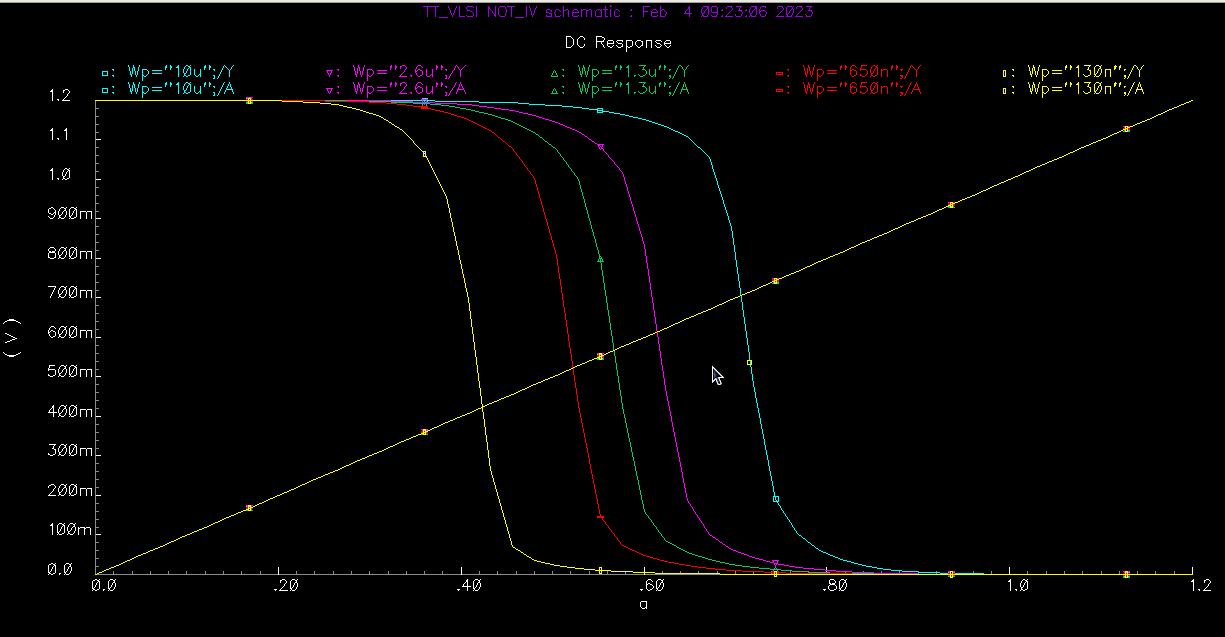
***Hình 1.10: Đặc tuyến DC của bộ cổng logic NOT khi mô phỏng với βp/βn = 1***

***Phân tích kết quả:***

******

***Hình 1.11: Chia vùng nMOS và pMOS***

|  |  |  |
| --- | --- | --- |
| **Vùng (Region)** | ***nMOS*** | ***pMOS*** |
| ***M2 🡺 M8; M8🡺M3*** | Ngắt (Cutoff) | Tuyến tính (Linear) |
| ***M3 🡺 M4*** | Bão hòa (Saturation) | Tuyến tính (Linear) |
| ***M4*** | Bão hòa (Saturation) | Bão hòa (Saturation) |
| ***M4 🡺 M5*** | Tuyến tính (Linear) | Bão hòa (Saturation) |
| ***M5 🡺 M6 ; M6🡺 M7*** | Tuyến tính (Linear) | Ngắt (Cutoff) |



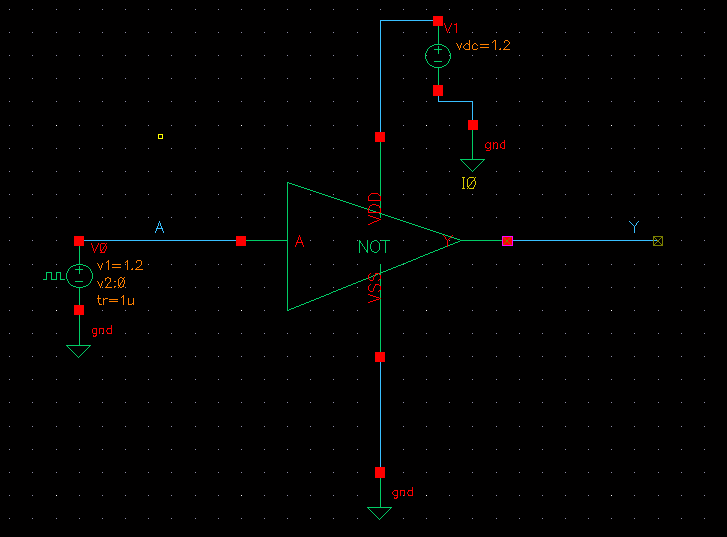
***Hình 1.12: Khi mô phỏng với nhiều giá trị khác nhau của tỷ số β lần lượt là: β = 0.1(vàng), β = 0.5(đỏ), β = 1(xanh), β = 2(tím), β = 10(xanh trời)***

***Phân tích kết quả:***

* Đường xiên màu vàng thể hiện Input tăng tuyến tính từ 0->1.2
* Đường màu vàng thể hiện đặc tính DC khi w = 0.13u
* Đường màu đỏ thể hiện đặc tính DC khi w = 0.65u
* Đường màu xanh lá cây thể hiện đặc tính DC khi w = 1.3u
* Đường màu tím thể hiện đặc tính DC khi w = 2.6u
* Đường màu xanh dương thể hiện đặc tính DC khi w = 13u

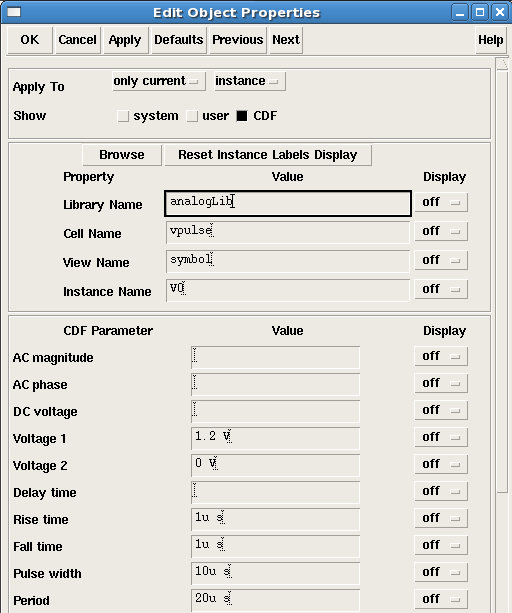
## THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG NOT

### Sơ Đồ Nguyên Lý



***Hình 1.13: Sơ đồ nguyên lý cổng NOT***

* **Thông số:**

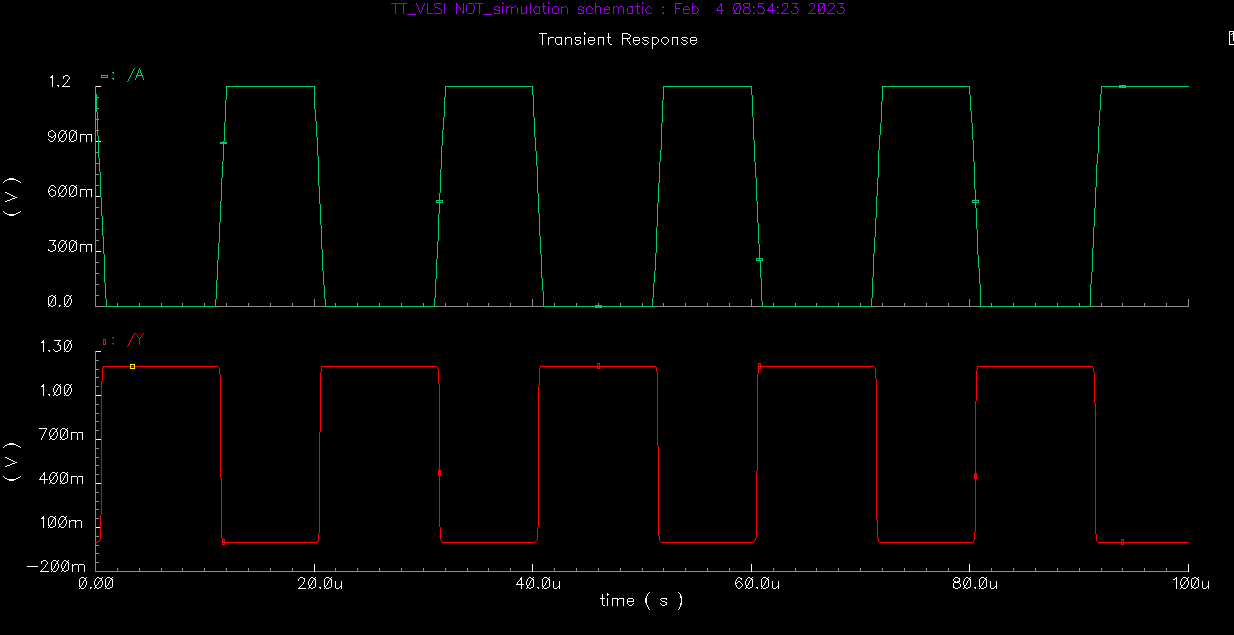
******

***Hình 1.14: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V
* Voltage 2 (đáp ứng xung 2) : 0V
* Rise time (thời gian xung cạnh lên) : 1µ s
* Fall time (thời gian xung cạnh xuống) : 1µ s
* Pulse width (độ rộng xung) : 10µ s
* Period (chu kỳ) : 20µ s
* Period = 2\* pulse width

### Kết quả mô phỏng



***Hình 1.15: Kết quả mô phỏng cổng NOT***

***Phân tích mô phỏng: từ 0u (s) tới 10u (s), khi ngõ vào A = 0 thì ngõ ra Y sẽ bằng 1***

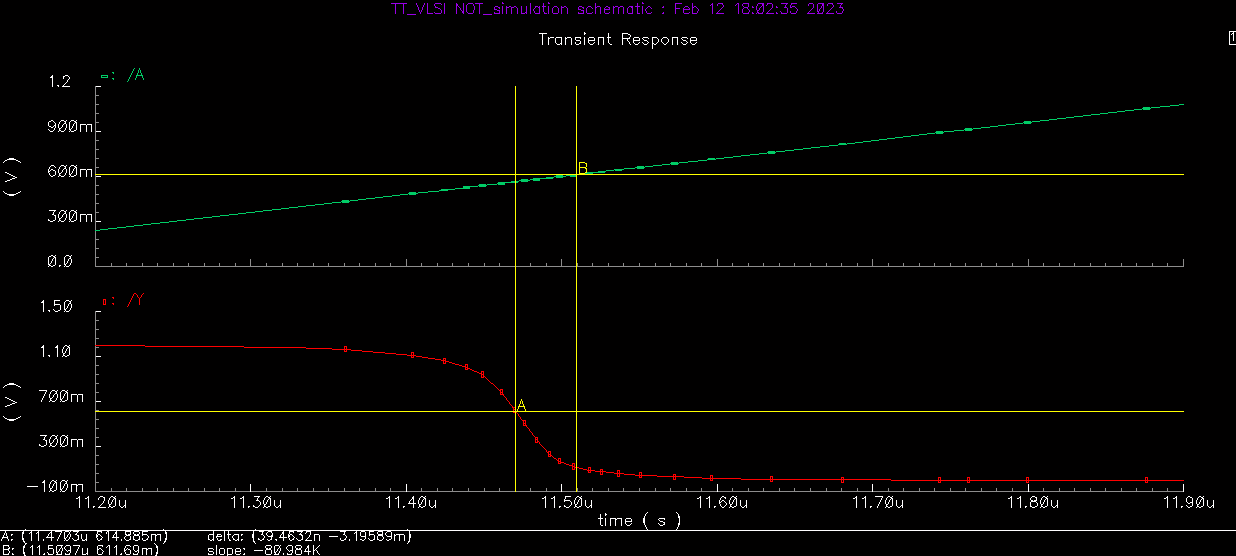
***từ 10u (s) tới 20u (s), khi ngõ vào A = 1 thì ngõ ra Y sẽ bằng 0***

- **So sánh với bảng trạng thái cổng NOT**

|  |  |
| --- | --- |
| **CỔNG NOT** | |
| A | Y |
| 0 | 1 |
| 1 | 0 |

* ***Kết quả đúng so với bảng chân trị***

***Độ trễ của mạch:***

******

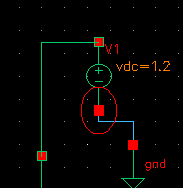
-Ta xét tại 2 điểm VDD/2 của Vin và Vout ta thấy độ trễ là rất thấp

11.5097-11.4703=0.0394us

## TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

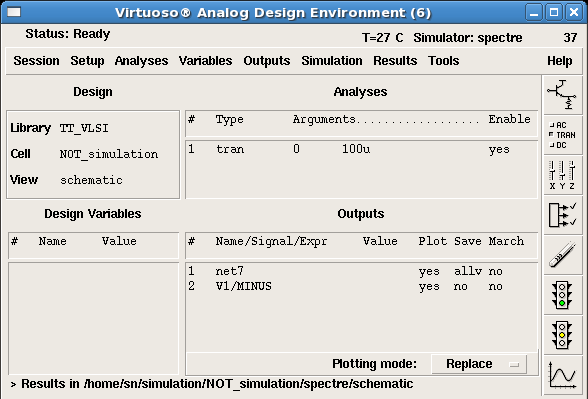
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

* + 1. **Sơ đồ nguyên lý**

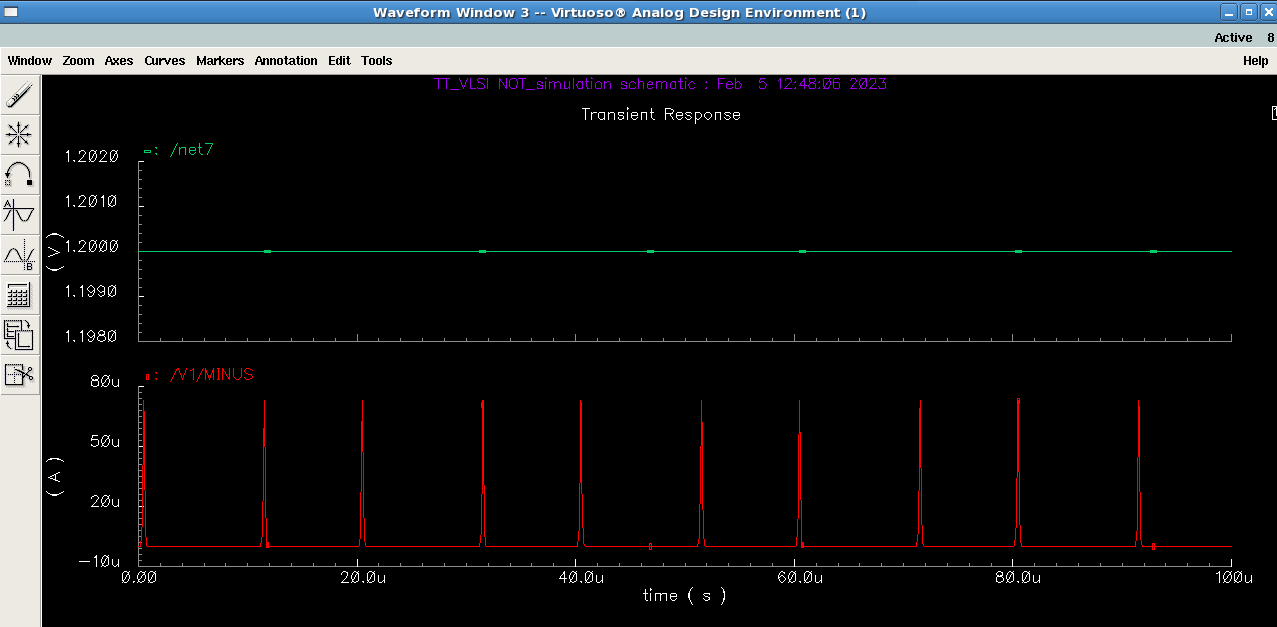


***Hình 1.16 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

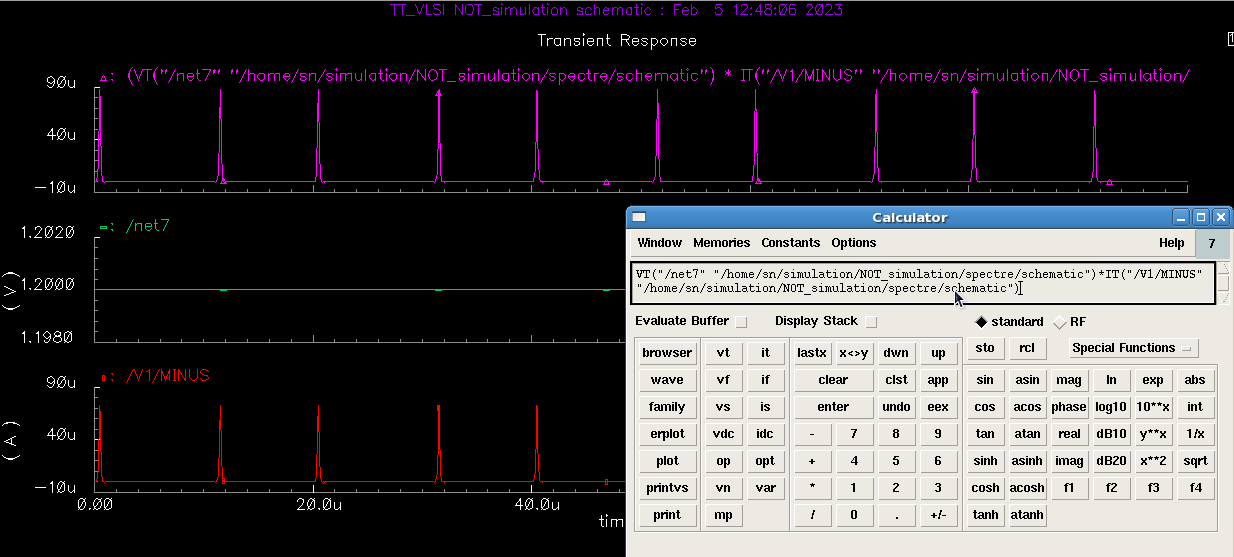
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

***Hình 1.17: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* + 1. **Kết quả mô phỏng**



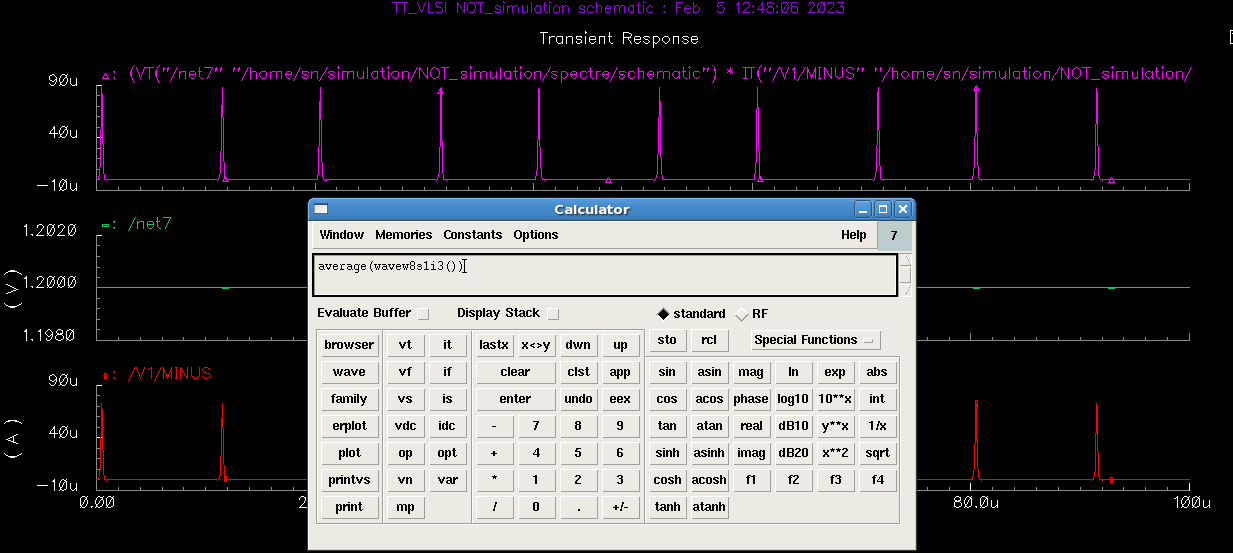
***Hình 1.18: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 1.19: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

* + 1. **Tính công suất trung bình**

****

***Hình 1.20 Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 1.21: Kết quả công suất trung bình là 1,69*** **uW**

## . KẾT LUẬN

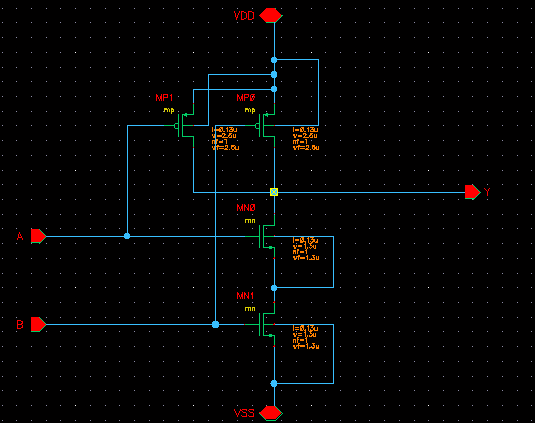
Sau khi mô phỏng xong, ta rút ra kết luận:

* Tỉ số beta sẽ phụ thuộc vào tỉ số giữa độ rộng pMOS và nMOS(βp/βn =Wp/Wn)
* Điện áp đầu vào bằng 0, (pMOS dẫn, nMOS ngắt), đầu ra bằng 1 (đầu ra kéo lên VDD). Khi điện áp đầu vào bằng 1 (pMOS ngắt, nMOS dẫn), đầu ra bằng 0 (Kéo xuống GND) 🡺 Bộ inverter là cổng đảo
* Tỉ số ***β*** tăng dần lên thì vùng Ngắt của nMos và vùng Tuyến tính của pMos cũng tăng theo ; ngược lại, vùng Ngắt của pMos, vùng tuyến tính của nMos thì giảm dần

**BÀI 2: THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC NAND VÀ NOR**

# **THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG NAND**

### Sơ đồ nguyên lý



***Hình 2.1. Sơ đồ nguyên lý cổng NAND***

- Thông số cài đặt:

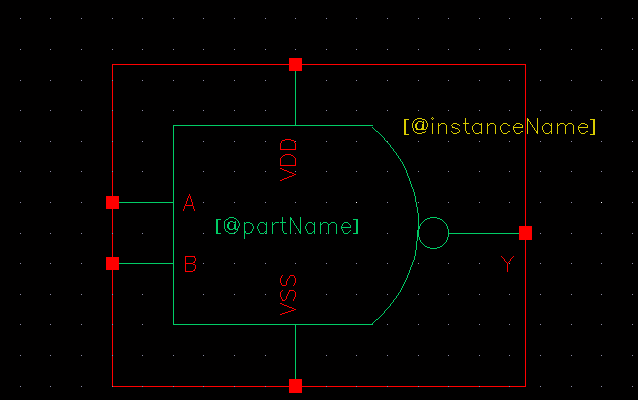
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

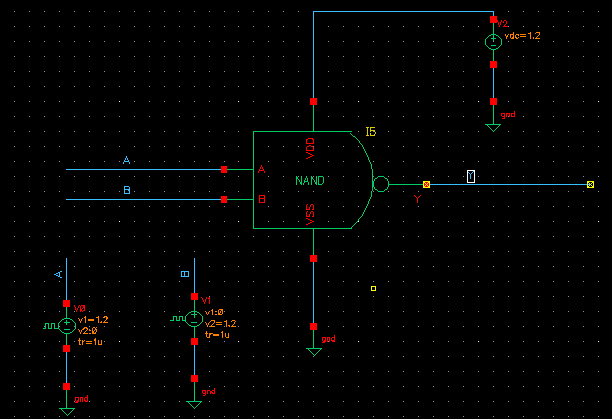
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic NAND:**

****

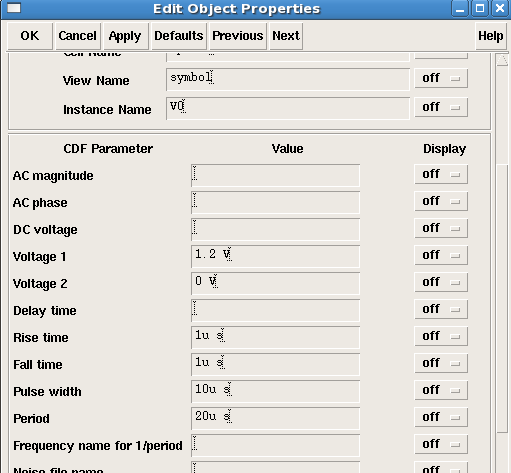
***Hình 2.2. Đóng gói cổng logic NAND***

❖ Mô phỏng cổng logic NAND:

******

***Hình 2.3. Mô phỏng cổng logic NAND***

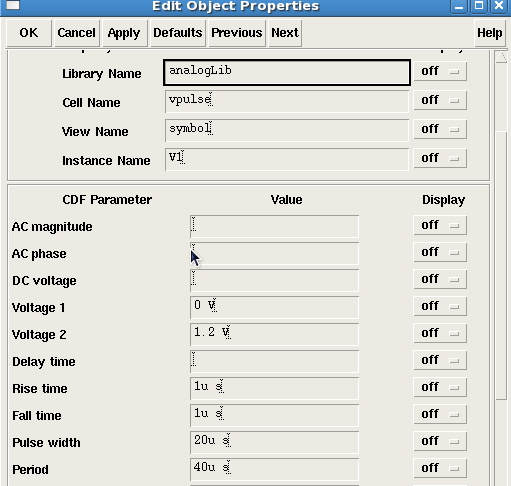
* **Thông số:**

******

***Hình 2.4: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .



***Hình 2.5: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 20µ s.
* Period (chu kỳ) : 40µ s.
* Period = 2\* pulse width .

### Kết quả mô phỏng



***Hình 2.6: Kết quả mô phỏng cổng NAND***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 0, B = 1.2V thì ngõ ra Y sẽ bằng 1,2V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 30u (s) tới 40u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- **So sánh với bảng trạng thái cổng NAND**

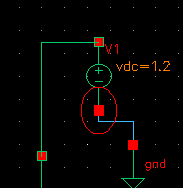
|  |  |  |
| --- | --- | --- |
| **CỔNG NAND** | | |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

* ***Kết quả đúng so với bảng chân trị***

### 2.1.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

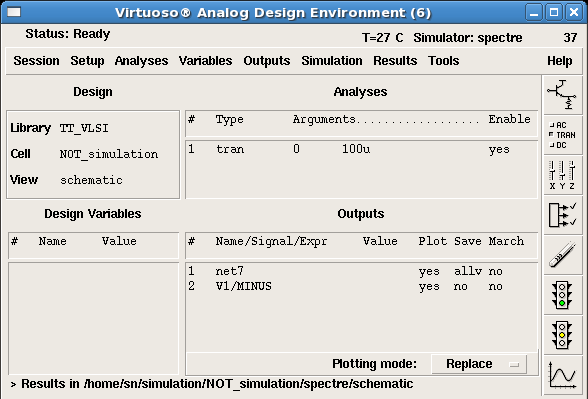
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dòng của Vdd.

### 2.1.3.1 Sơ đồ nguyên lý

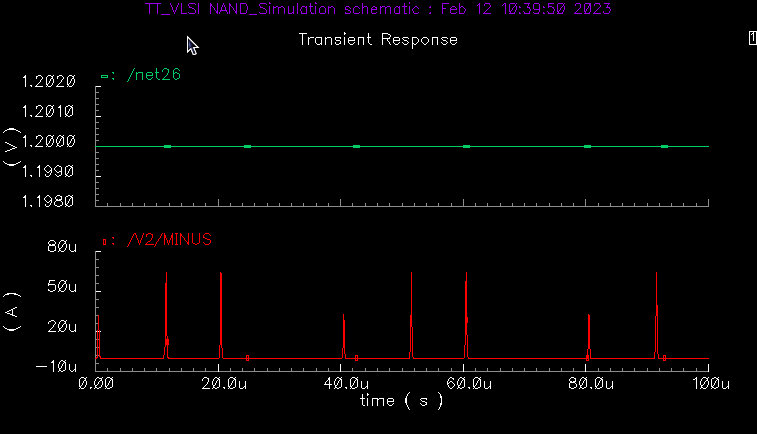


***Hình 2.7 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

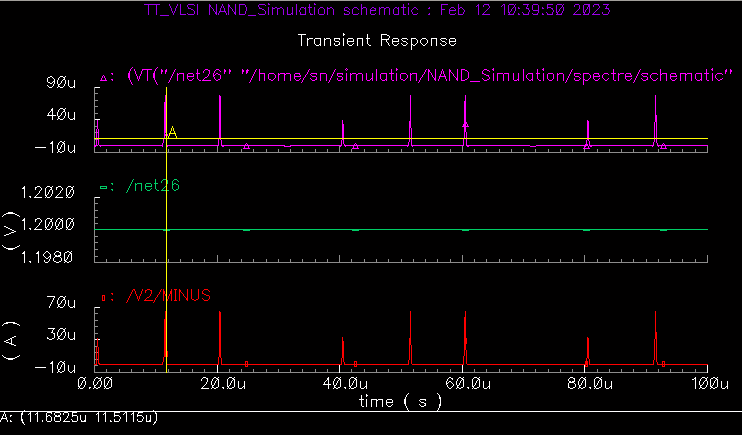
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 2.8: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* + - 1. **Kết quả mô phỏng**



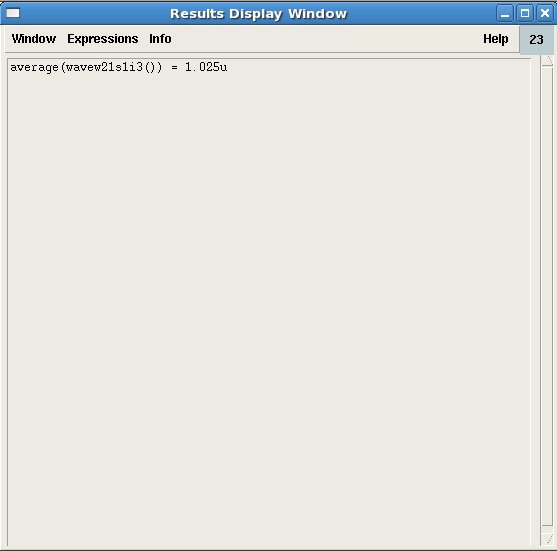
***Hình 2.9: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 2.10: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

* + - 1. **Tính công suất trung bình**

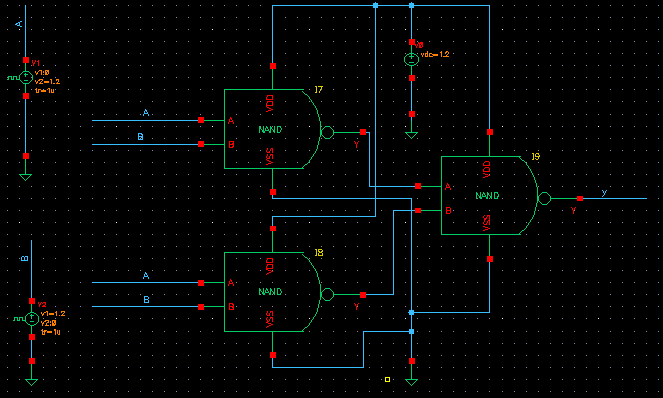
******

***Hình 2.11: Kết quả công suất trung bình cổng NAND***

> Công suất trung bình của cổng logic NAND là 1.025uW.

### GHÉP 3 CỔNG LOGIC NAND

**2.1.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng NAND**



***Hình 2.12. Ghép nối tiếp 3 cổng NAND***

* + - 1. **Kết quả mô phỏng**

******

**Hình 2.13. kết quả mô phỏng khi ghép nối tiếp 3 cổng NAND**

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

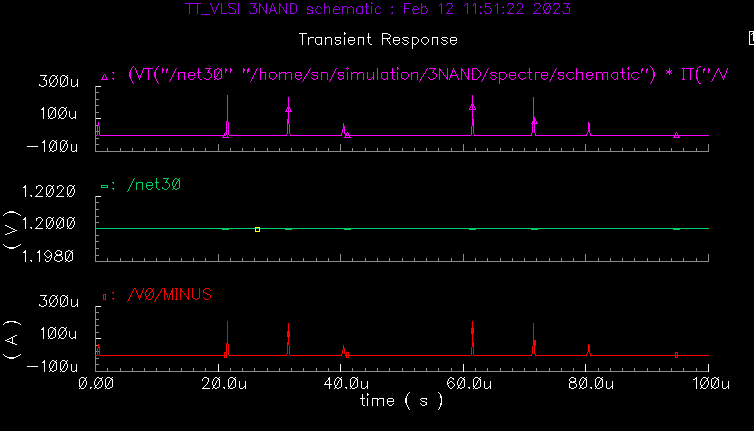
- từ 30u (s) tới 40u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng NAND thứ nhất và thứ 2 thì theo nguyên lý của cổng logic NAND sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng NAND thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng NAND ta cho ra kết quả ngõ ra đúng với bảng trạng thái của cổng AND.

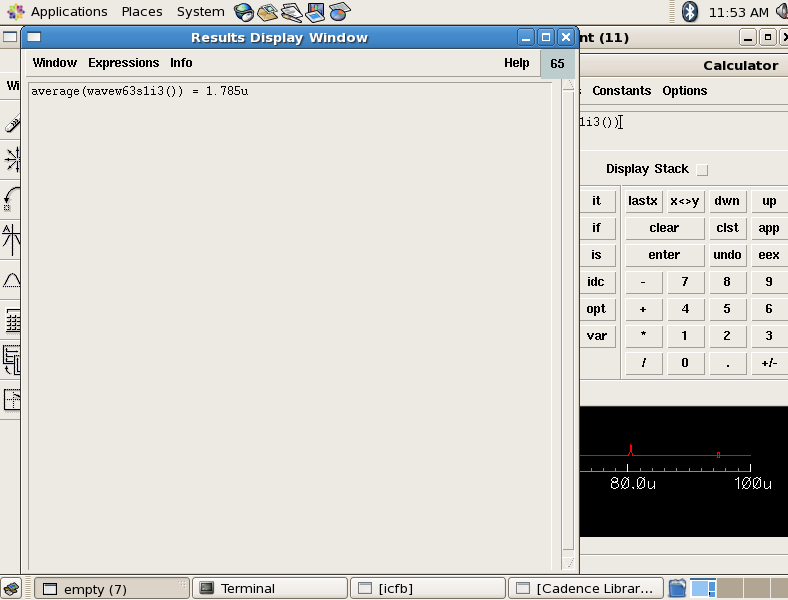
**BẢNG CHÂN TRỊ CỔNG AND**

|  |  |  |
| --- | --- | --- |
| **CỔNG AND** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

* + - 1. **ĐO CÔNG SUẤT CỦA MẠCH**

****

***Hình 2.14. Kết quả đo công suất của mạch***

****

***Hình 2.15. Kết quả đo công suất của mạch***

=> Công suất trung bình của cổng logic NAND là 1.785uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng NAND và 3 cổng NAND** | |
| Mạch 1 cổng NAND | Mạch 3 cổng NAND |
| 1,025uW | 1.785uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng NAND hay 3 cổng NAND thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng NAND sẽ làm tiêu hao công suất hơn 1,7 tới 2 lần so với 1 cổng NAND .

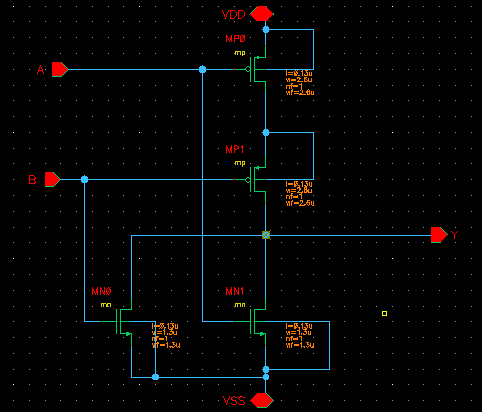
### 2.1.5 KẾT LUẬN

- Qua quá trình thiết kế và mô phỏng cổng logic NAND ta thấy được cổng NAND được tạo thành từ 2 transistor p-Mos mắc song song kết hợp 2 transistor n-Mos mắc nối tiếp. Với đầu vào A, B và đầu ra Y thì cổng logic NAND thực hiện phép nhân đảo bit 2 số nhị phân. Nghĩa là với 2 đầu vào mức cao khi qua cổng logic NAND ta sẽ cho kết quả đầu ra ở mức thấp và chỉ cần 1 trong 2 đầu vào ở mức thấp thì đầu ra sẽ ở mức cao.

- Khi mắc nối tiếp 3 cổng NAND với nhau thì kết qua mô phỏng cho ta thấy được, khi 1 trong 2 ngõ vào của cổng logic ở mức thấp thì sẽ cho ra ngõ ra ở mức thấp, nếu cả 2 ngõ vào ở mức cao thì kết quả ngõ ra sẽ ở mức cao. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng NAND sẽ tạo thành 1 cổng AND. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng NAND sẽ có công suất lớn 1,5 tới 2 lần so với mạch 1 cổng NAND.

## THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG NOR

### Sơ đồ nguyên lý



***Hình 2.16. Sơ đồ nguyên lý cổng NOR***

- Thông số cài đặt:

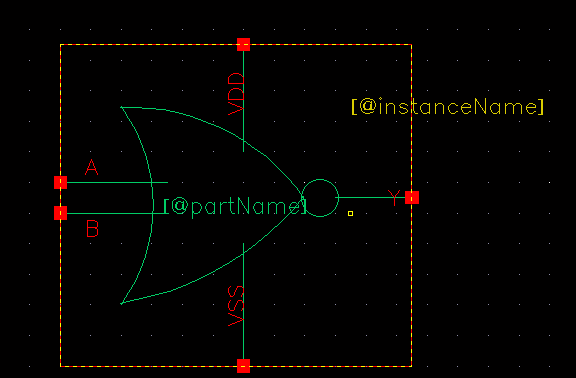
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

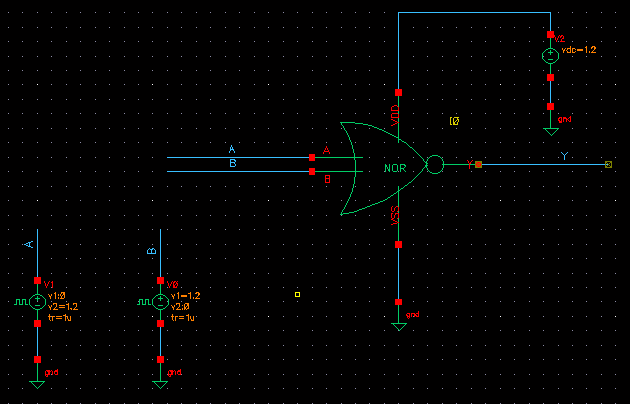
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic NOR:**

****

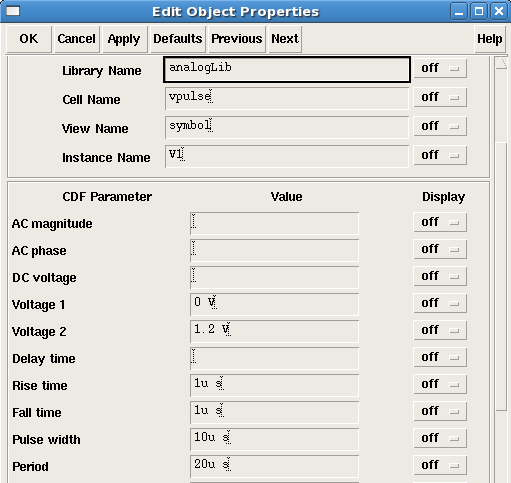
***Hình 2.17. Đóng gói cổng logic NOR***

❖ Mô phỏng cổng logic NOR:

******

***Hình 2.18. Mô phỏng cổng logic NAND***

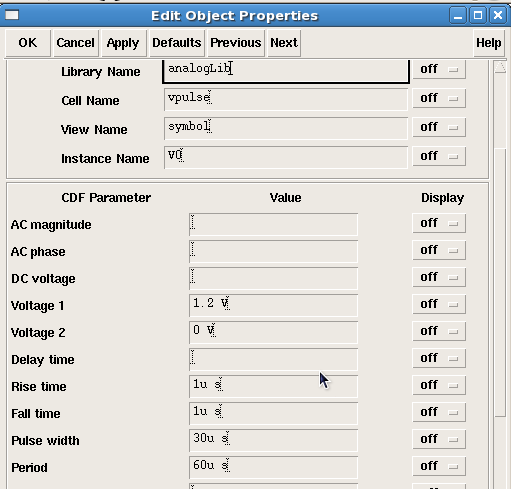
**Thông số:**

******

***Hình 2.19: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width.

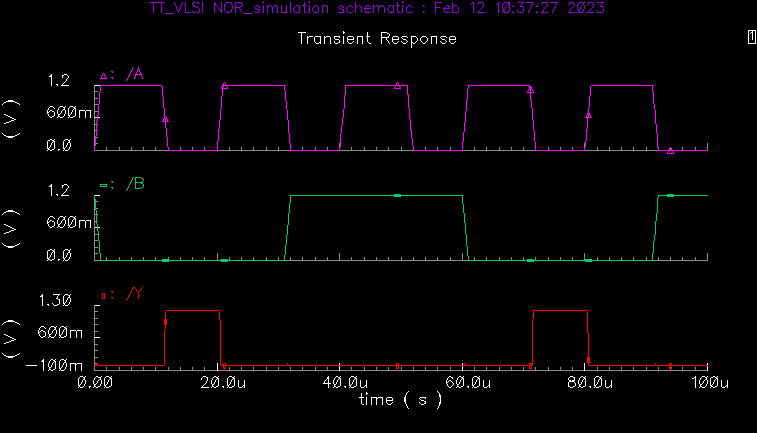


***Hình 2.20: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 30µ s.
* Period (chu kỳ) : 60µ s.
* Period = 2\* pulse width.

### 2.2.2 Kết quả mô phỏng



***Hình 2.21: Kết quả mô phỏng cổng NOR***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 40u (s) tới 50u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- **So sánh với bảng trạng thái cổng NOR**

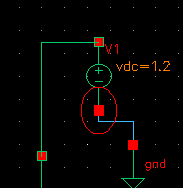
|  |  |  |
| --- | --- | --- |
| **CỔNG NOR** | | |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

* ***Kết quả đúng so với bảng chân trị .***

### 2.2.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

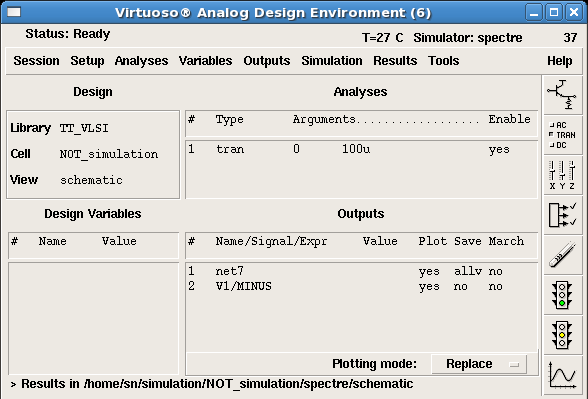
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd.

**2.2.3.1 Sơ đồ nguyên lý**

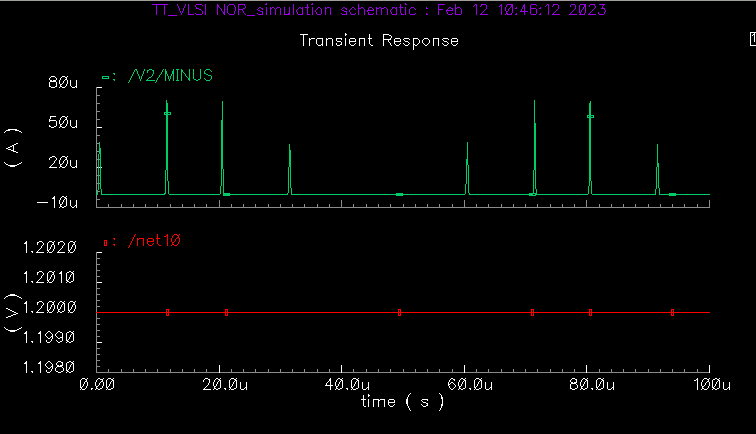


***Hình 2.22 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

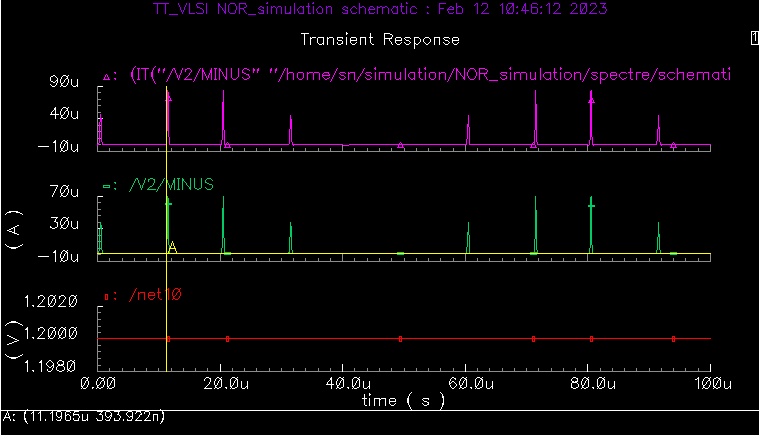
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 2.23: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**2.2.3.2 Kết quả mô phỏng**



***Hình 2.24: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 2.25: Kết quả mô phỏng công suất tức thời cổng NOR***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

**2.2.3.3 Tính công suất trung bình**

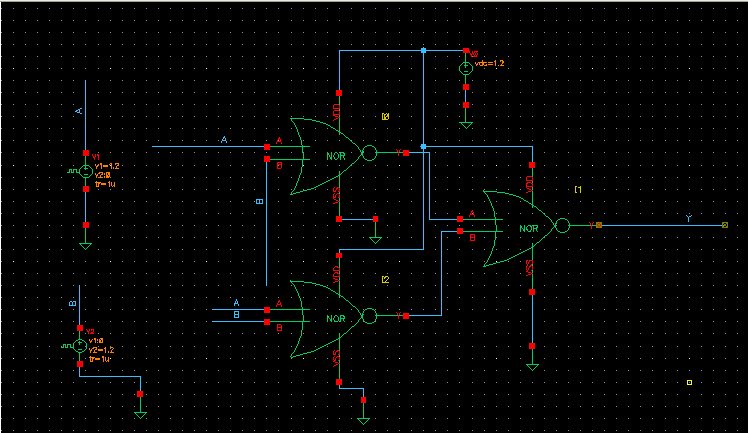
******

***Hình 2.26: Kết quả công suất trung bình cổng NOR***

> Công suất trung bình của cổng logic NOR là 1.074uW.

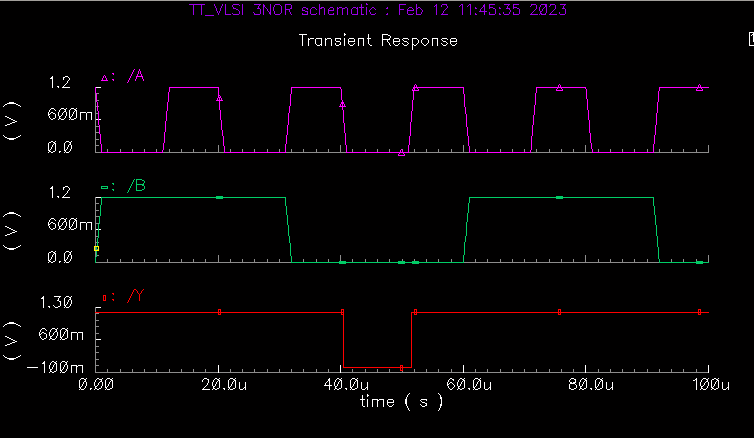
### 2.2.4 GHÉP 3 CỔNG LOGIC NOR

### 2.2.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng NOR



***Hình 2.27. Ghép nối tiếp 3 cổng NOR***

### 2.2.4.2 Kết quả mô phỏng

******

**Hình 2.28. kết quả mô phỏng khi ghép nối tiếp 3 cổng NOR**

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

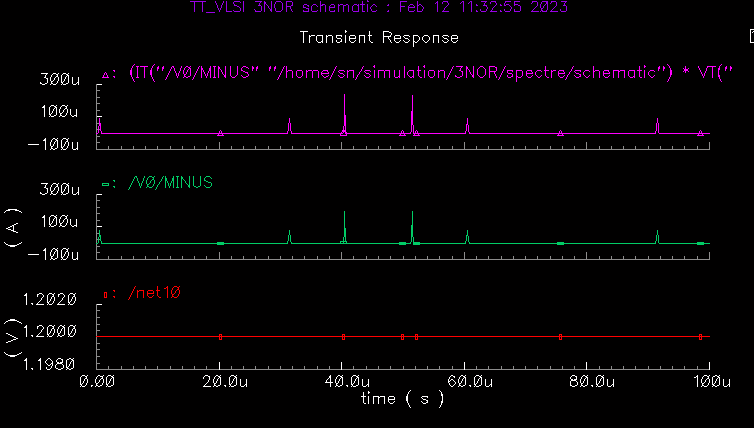
- từ 40u (s) tới 50u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng NOR thứ nhất và thứ 2 thì theo nguyên lý của cổng logic NOR sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng NOR thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng NAND ta cho ra kết quả ngõ ra đúng với bảng trạng thái của cổng OR.

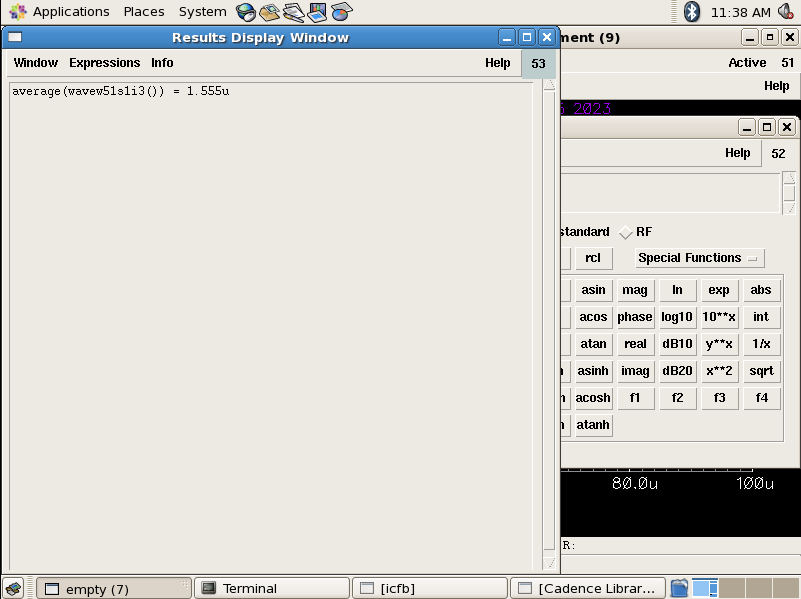
**BẢNG CHÂN TRỊ CỔNG OR**

|  |  |  |
| --- | --- | --- |
| **CỔNG OR** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

### 2.2.4.3 ĐO CÔNG SUẤT CỦA MẠCH

****

***Hình 2.29. Kết quả đo công suất của mạch***

****

***Hình 2.30. Kết quả đo công suất trung binh của 3 cổng NOR***

=> Công suất trung bình của cổng logic NOR là 1.555uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng NOR và 3 cổng NOR** | |
| Mạch 1 cổng NOR | Mạch 3 cổng NOR |
| 1,074uW | 1.555uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng NOR hay 3 cổng NOR thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng NOR sẽ làm tiêu hao công suất hơn 1,5 tới 2 lần so với 1 cổng NOR .

### 2.2.5 KẾT LUẬN

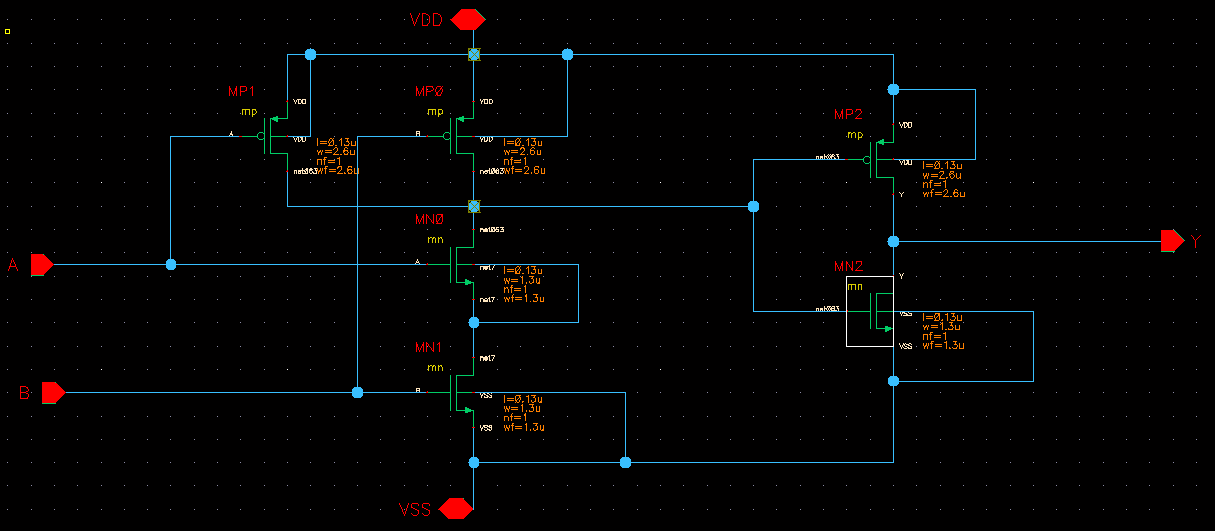
- Qua quá trình thiết kế và mô phỏng cổng logic NOR ta thấy được cổng NOR được tạo thành từ 2 transistor p-Mos mắc nối tiếp kết hợp 2 transistor n-Mos mắc song song. Với ngõ vào A, B và ngõ ra Y thì cổng logic NOR có chức năng thực hiện phép cộng đảo bit 2 số nhị phân. Nghĩa là với 2 ngõ vào mức cao khi qua cổng logic NOR ta sẽ cho ngõ ra ở mức thấp và chỉ cần 1 trong 2 ngõ vào ở mức thấp thì ngõ ra sẽ ở mức cao.

- Khi mắc nối tiếp 3 cổng NOR với nhau thì kết qua mô phỏng cho ta thấy được, khi 1 trong 2 tín hiệu ngõ vào của cổng logic ở mức thấp thì sẽ cho ra kết quả ngõ ra ở mắc thấp, nếu cả 2 tín hiệu ngõ vào ở mức cao thì kết quả ngõ ra sẽ ở mức cao. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng NOR sẽ tạo thành 1 cổng OR. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng NOR sẽ có công suất lớn từ 1,4 tới 2 lần so với mạch 1 cổng NOR.

**CHƯƠNG 3: THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC AND, OR, XOR, XNOR, MUX 4-1**

## THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG AND

### 3.1.1 Sơ đồ nguyên lý



***Hình 3.1. Sơ đồ nguyên lý cổng AND***

- Thông số cài đặt:

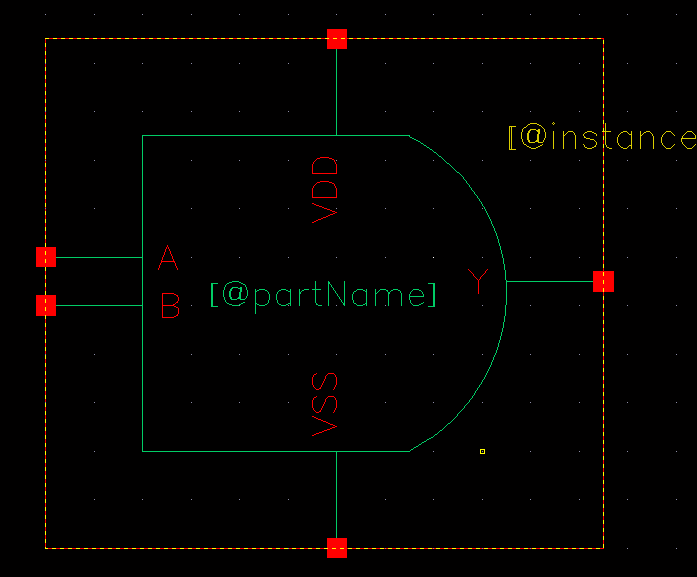
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

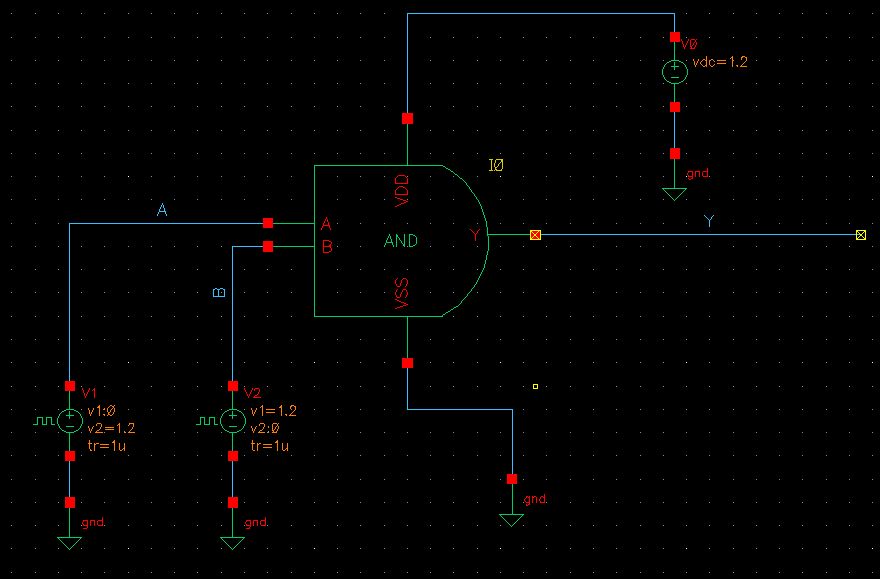
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic AND:**

****

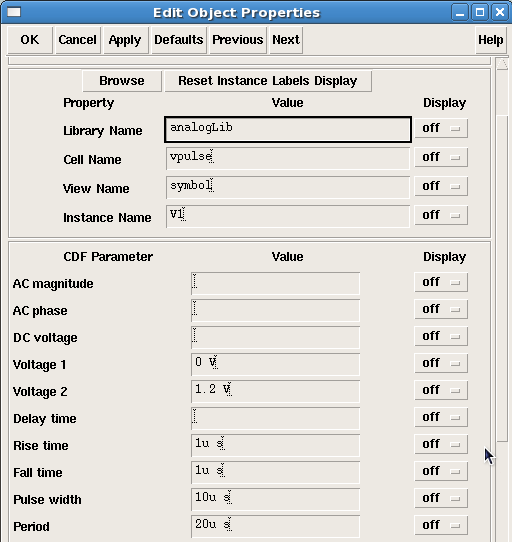
***Hình 3.2. Đóng gói cổng logic AND***

❖ Mô phỏng cổng logic AND:

******

***Hình 3.3. Mô phỏng cổng logic AND***

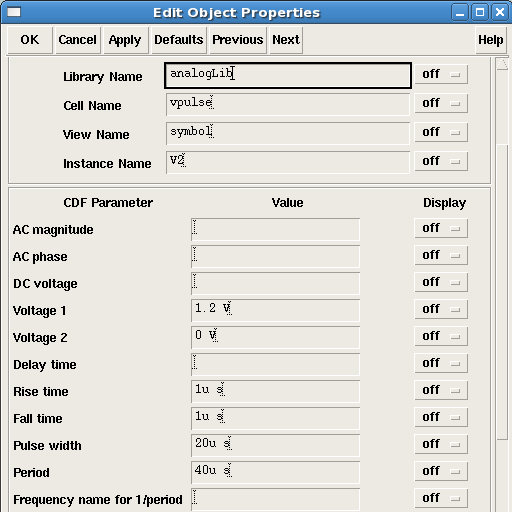
**Thông số:**

******

***Hình 3.4: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .

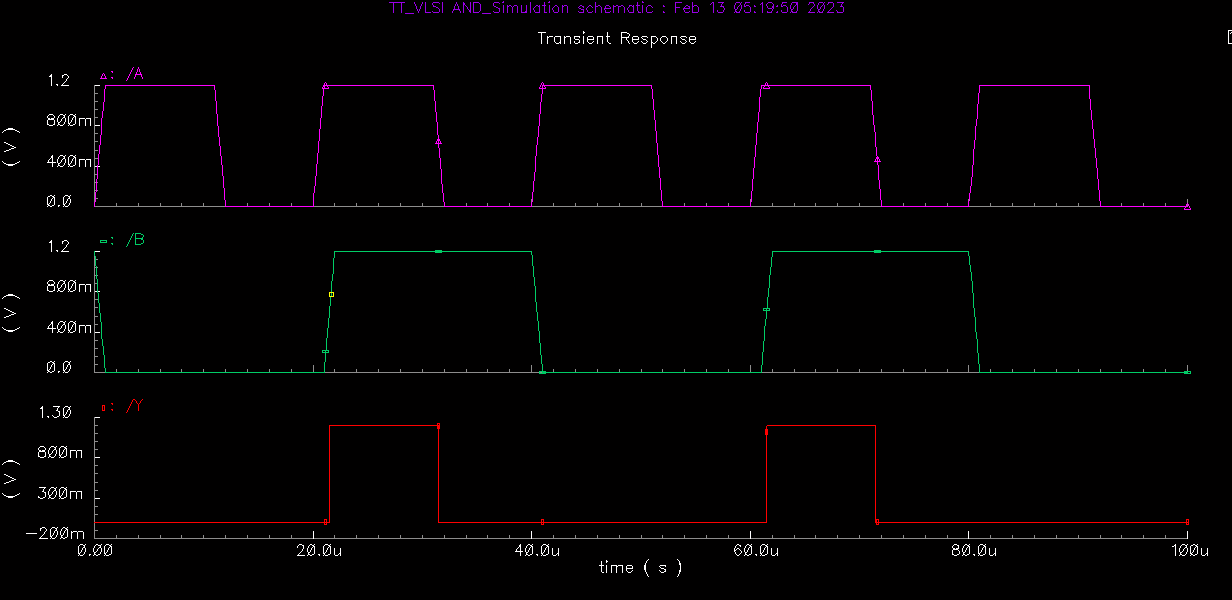


***Hình 3.5: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 20µ s.
* Period (chu kỳ) : 40µ s.
* Period = 2\* pulse width .

**3.1.2 Kết quả mô phỏng**



***Hình 3.6: Kết quả mô phỏng cổng AND***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 30u (s) tới 40u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- **So sánh với bảng trạng thái cổng AND**

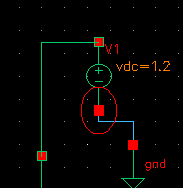
|  |  |  |
| --- | --- | --- |
| **CỔNG AND** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

* ***Kết quả đúng so với bảng chân trị***

## 3.1.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

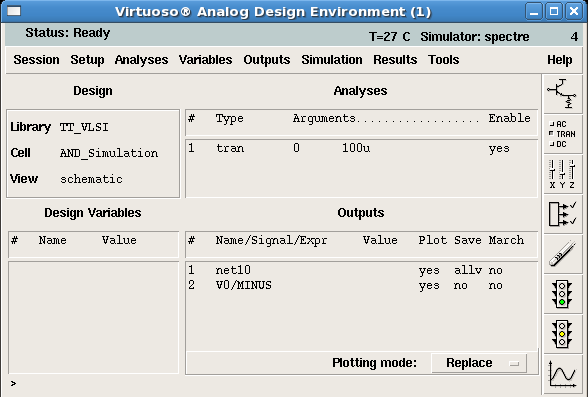
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dòng của Vdd.

**3.1.3.1 Sơ đồ nguyên lý**

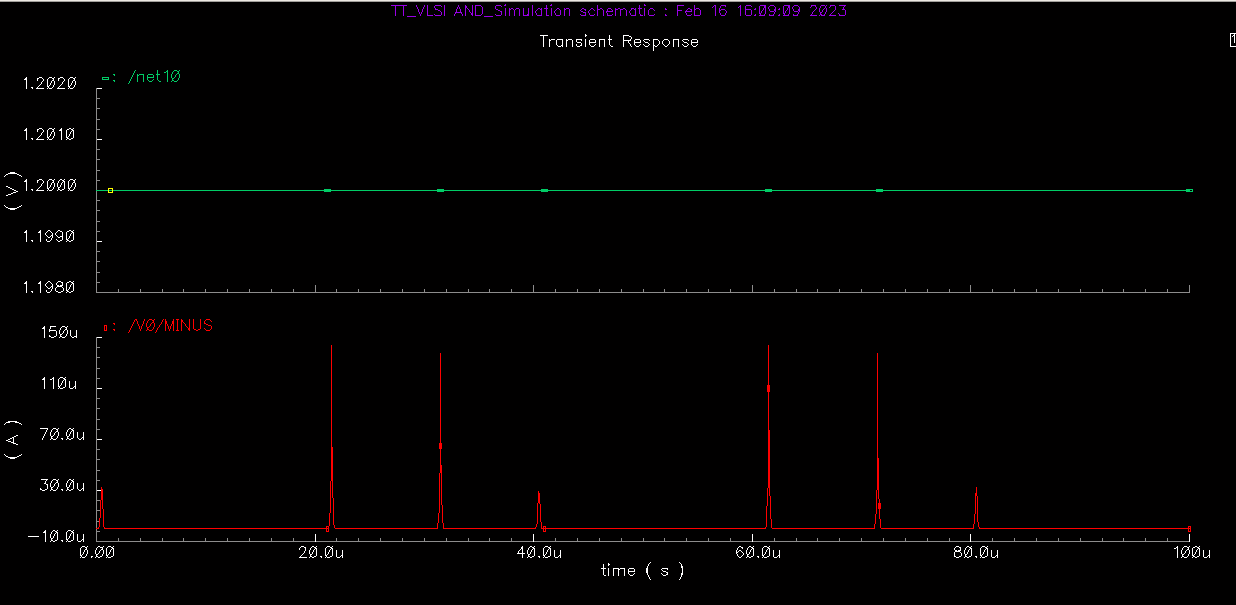


***Hình 3.7 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

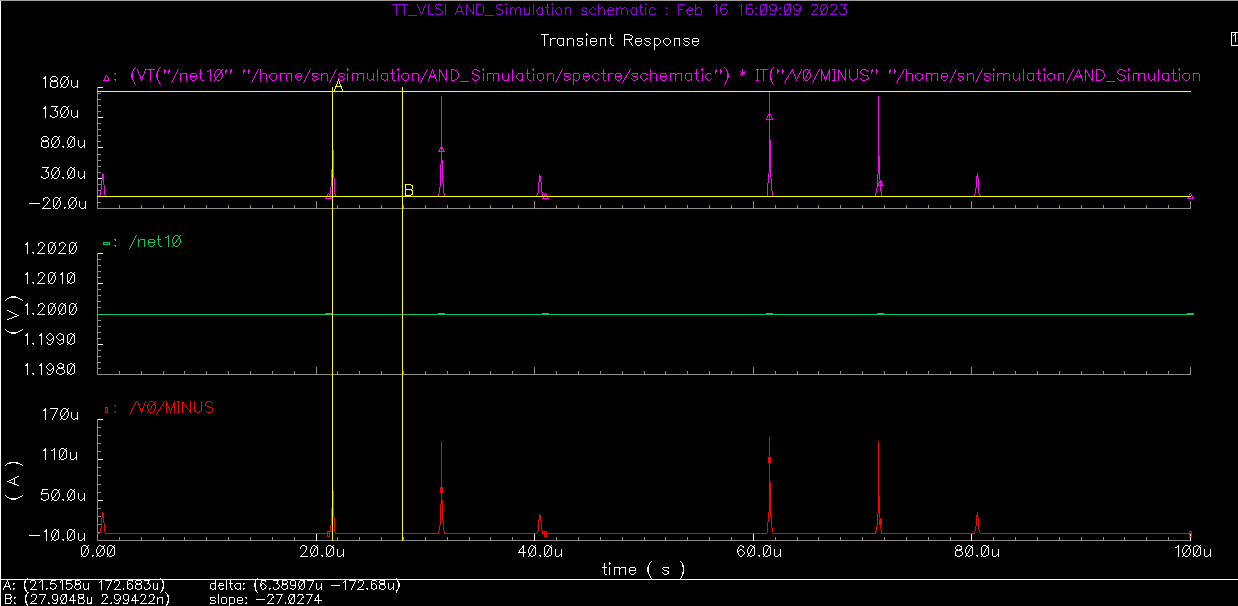
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 3.8: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**3.1.3.2 Kết quả mô phỏng**



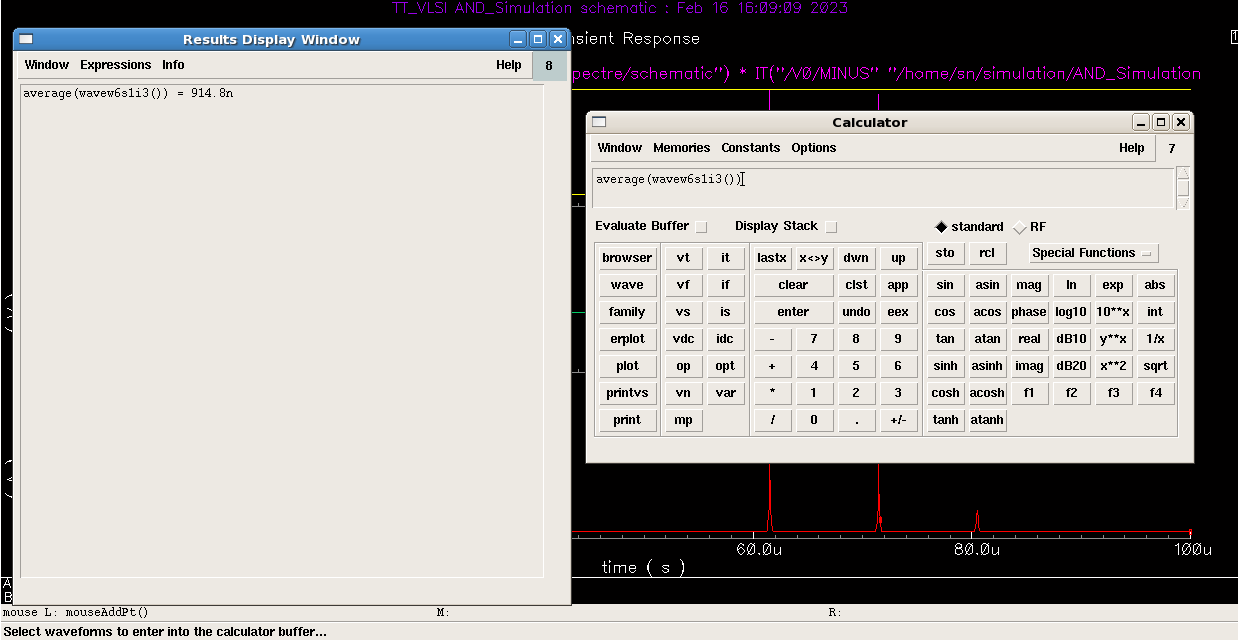
***Hình 3.9: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 3.10: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

**3.1.3.3 Tính công suất trung bình**

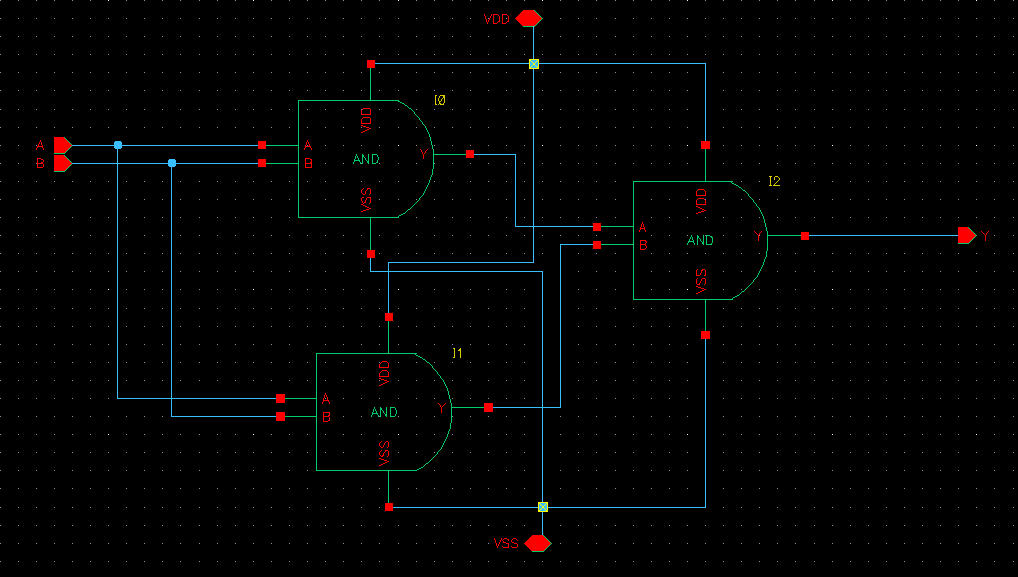
******

***Hình 3.11: Kết quả công suất trung bình cổng AND***

> Công suất trung bình của cổng logic AND là 914.8nW.

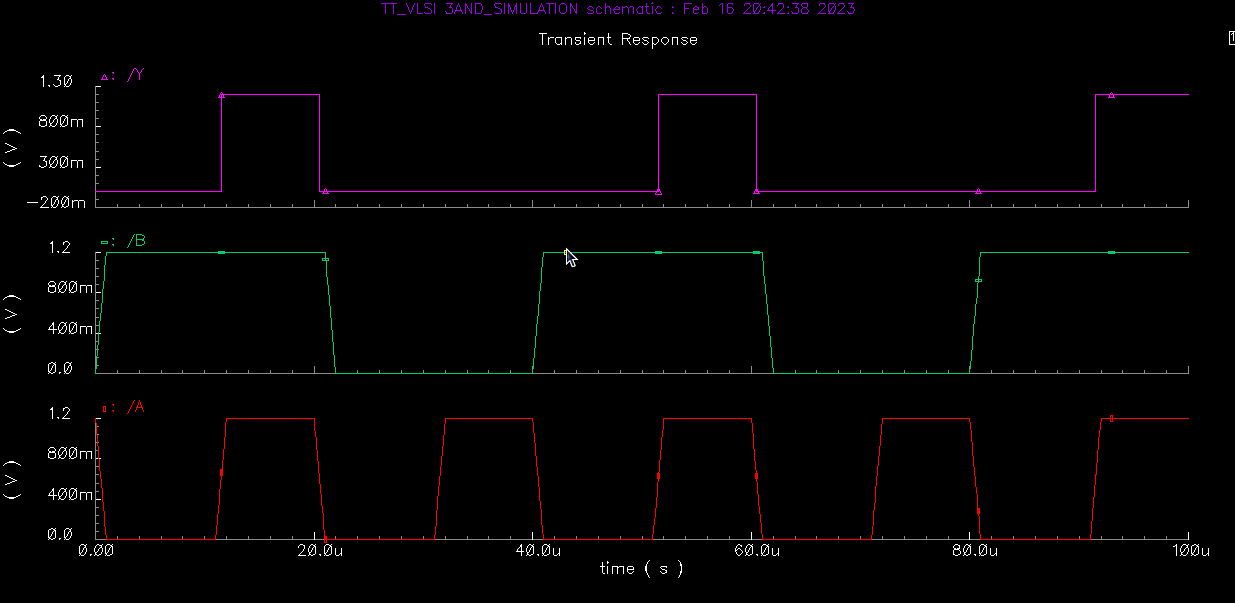
### 3.1.4 GHÉP 3 CỔNG LOGIC AND

### 3.1.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng AND



***Hình 3.12. Ghép nối tiếp 3 cổng AND***

### 3.1.4.2 Kết quả mô phỏng

******

***Hình 3.13. kết quả mô phỏng khi ghép nối tiếp 3 cổng AND***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

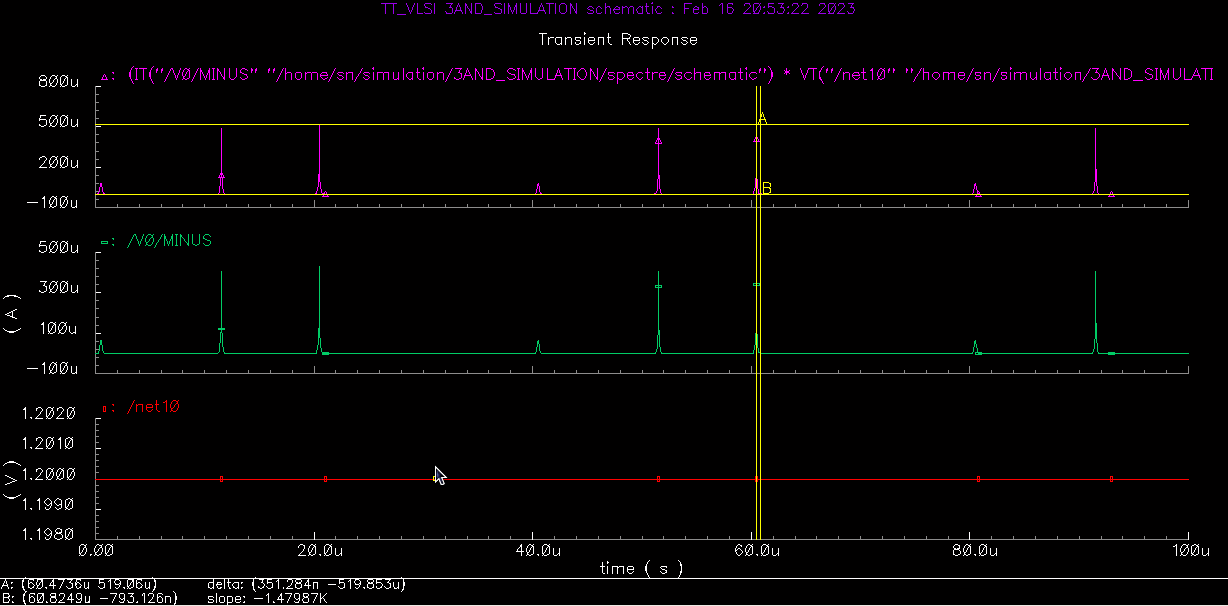
- từ 30u (s) tới 40u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng AND thứ nhất và thứ 2 thì theo nguyên lý của cổng logic AND sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng AND thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng AND ta cho ra kết quả ngõ ra đúng với bảng trạng thái của cổng AND.

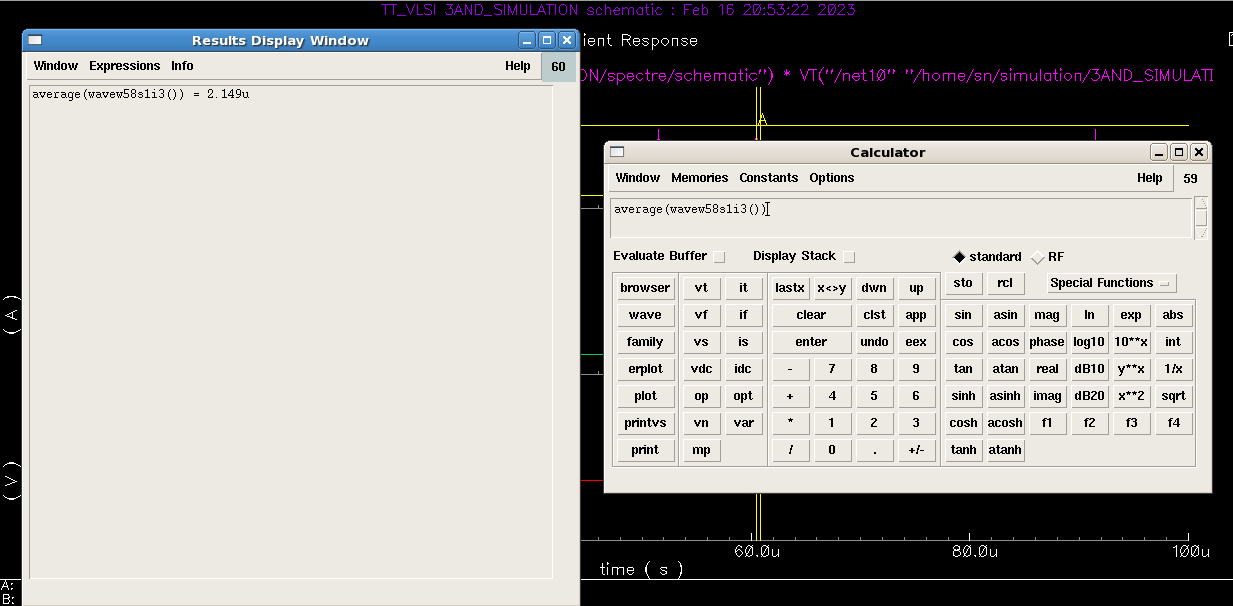
**BẢNG CHÂN TRỊ CỔNG AND**

|  |  |  |
| --- | --- | --- |
| **CỔNG AND** | | |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

### 3.1.4.3 ĐO CÔNG SUẤT CỦA MẠCH

****

***Hình 3.14. Kết quả đo công suất của mạch***

****

***Hình 3.15. Kết quả đo công suất của mạch***

=> Công suất trung bình của cổng logic 3AND là 2.149uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng AND và 3 cổng AND** | |
| Mạch 1 cổng AND | Mạch 3 cổng AND |
| 914.8nW | 2.149uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng AND hay 3 cổng AND thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng AND sẽ làm tiêu hao công suất gấp hơn 2 lần so với 1 cổng AND .

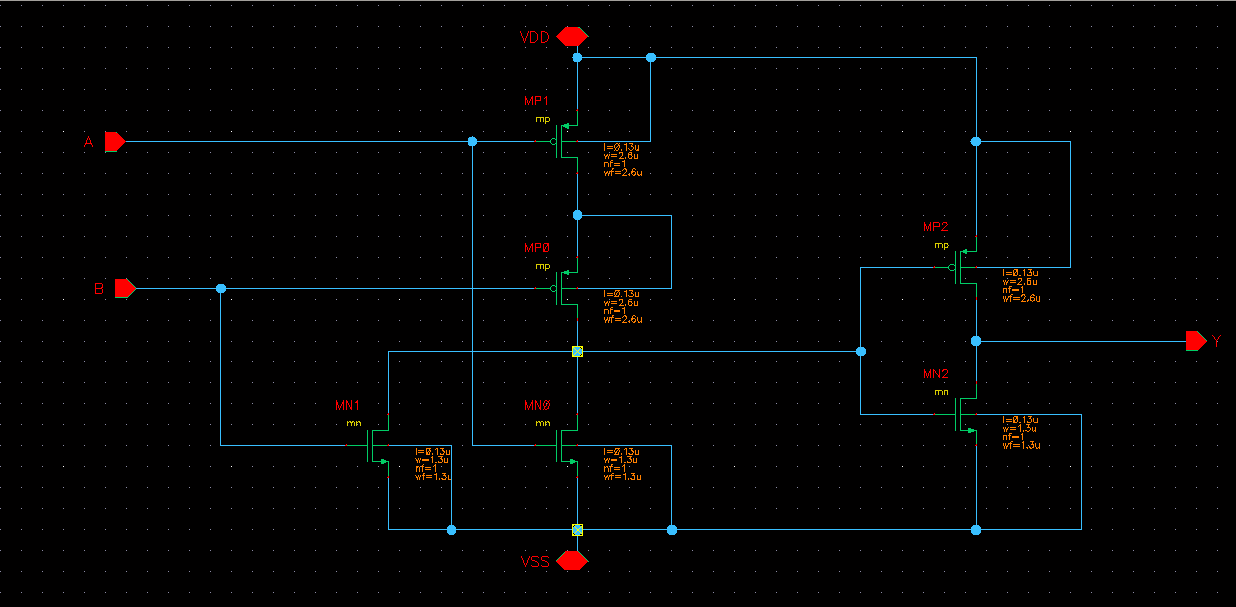
### 3.1.5 KẾT LUẬN

- Qua quá trình thiết kế và mô phỏng cổng logic AND ta thấy được cổng AND được tạo thành từ 2 transistor p-Mos mắc song song kết hợp 2 transistor n-Mos mắc nối tiếp và gắn thêm cổng đảo NOT. Với đầu vào A, B và đầu ra Y thì cổng logic AND thực hiện phép nhân 2 số nhị phân. Nghĩa là với 2 đầu vào mức cao khi qua cổng logic AND ta sẽ cho kết quả đầu ra ở mức cao và chỉ cần 1 trong 2 đầu vào ở mức thấp thì đầu ra sẽ ở mức thấp.

- Khi mắc nối tiếp 3 cổng AND với nhau thì kết qua mô phỏng cho ta thấy được, khi 1 trong 2 ngõ vào của cổng logic ở mức thấp thì sẽ cho ra ngõ ra ở mức thấp, nếu cả 2 ngõ vào ở mức cao thì kết quả ngõ ra sẽ ở mức cao. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng AND sẽ tạo thành 1 cổng AND. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng AND sẽ có công suất lớn gấp 2 lần hoặc hơn so với mạch 1 cổng AND.

## 3.2 THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG OR

### 3.2.1 Sơ đồ nguyên lý



***Hình 3.16. Sơ đồ nguyên lý cổng OR***

- Thông số cài đặt:

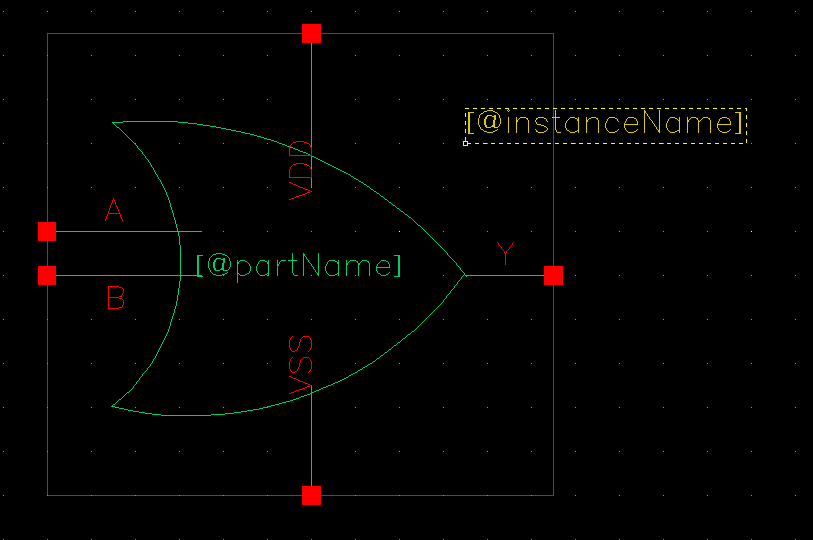
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

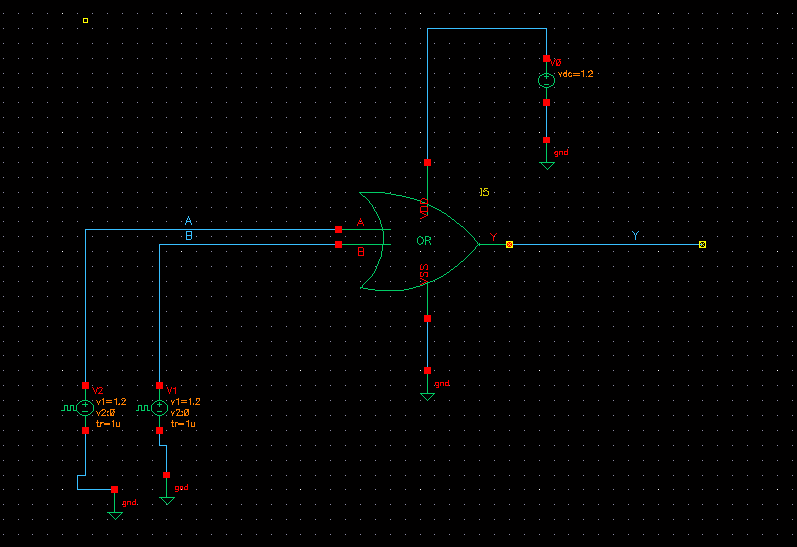
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic OR:**

****

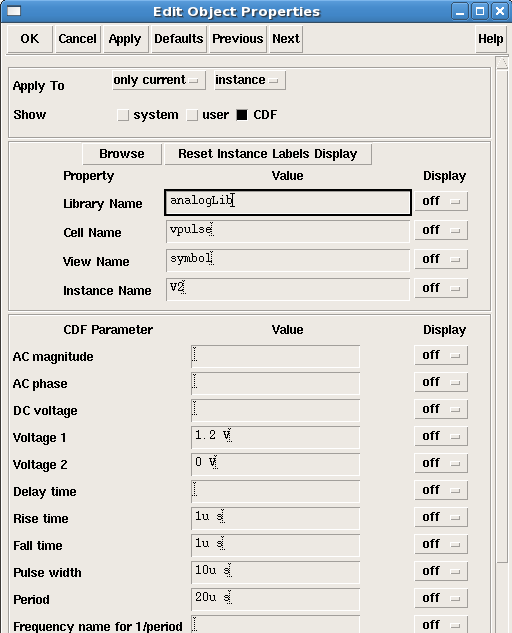
***Hình 3.17. Đóng gói cổng logic OR***

❖ Mô phỏng cổng logic OR:

******

***Hình 3.18. Mô phỏng cổng logic OR***

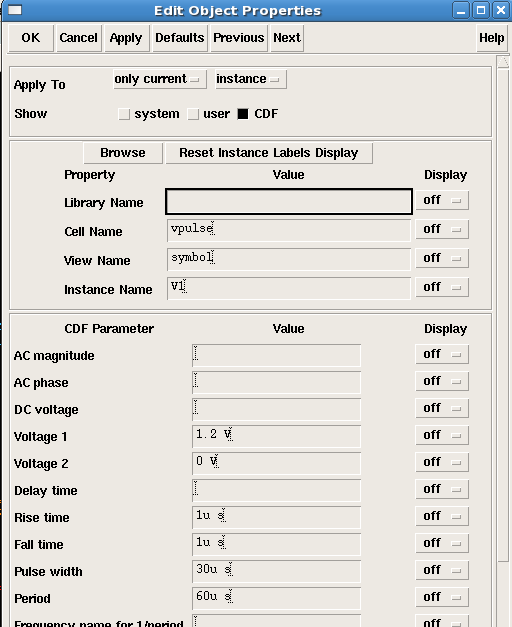
# Thông số:

******

***Hình 3.19: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width.

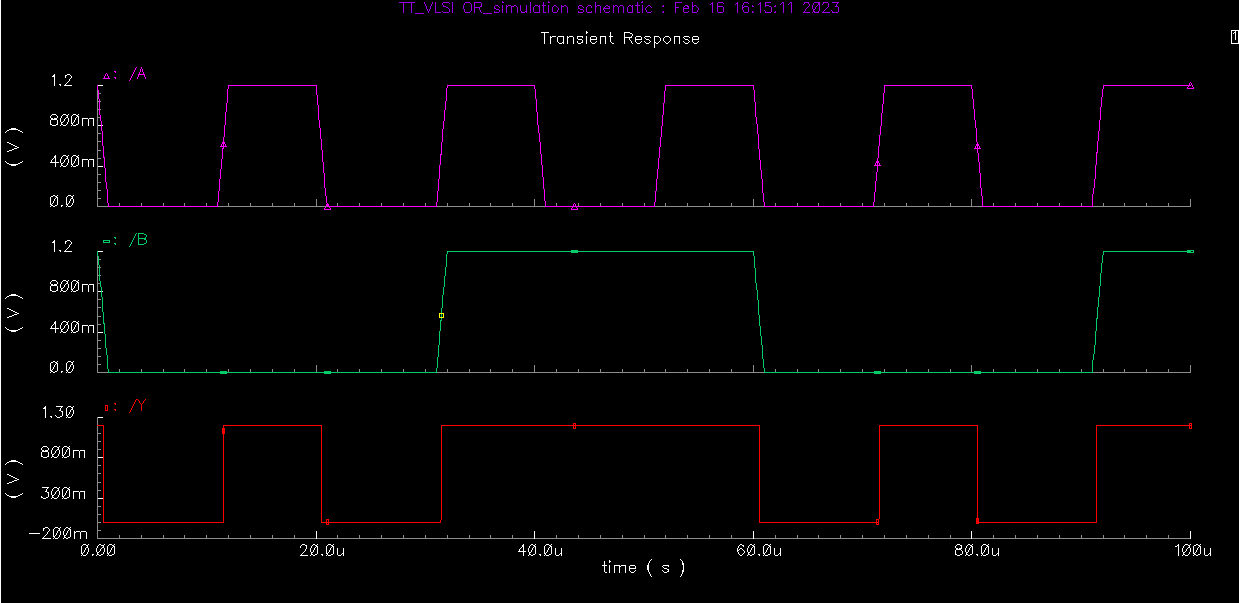


***Hình 3.20: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 30µ s.
* Period (chu kỳ) : 60µ s.
* Period = 2\* pulse width.

### 3.2.2 Kết quả mô phỏng



***Hình 3.21: Kết quả mô phỏng cổng OR***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 40u (s) tới 50u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 30u (s) tới 40u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V

- **So sánh với bảng trạng thái cổng OR**

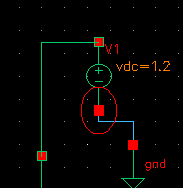
|  |  |  |
| --- | --- | --- |
| **CỔNG OR** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

* ***Kết quả đúng so với bảng chân trị .***

## TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

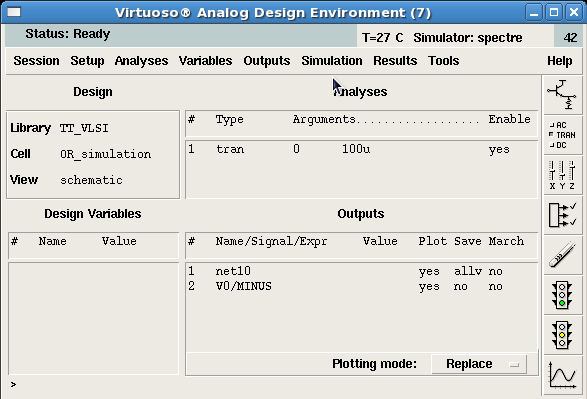
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd.

### 3.2.3.1 Sơ đồ nguyên lý

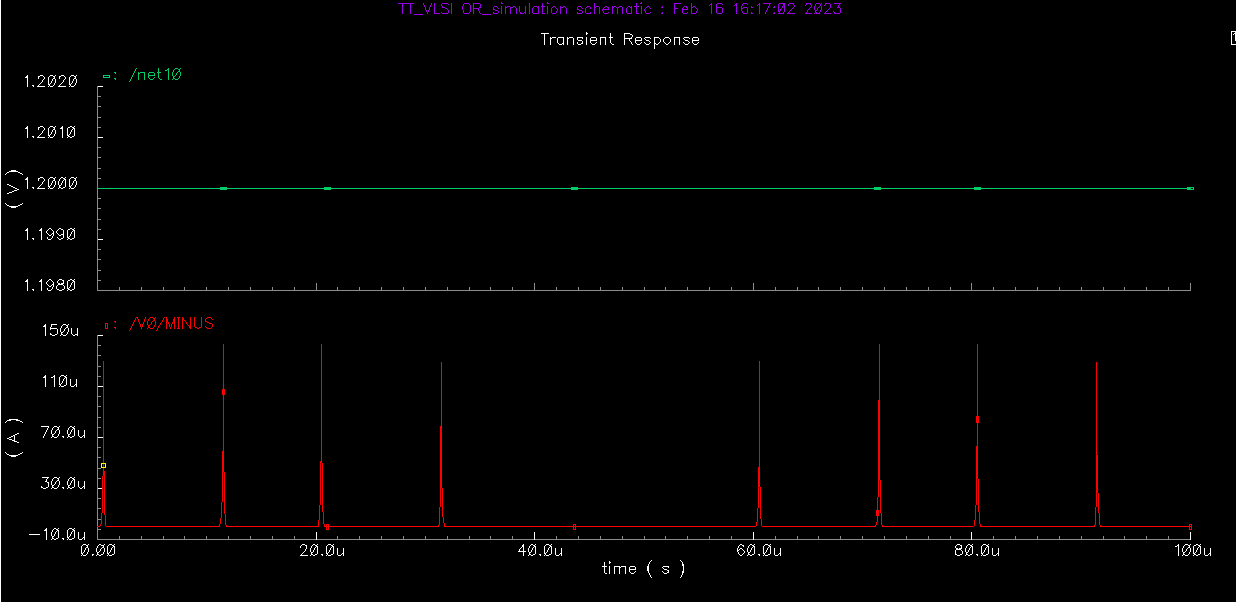


***Hình 3.22 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

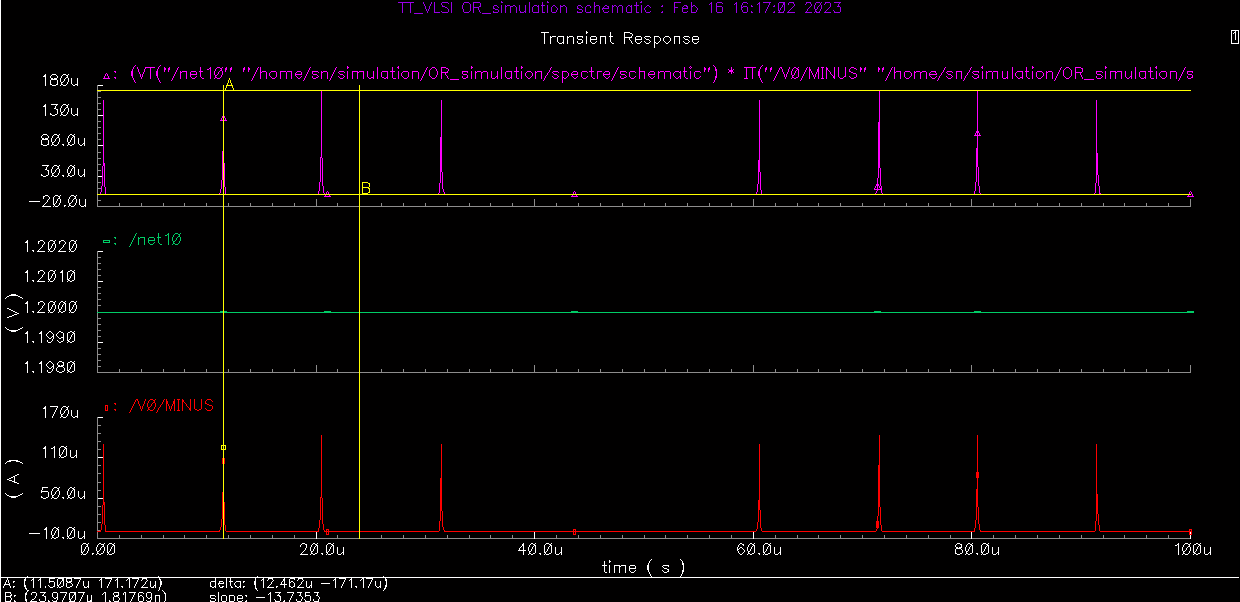
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 3.23: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

### 3.2.3.2 Kết quả mô phỏng



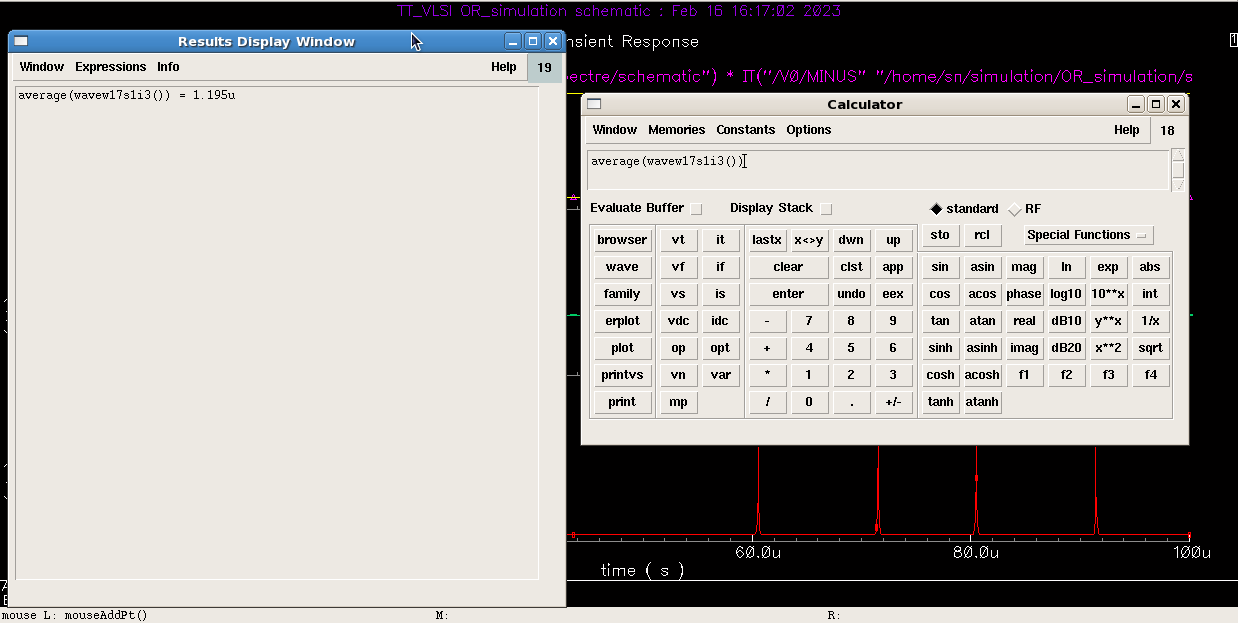
***Hình 3.24: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 3.25: Kết quả mô phỏng công suất tức thời cổng OR***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

### Tính công suất trung bình

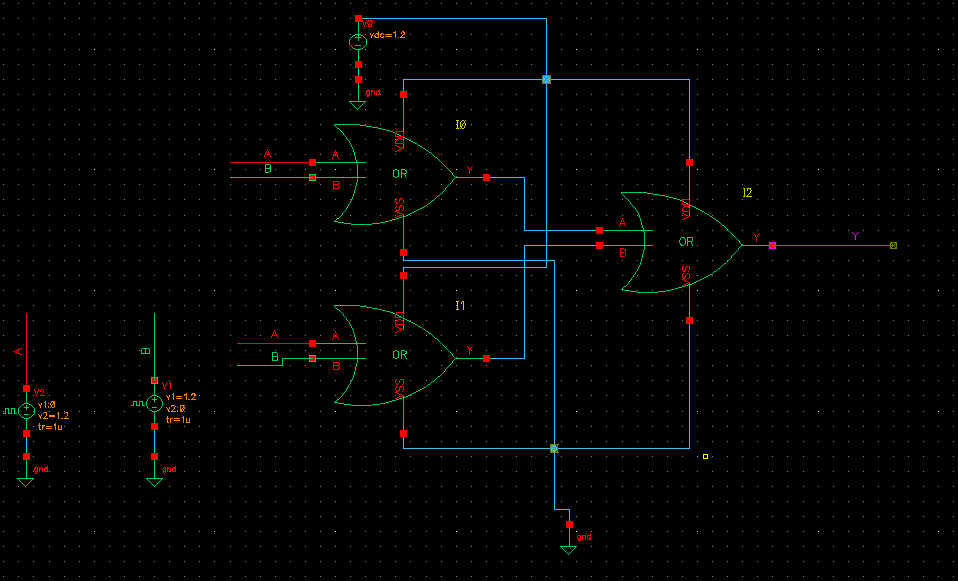
******

***Hình 3.26: Kết quả công suất trung bình cổng OR***

> Công suất trung bình của cổng logic OR là 1.195uW.

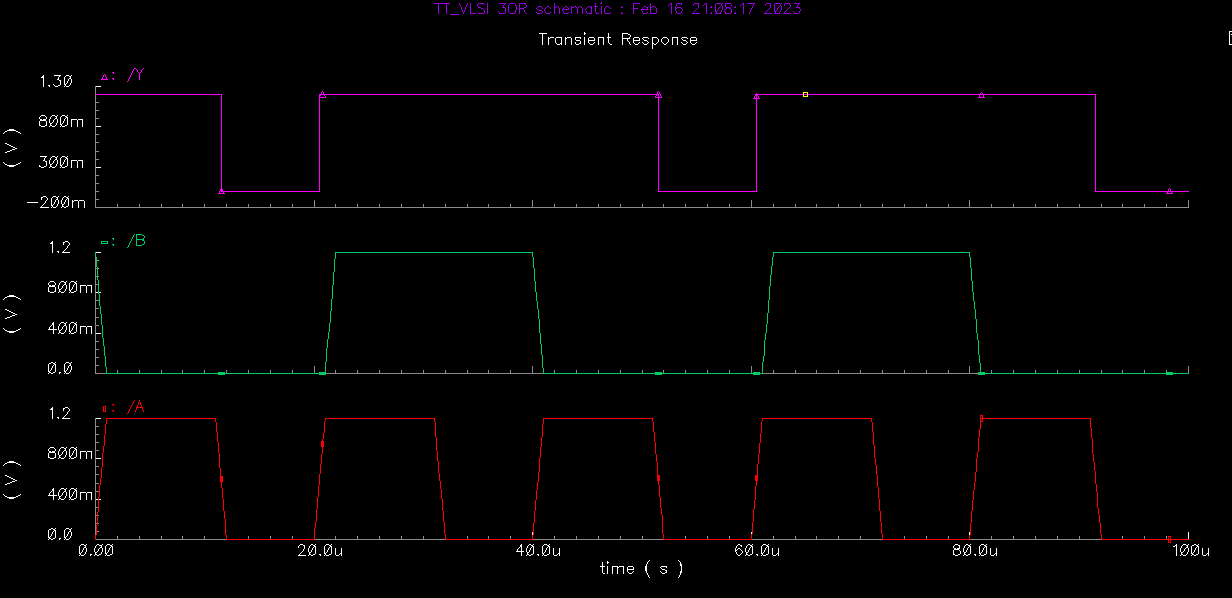
## GHÉP 3 CỔNG LOGIC OR

### 3.2.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng OR



***Hình 3.27. Ghép nối tiếp 3 cổng OR***

### 3.2.4.2 Kết quả mô phỏng

******

**Hình 3.28. kết quả mô phỏng khi ghép nối tiếp 3 cổng OR**

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

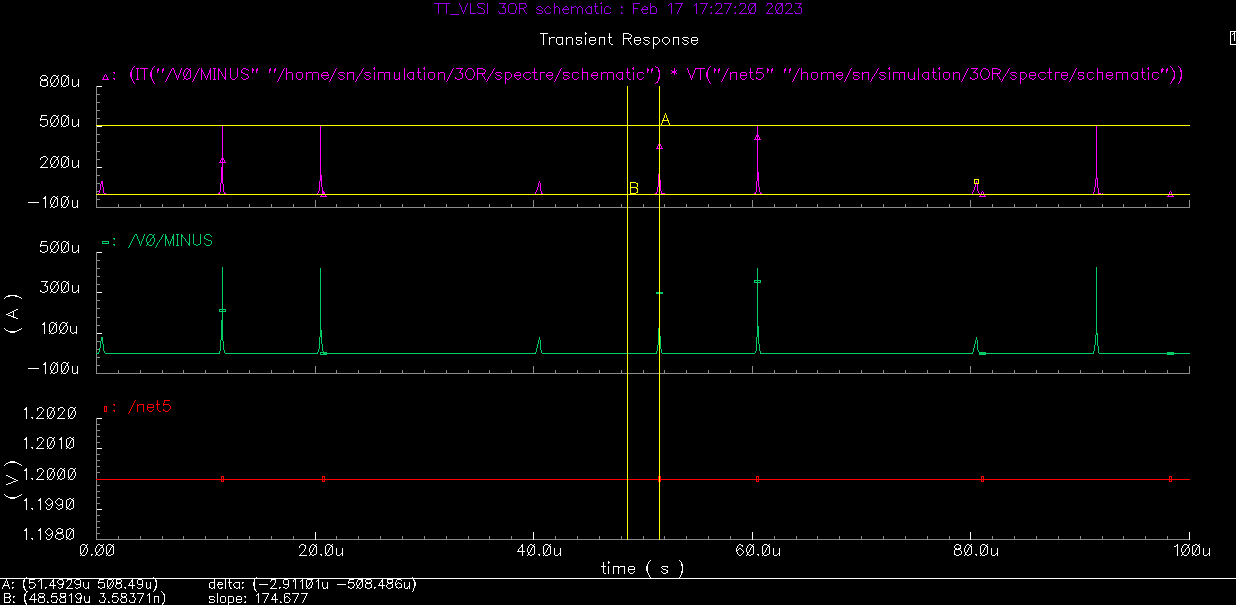
- từ 40u (s) tới 50u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng OR thứ nhất và thứ 2 thì theo nguyên lý của cổng logic OR sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng OR thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng OR ta cho ra kết quả ngõ ra đúng với bảng trạng thái của cổng OR.

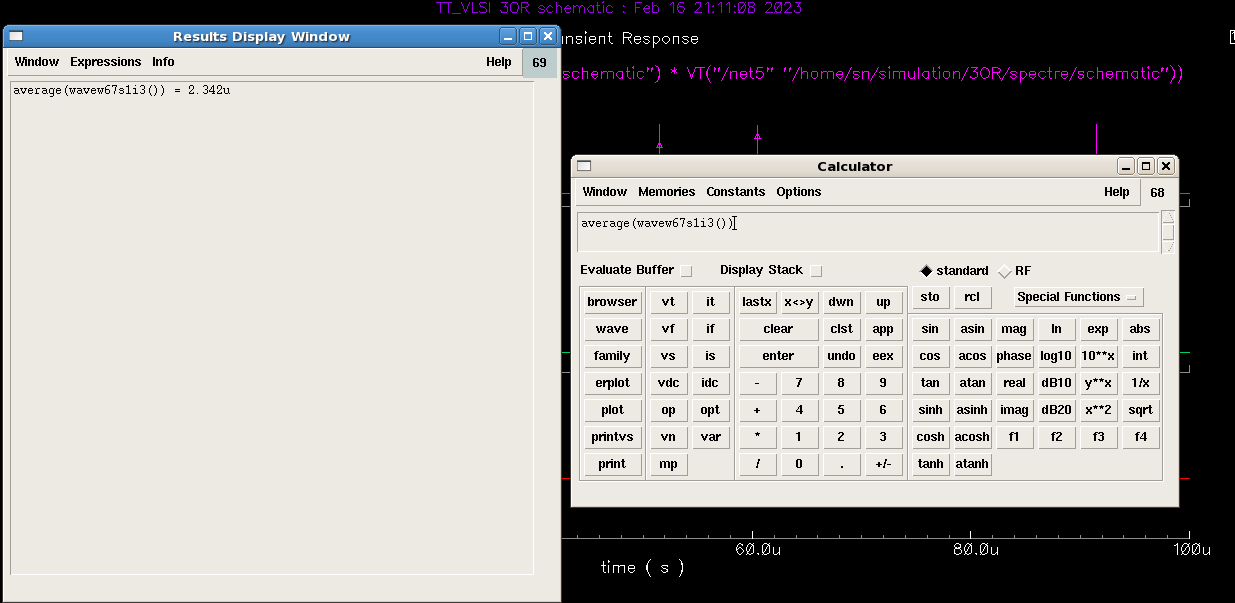
**BẢNG CHÂN TRỊ CỔNG OR**

|  |  |  |
| --- | --- | --- |
| **CỔNG OR** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

**ĐO CÔNG SUẤT CỦA MẠCH**

****

***Hình 3.29. Kết quả đo công suất của mạch***

****

***Hình 3.30. Kết quả đo công suất trung binh của 3 cổng OR***

=> Công suất trung bình của cổng logic OR là 2.342uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng OR và 3 cổng OR** | |
| Mạch 1 cổng OR | Mạch 3 cổng OR |
| 1,195uW | 2.342uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng OR hay 3 cổng OR thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng OR sẽ làm tiêu hao công suất hơn 2 lần so với 1 cổng OR .

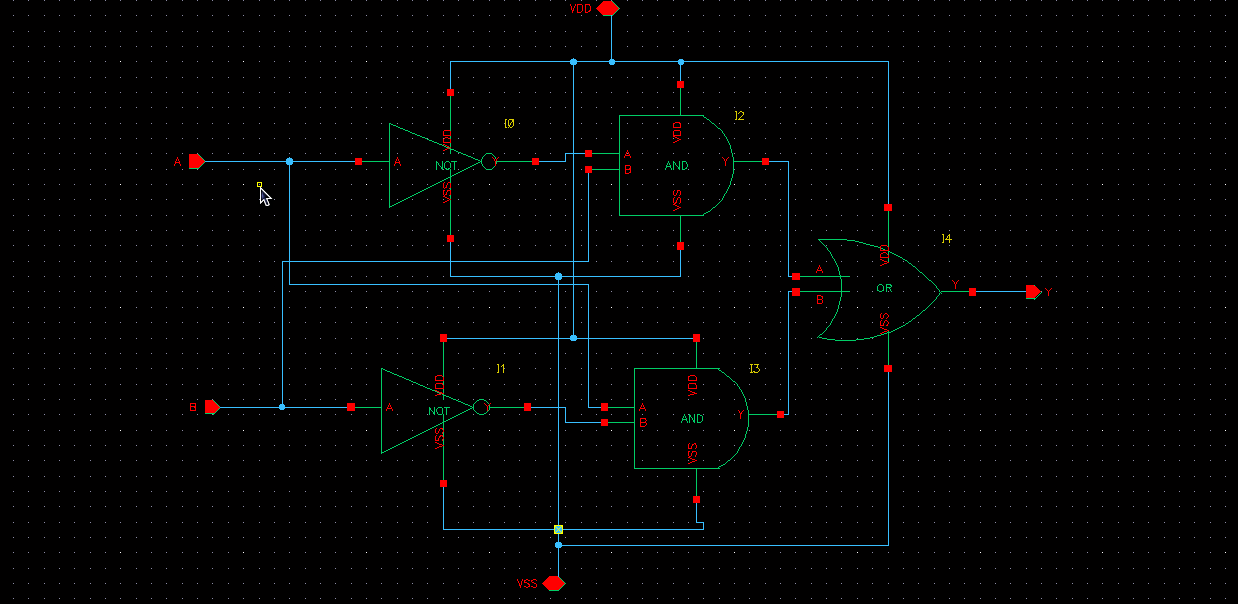
## KẾT LUẬN

- Qua quá trình thiết kế và mô phỏng cổng logic OR ta thấy được cổng OR được tạo thành từ 2 transistor p-Mos mắc nối tiếp kết hợp 2 transistor n-Mos mắc song song thêm cổng đảo NOT. Với ngõ vào A, B và ngõ ra Y thì cổng logic OR có chức năng thực hiện phép cộng 2 số nhị phân. Nghĩa là với 2 ngõ vào mức cao khi qua cổng logic OR ta sẽ cho ngõ ra ở mức cao và chỉ cần 1 trong 2 ngõ vào ở mức cao thì ngõ ra sẽ ở mức cao, khi cả 2 ngõ vào mức thấp thì ngõ ra Y là ở mức thấp.

- Khi mắc nối tiếp 3 cổng OR với nhau thì kết qua mô phỏng cho ta thấy được, khi 1 trong 2 tín hiệu ngõ vào của cổng logic ở mức cao thì sẽ cho ra kết quả ngõ ra ở mắc cao, nếu cả 2 tín hiệu ngõ vào ở mức cao thì kết quả ngõ ra sẽ ở mức cao, nếu cả 2 tín hiệu ngõ vào ở mức cao thì kết quả ngõ ra sẽ ở mức cao, khi cả 2 ngõ vào mức thấp thì ngõ ra Y là ở mức thấp. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng OR sẽ tạo thành 1 cổng OR. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng OR sẽ có công suất lớn 2 lần so với mạch 1 cổng OR.

* 1. **THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG XOR**

### 3.3.1 Sơ đồ nguyên lý



***Hình 3.31. Sơ đồ nguyên lý cổng XOR***

- Thông số cài đặt:

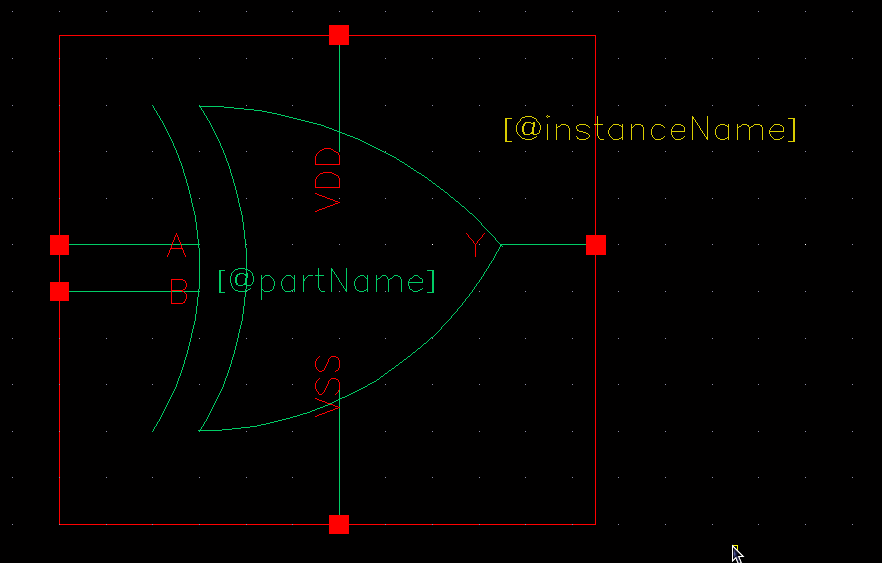
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

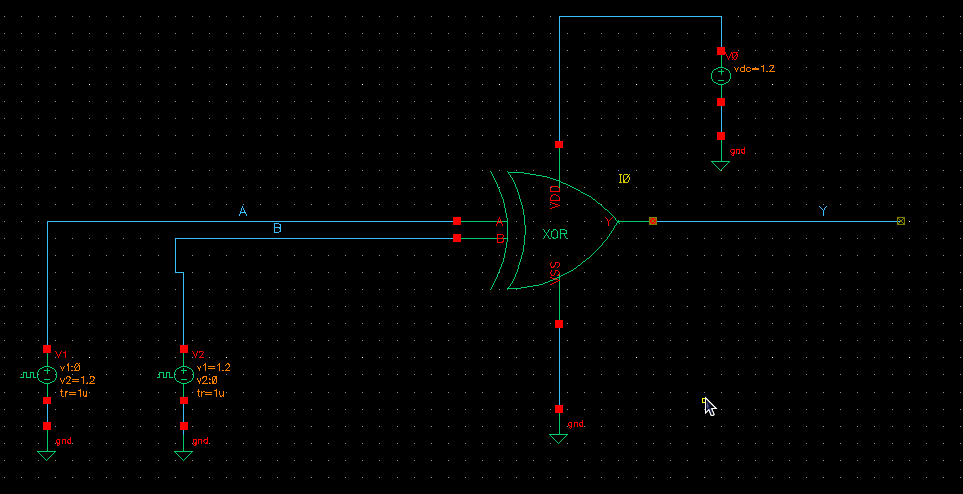
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic XOR:**

****

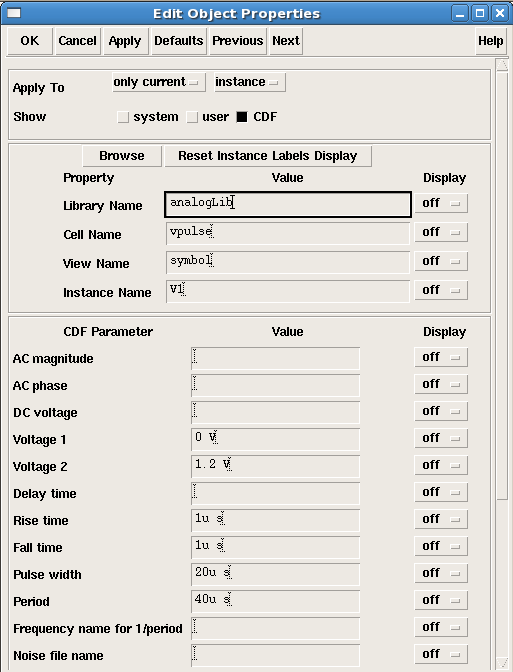
***Hình 3.32. Đóng gói cổng logic XOR***

❖ Mô phỏng cổng logic XOR:

******

***Hình 3.33. Mô phỏng cổng logic XOR***

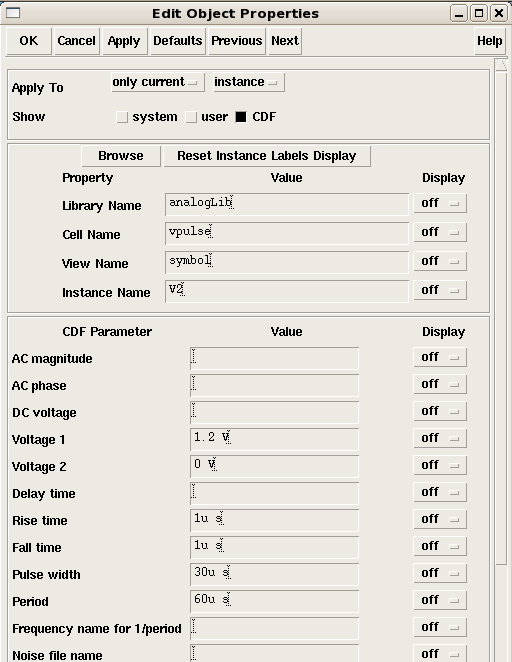
# Thông số:

******

***Hình 3.34: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 20µ s.
* Period (chu kỳ) : 40µ s.
* Period = 2\* pulse width.

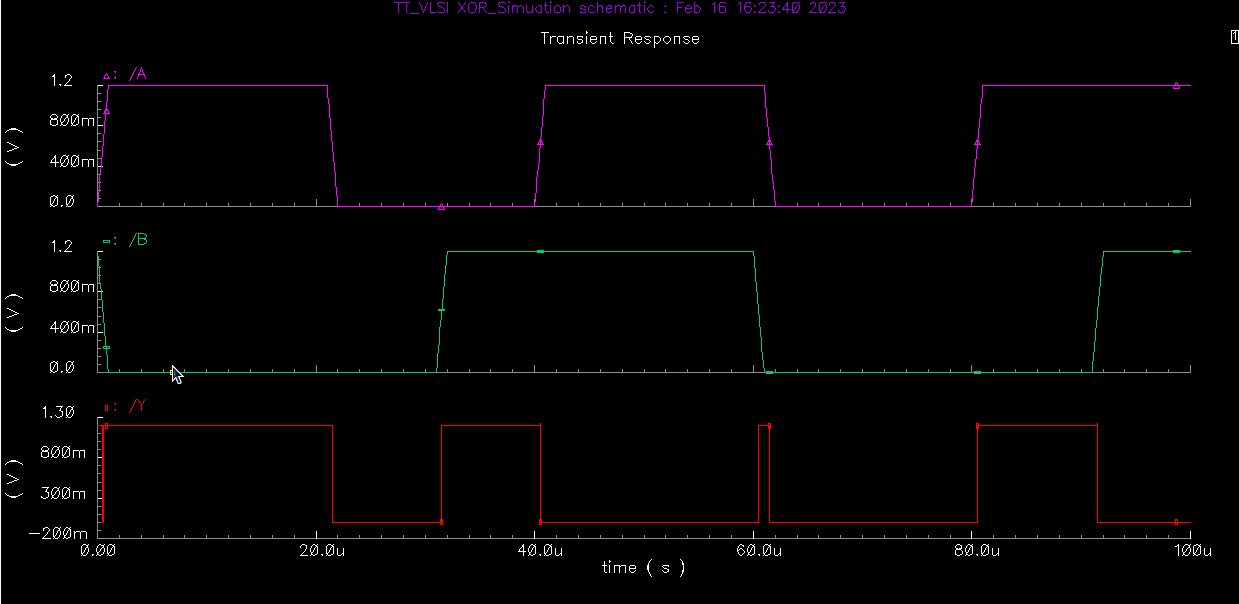


***Hình 3.35: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 30µ s.
* Period (chu kỳ) : 60µ s.
* Period = 2\* pulse width.

### 3.3.2 Kết quả mô phỏng



***Hình 3.36: Kết quả mô phỏng cổng XOR***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 30u (s) tới 40u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 40u (s) tới 50u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- **So sánh với bảng trạng thái cổng XOR**

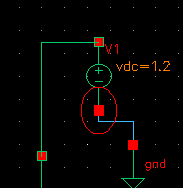
|  |  |  |
| --- | --- | --- |
| **CỔNG XOR** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

* ***Kết quả đúng so với bảng chân trị .***

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

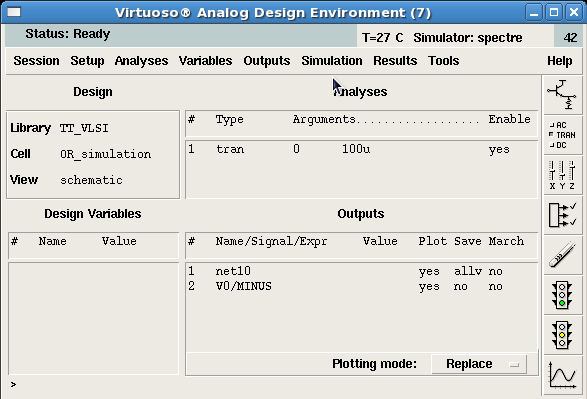
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd.

### 3.3.3.1 Sơ đồ nguyên lý

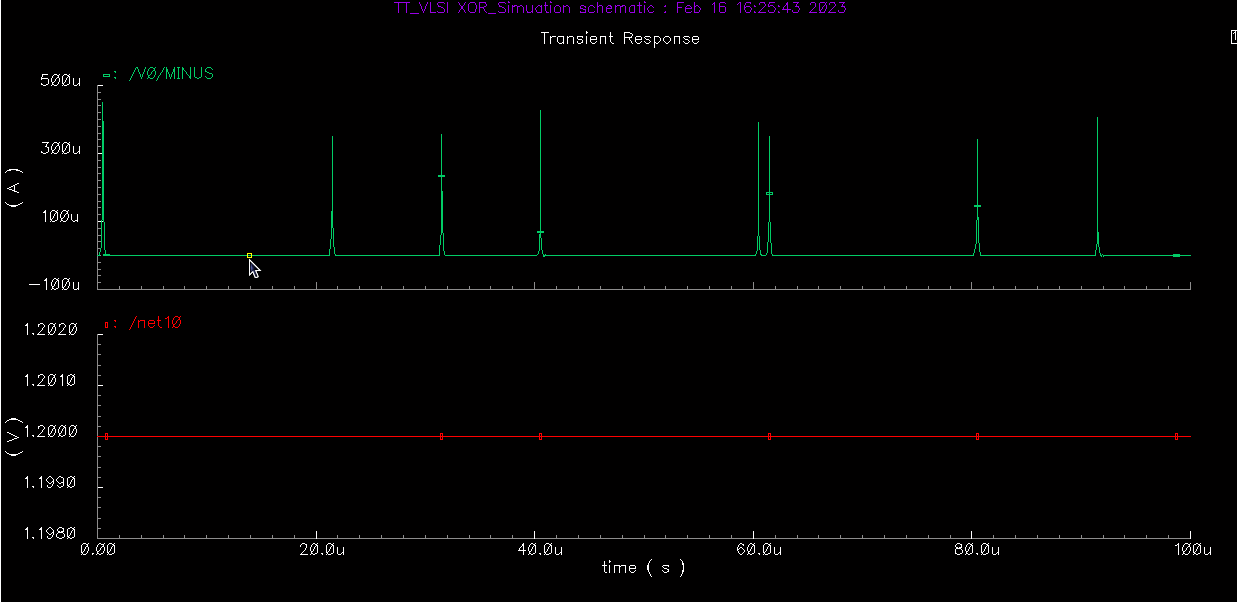


***Hình 3.37 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

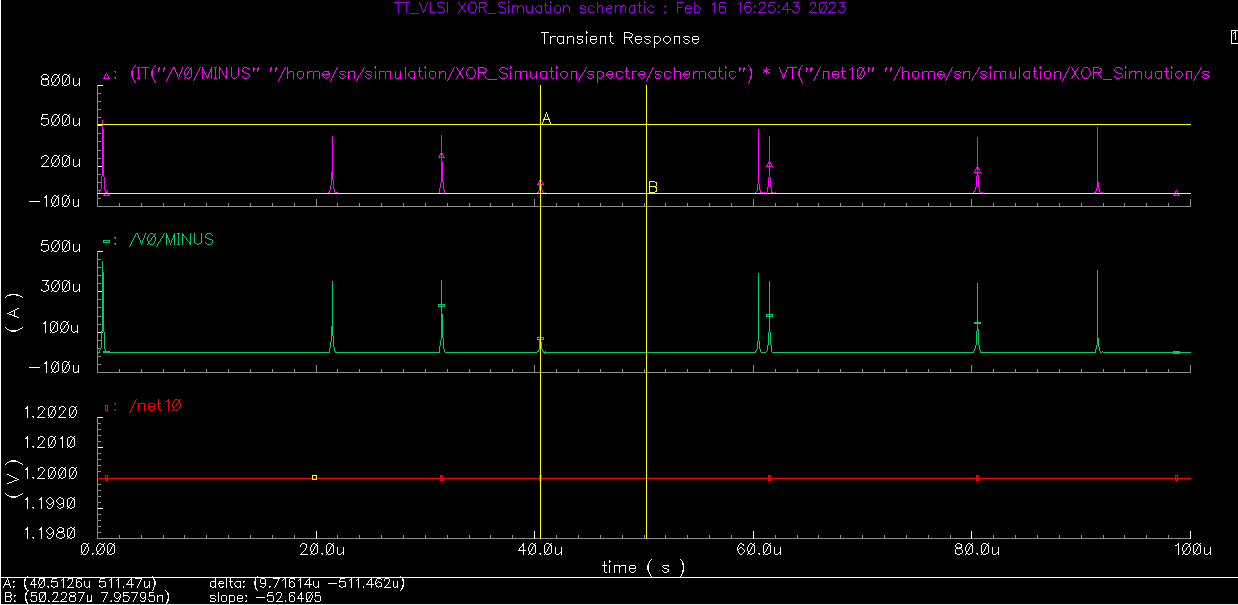
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 3.38: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

### 3.3.3.2 Kết quả mô phỏng



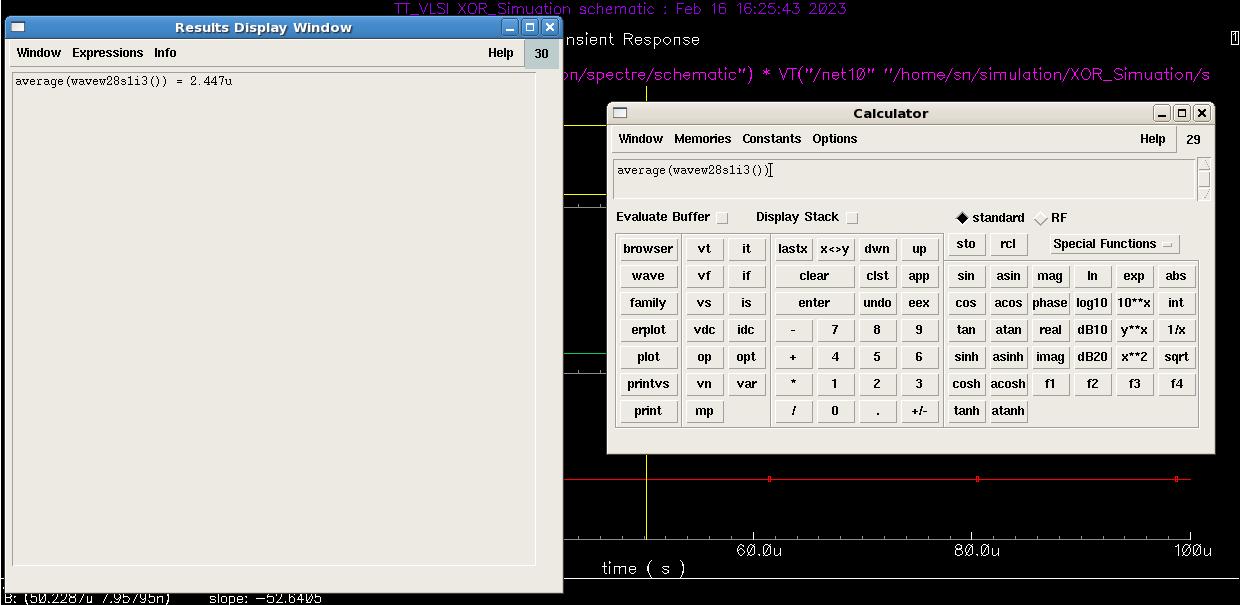
***Hình 3.39: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 3.40: Kết quả mô phỏng công suất tức thời cổng XOR***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

### Tính công suất trung bình

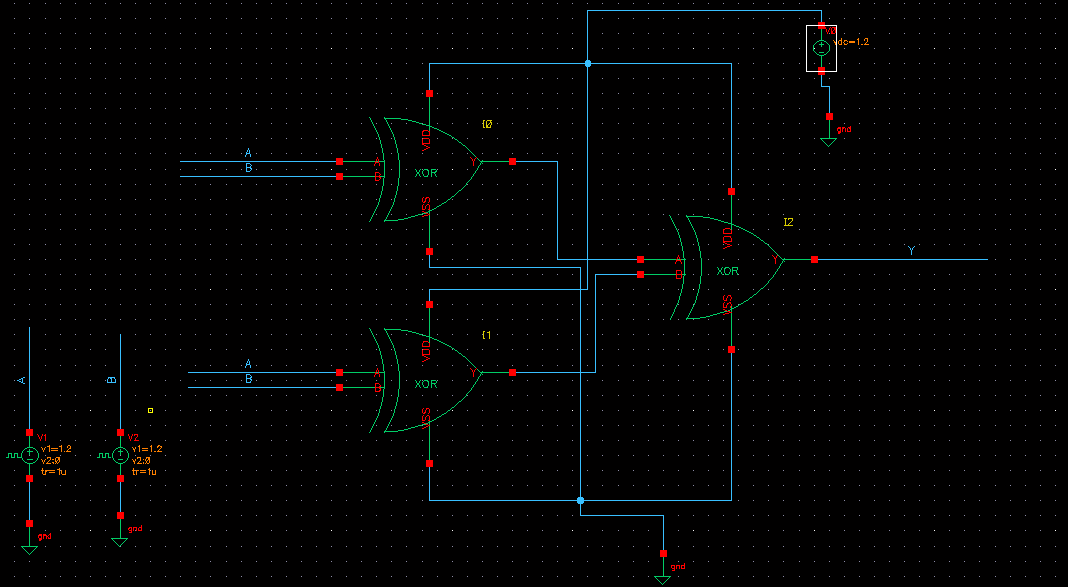
******

***Hình 3.41: Kết quả công suất trung bình cổng XOR***

> Công suất trung bình của cổng logic XOR là 1.074uW

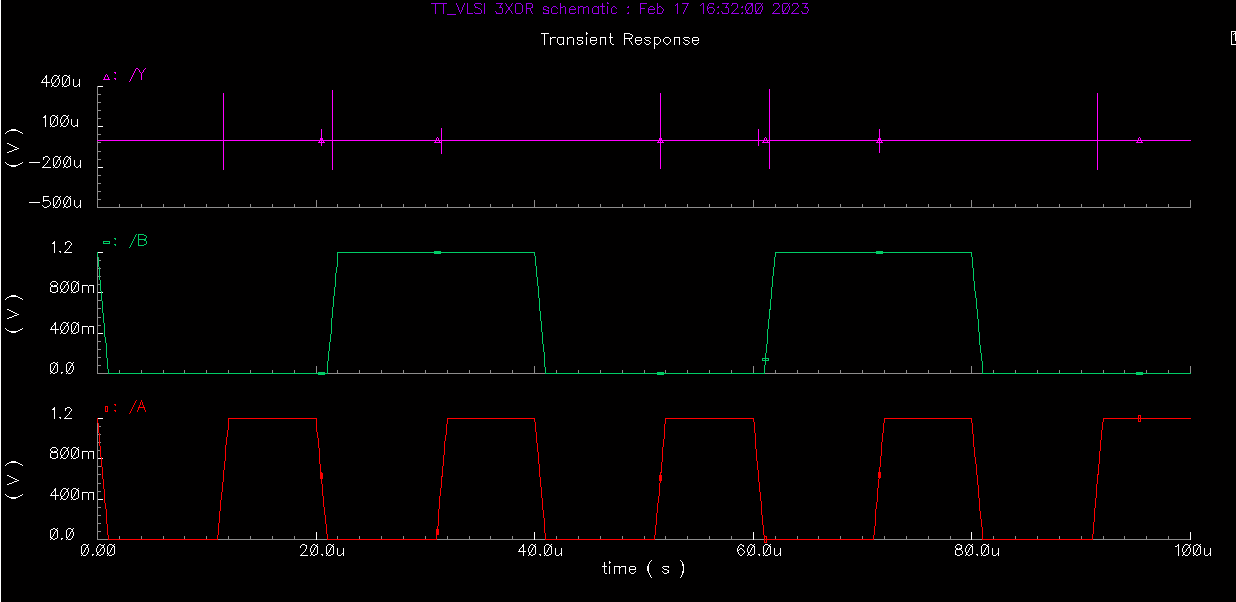
### GHÉP 3 CỔNG LOGIC XOR

### 3.3.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng XOR



***Hình 3.42. Ghép nối tiếp 3 cổng XOR***

### 3.3.4.2 Kết quả mô phỏng

******

***Hình 3.43. kết quả mô phỏng khi ghép nối tiếp 3 cổng XOR***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

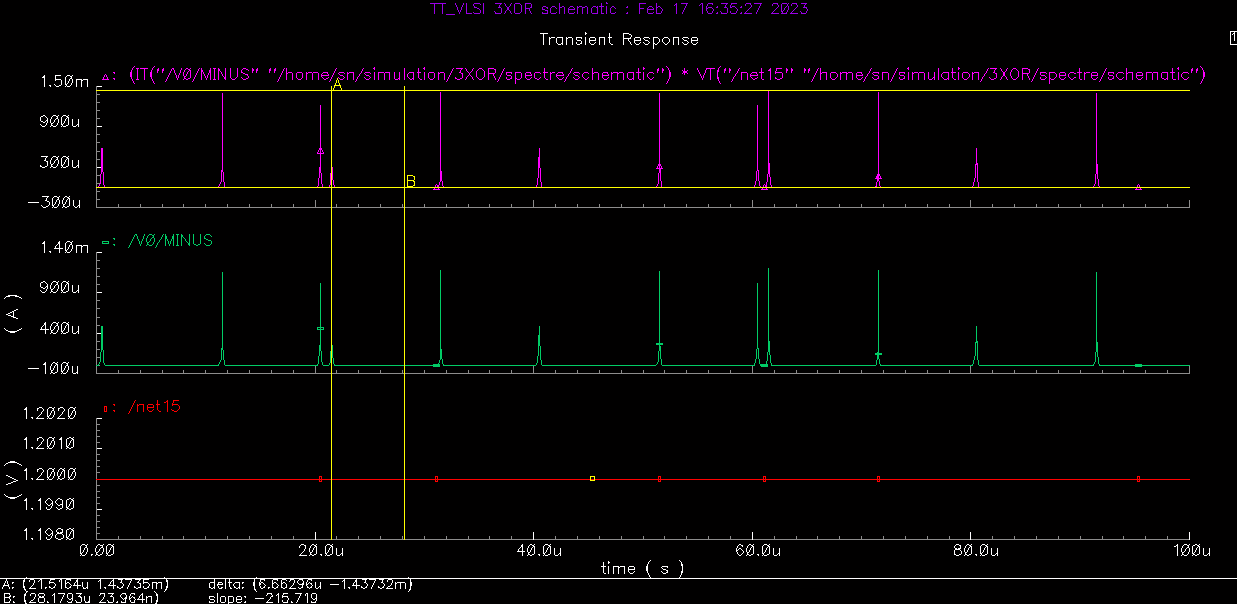
- từ 40u (s) tới 50u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng XOR thứ nhất và thứ 2 thì theo nguyên lý của cổng logic XOR sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng XOR thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng XOR thì ngõ ra lúc nào cũng mức thấp bất cứ giá trị ngõ vào là bao nhiêu.

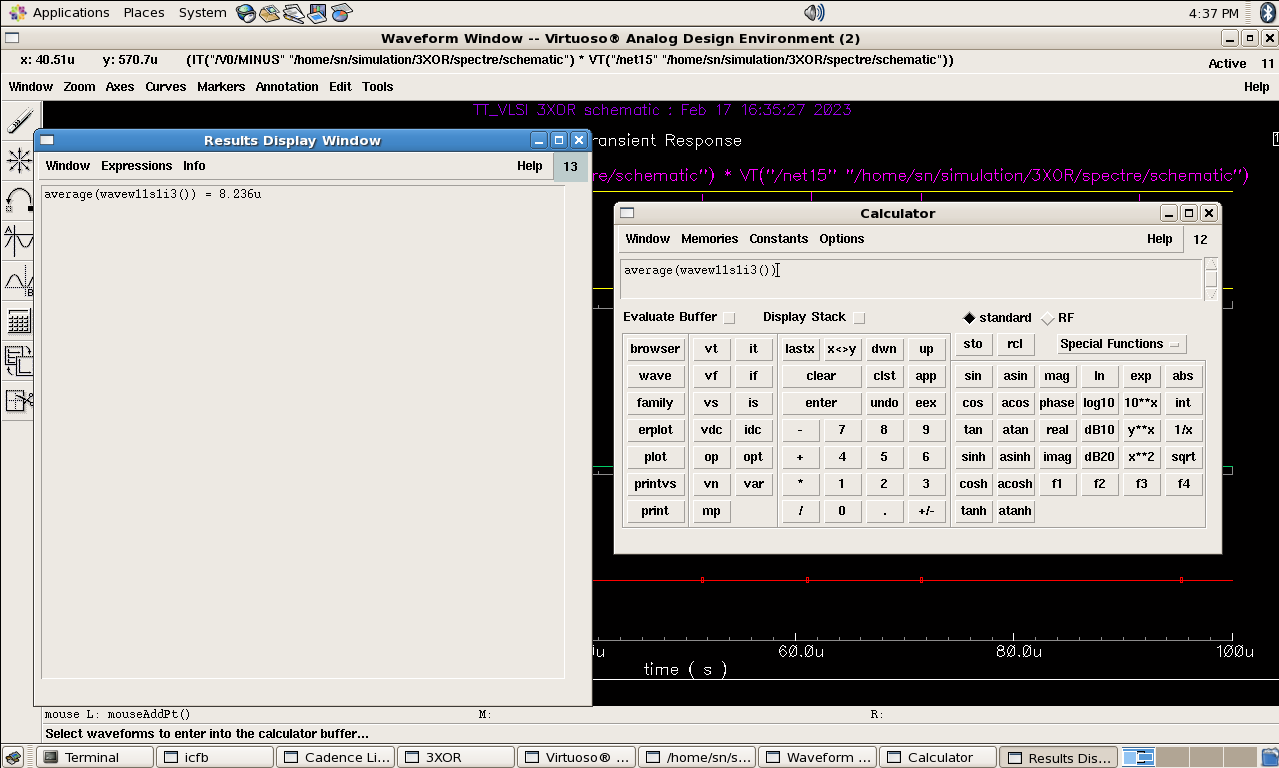
**BẢNG CHÂN TRỊ CỔNG 3XOR**

|  |  |  |
| --- | --- | --- |
| **CỔNG 3XOR** | | |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

### 3.3.4.3 ĐO CÔNG SUẤT CỦA MẠCH

****

***Hình 3.44. Kết quả đo công suất của mạch***

****

***Hình 3.45. Kết quả đo công suất trung binh của 3 cổng XOR***

=> Công suất trung bình của cổng logic OR là 8.236uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng XOR và 3 cổng XOR** | |
| Mạch 1 cổng XOR | Mạch 3 cổng XOR |
| 2.447uW | 8.236uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng XOR hay 3 cổng XOR thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng XOR sẽ làm tiêu hao công suất hơn 3 lần so với 1 cổng XOR .

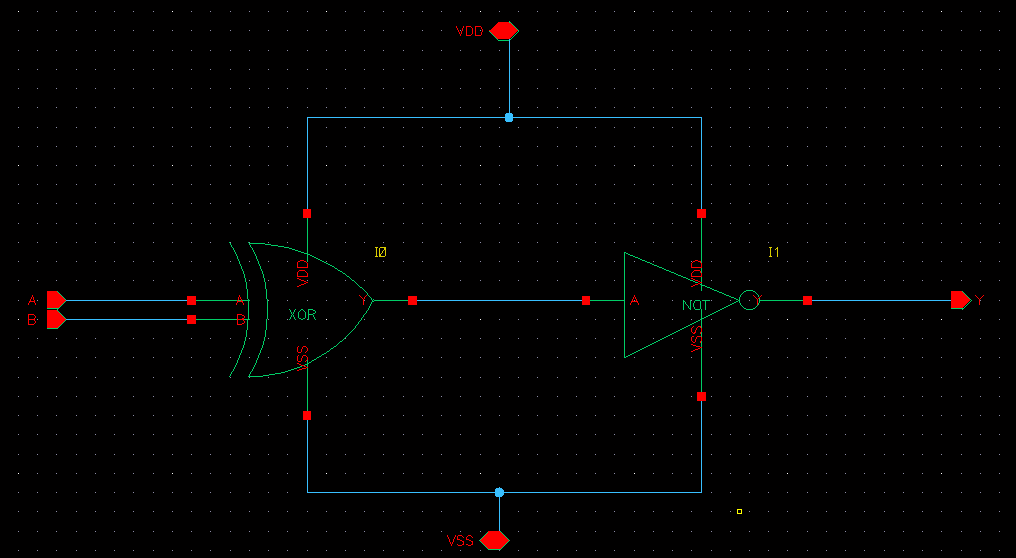
### 3.3.5 KẾT LUẬN

- Qua quá trình thiết kế và mô phỏng cổng logic XOR ta thấy được cổng XOR được tạo thành từ 2 cổng NOT, 2 cổng AND và 1 cổng OR ghép với nhau. Với ngõ vào A, B và ngõ ra Y thì cổng logic XOR có chức năng thực hiện phép cộng bit 2 số nhị phân. Nghĩa là với 2 ngõ vào mức cao hoặc mức thấp khi qua cổng logic XOR ta sẽ cho ngõ ra ở mức thấp và chỉ cần 1 trong 2 ngõ vào ở mức cao thì ngõ ra sẽ ở mức cao.

- Khi mắc nối tiếp 3 cổng XOR với nhau thì kết qua mô phỏng cho ta thấy được ngõ ra ở mức thấp trong mọi trường hợp. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng XOR sẽ có công suất lớn hơn 3 lần so với mạch 1 cổng XOR.

**3.433.4 THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC CỦA MỘT BỘ CỔNG XNOR**

### 3.4.1 Sơ đồ nguyên lý



***Hình 3.46. Sơ đồ nguyên lý cổng XNOR***

- Thông số cài đặt:

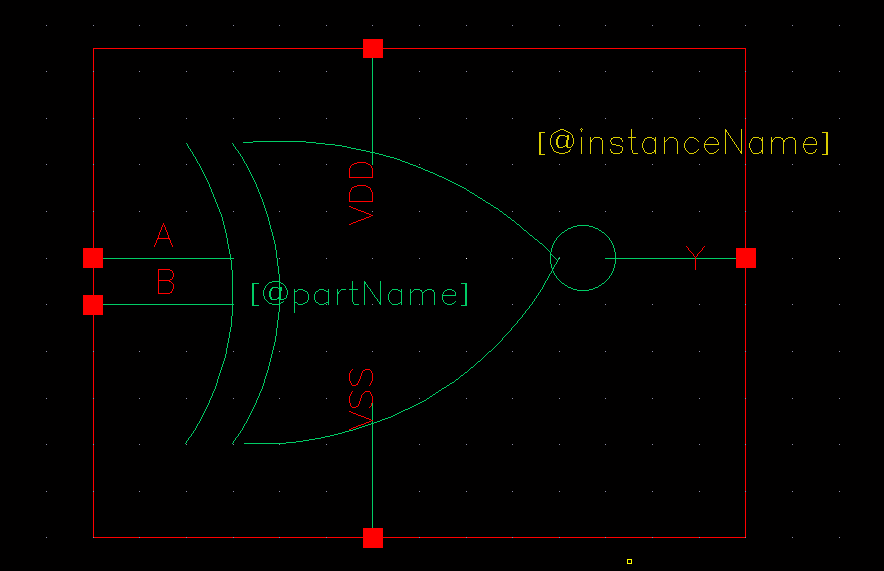
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

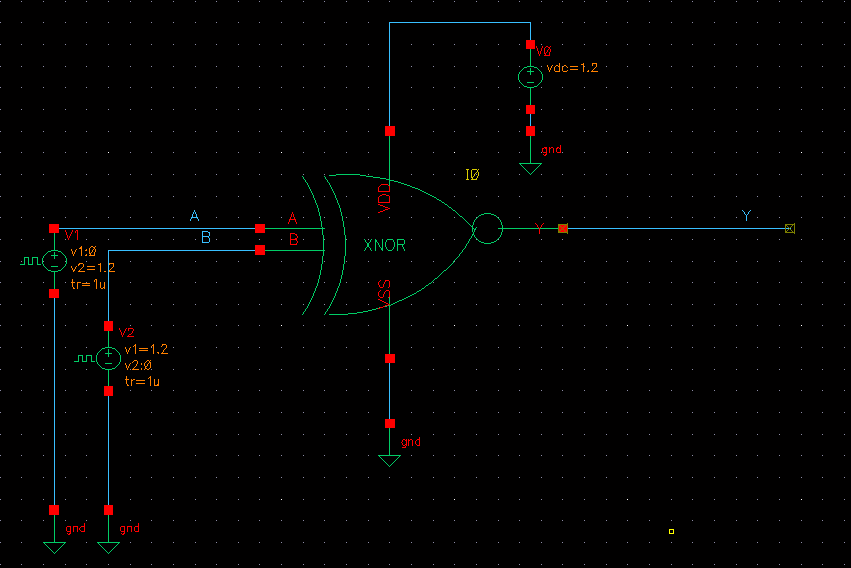
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói cổng logic XNOR:**

****

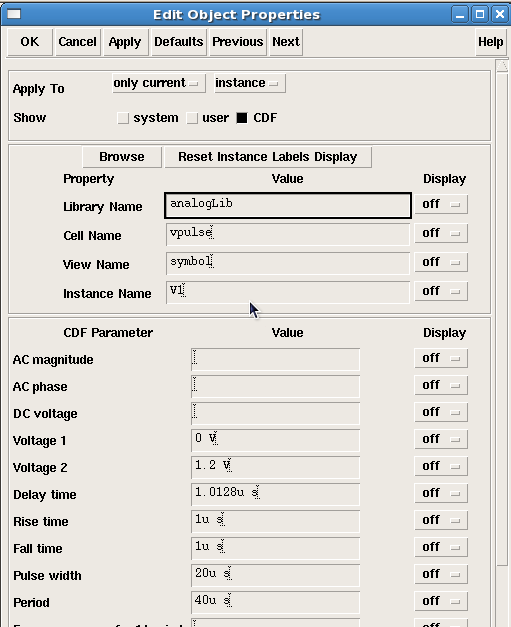
***Hình 3.47. Đóng gói cổng logic XNOR***

❖ Mô phỏng cổng logic XNOR:

******

***Hình 3.48. Mô phỏng cổng logic XNOR***

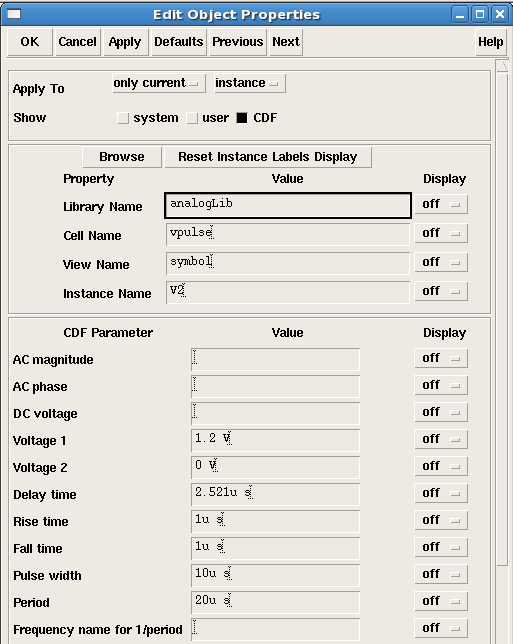
# Thông số:

******

***Hình 3.49: Thông số ngõ vào A***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 20µ s.
* Period (chu kỳ) : 40µ s.
* Period = 2\* pulse width.

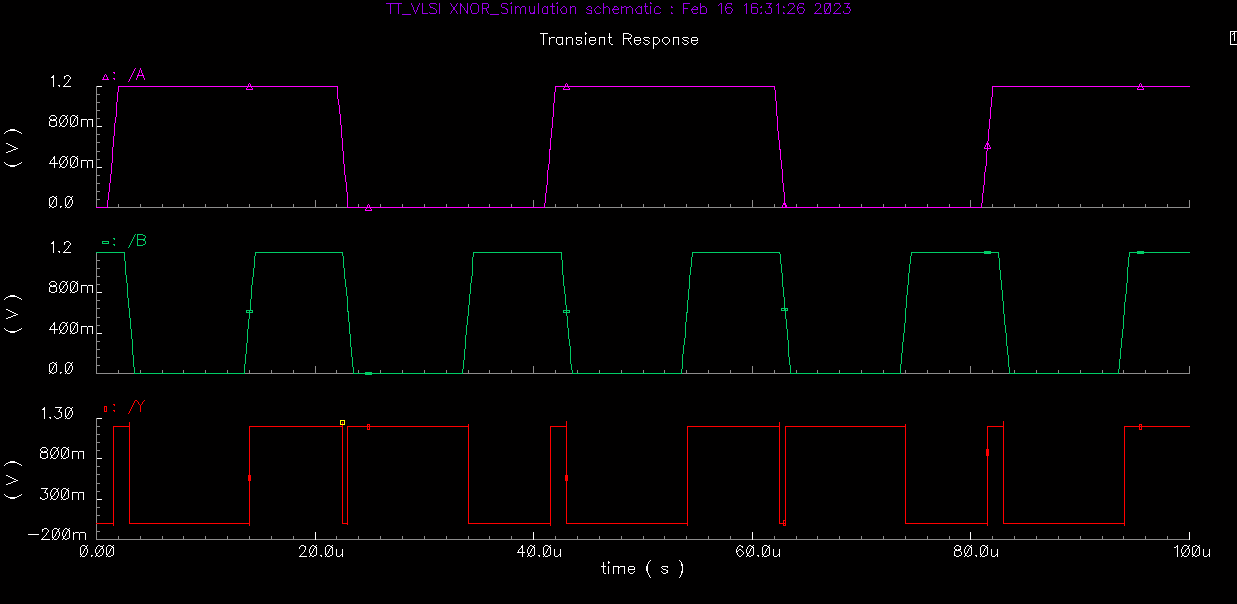


***Hình 3.50: Thông số ngõ vào B***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width.

### 3.4.2 Kết quả mô phỏng



***Hình 3.51: Kết quả mô phỏng cổng XNOR***

***Phân tích mô phỏng:***

- từ 4u (s) tới 14u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 14u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 24u (s) tới 30u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 34u (s) tới 40u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 0V.

- **So sánh với bảng trạng thái cổng XNOR**

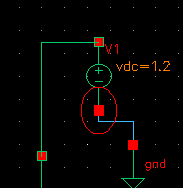
|  |  |  |
| --- | --- | --- |
| **CỔNG XNOR** | | |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

* ***Kết quả đúng so với bảng chân trị .***

## 3.4.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

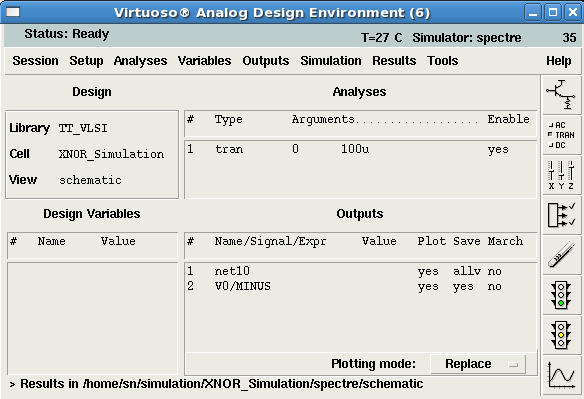
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd.

### Sơ đồ nguyên lý

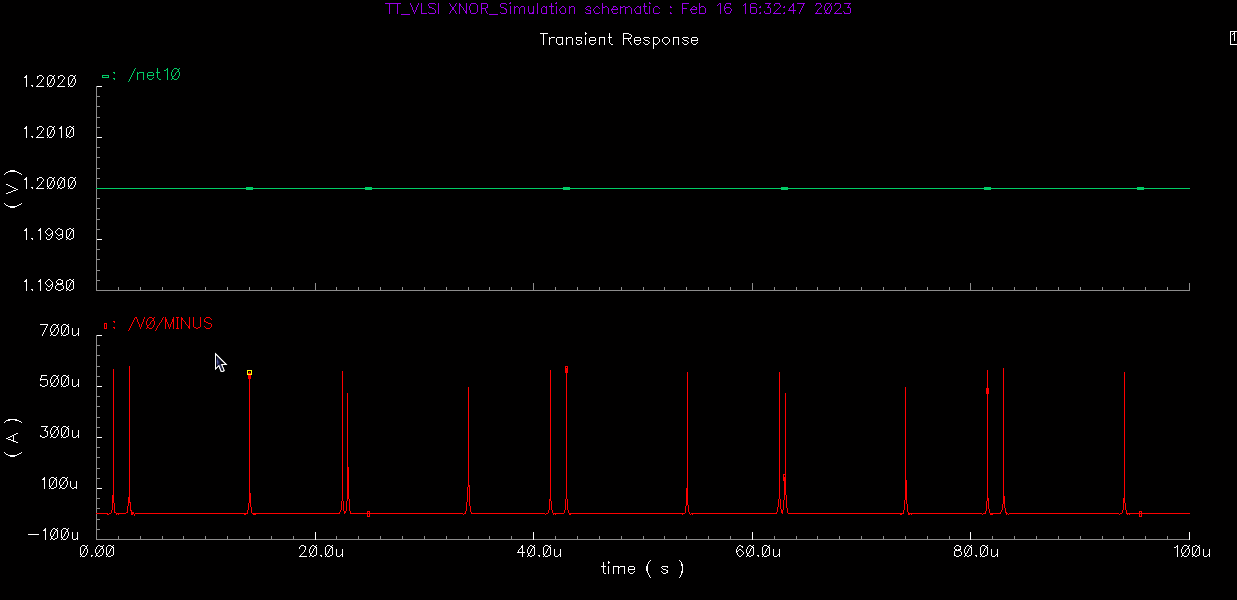


***Hình 3.52 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

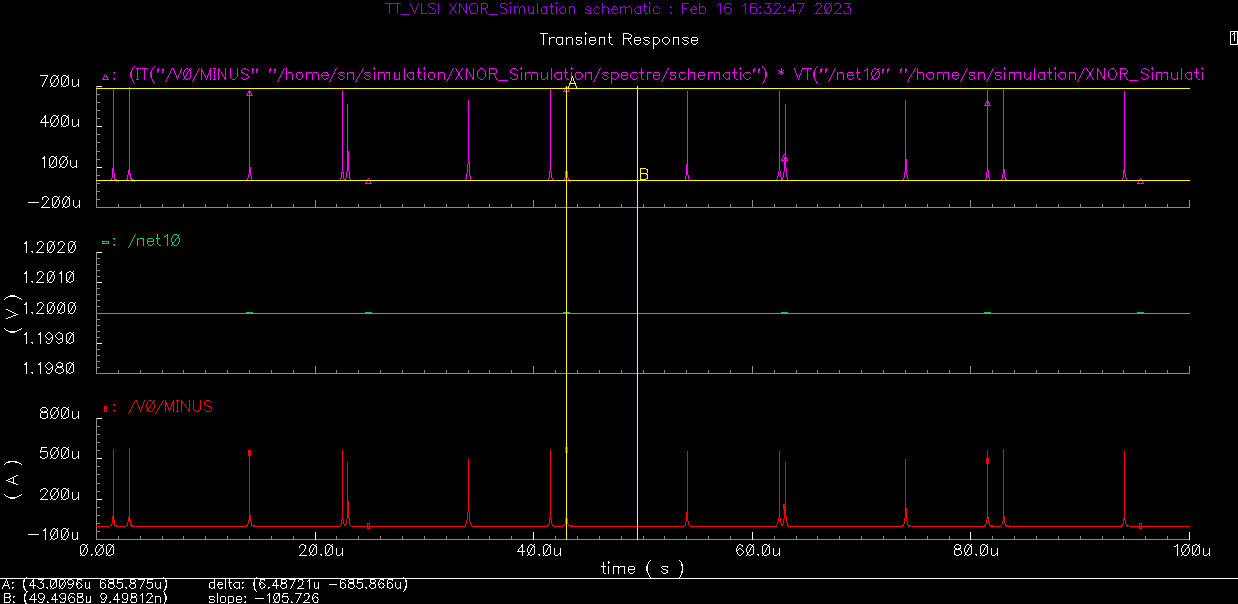
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 3.53: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

### Kết quả mô phỏng



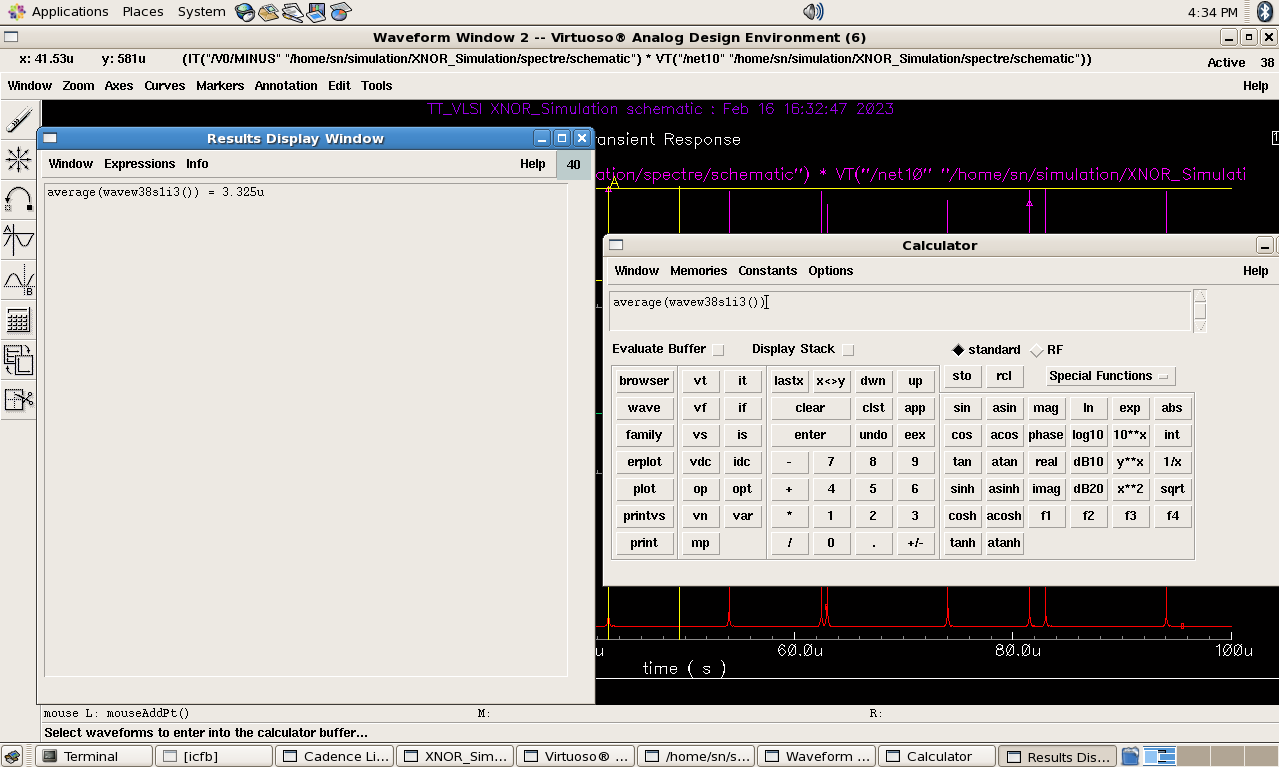
***Hình 3.54: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 3.55: Kết quả mô phỏng công suất tức thời cổng XNOR***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

### 3.4.3.3 Tính công suất trung bình

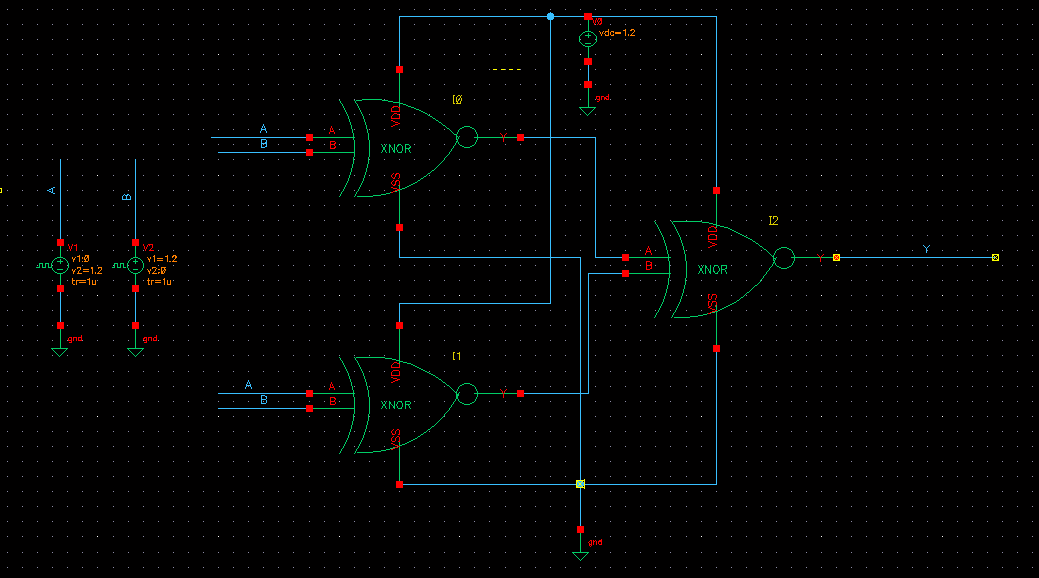
******

***Hình 3.56: Kết quả công suất trung bình cổng XNOR***

> Công suất trung bình của cổng logic XNOR là 1.074uW.

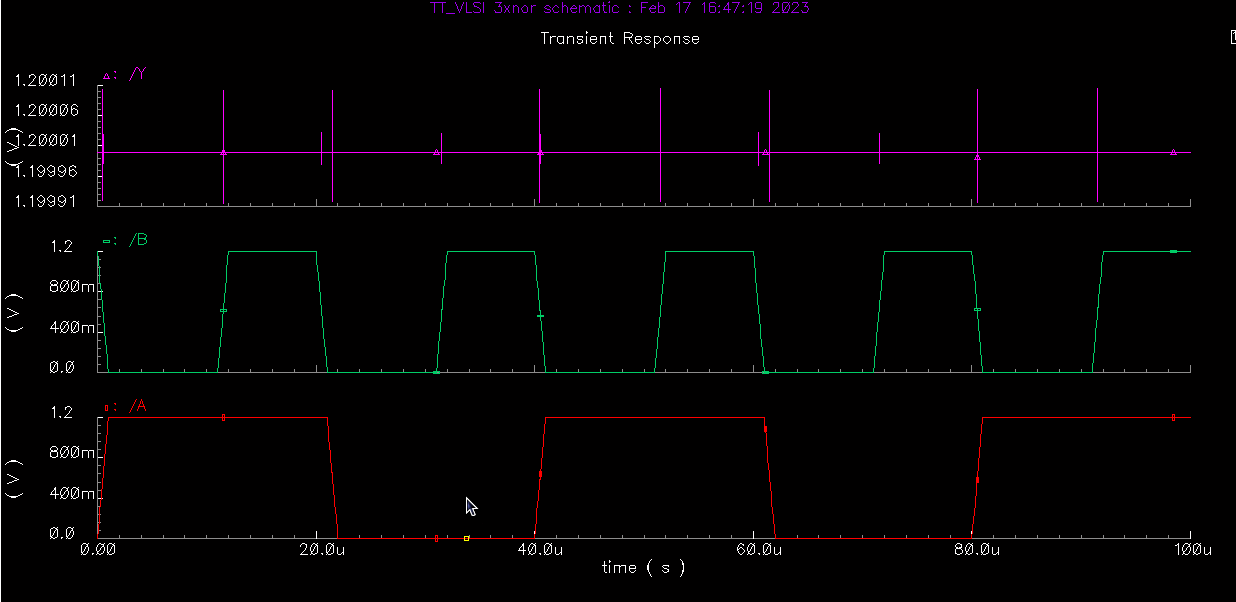
## GHÉP 3 CỔNG LOGIC XNOR

### 3.4.4.1 Sơ đồ nguyên lý ghép nối tiếp 3 cổng XNOR



***Hình 3.57. Ghép nối tiếp 3 cổng XNOR***

### 3.4.4.2 Kết quả mô phỏng

******

***Hình 3.58. kết quả mô phỏng khi ghép nối tiếp 3 cổng XNOR***

***Phân tích mô phỏng:***

- từ 0u (s) tới 10u (s), khi ngõ vào A = 1.2V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

- từ 10u (s) tới 20u (s), khi ngõ vào A = 1.2V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 20u (s) tới 30u (s), khi ngõ vào A = 0V, B = 0V thì ngõ ra Y sẽ bằng 1.2V.

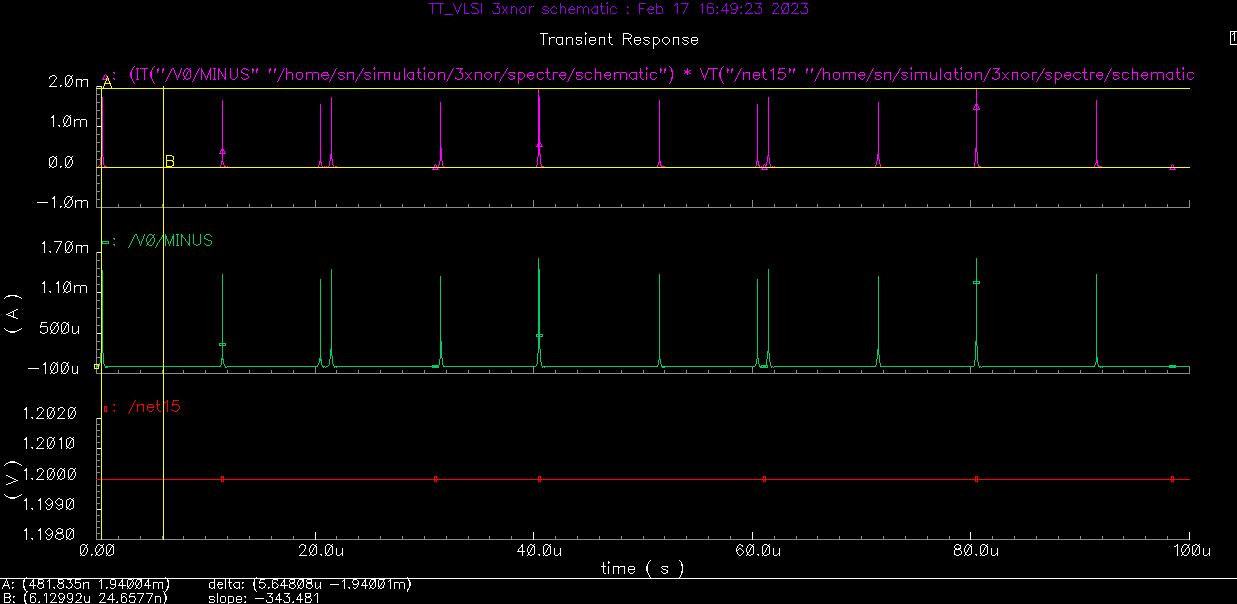
- từ 30u (s) tới 40u (s), khi ngõ vào A = 0V, B = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

➢ Khi 2 đầu vào A, B đi qua 2 cổng XNOR thứ nhất và thứ 2 thì theo nguyên lý của cổng logic XNOR sẽ cho ra 2 kết quả đầu ra Y1 và Y2. Sau đó lại lấy hai kết quả vừa tìm được ta cho chúng đi qua cổng XNOR thứ 3 để thực hiện phép toán thêm 1 lần nữa sau đó ta thu được kết quả cuối cùng là Y3. Từ kết quả vừa tìm được ta đưa ra kết luận, khi ghép ba cổng XNOR ta cho ra kết quả ngõ ra đúng với bảng trạng thái của cổng 3XNOR.

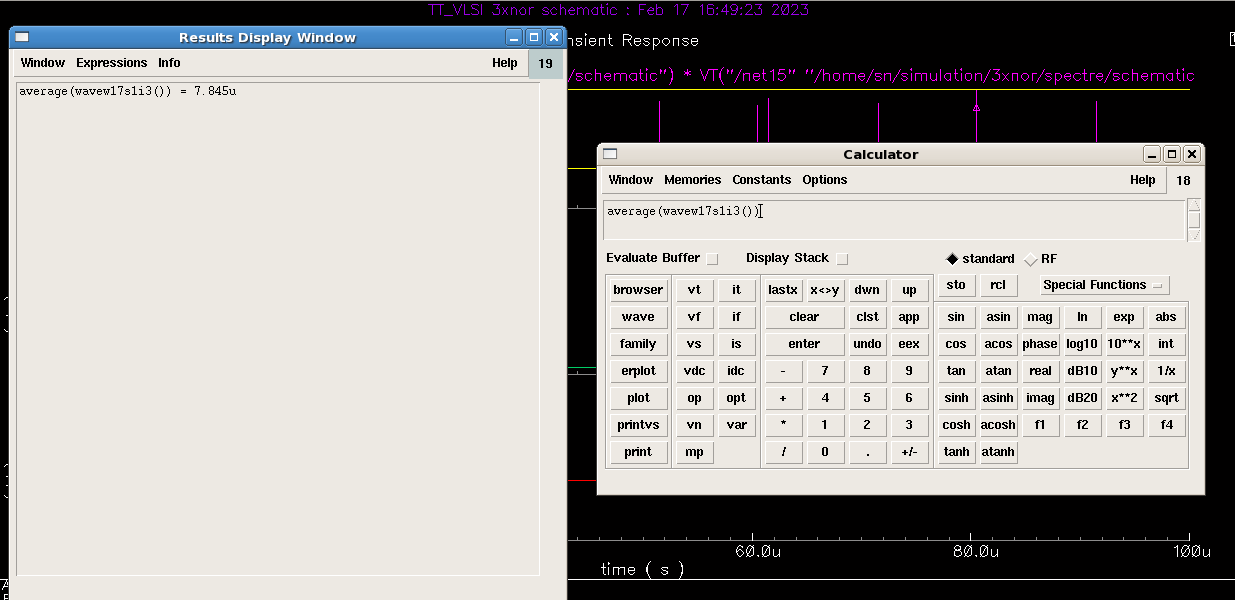
**BẢNG CHÂN TRỊ CỔNG 3XNOR**

|  |  |  |
| --- | --- | --- |
| **CỔNG 3XNOR** | | |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

### 3.4.4.3 ĐO CÔNG SUẤT CỦA MẠCH

****

***Hình 3.59. Kết quả đo công suất của mạch***

****

***Hình 3.60. Kết quả đo công suất trung binh của 3 cổng XNOR***

=> Công suất trung bình của cổng logic OR là 7.845uW

|  |  |
| --- | --- |
| **So sánh kết quả công suất trung bình khi dùng 1 cổng XNOR và 3 cổng XNOR** | |
| Mạch 1 cổng XNOR | Mạch 3 cổng XNOR |
| 3.325uW | 7.845uW |

* Từ bảng so sánh trên ta thấy thời gian lan truyền có sai số trong quá trình đo khi sử dụng 1 cổng XNOR hay 3 cổng XNOR thì kết quả cho ra có sai số được xem như là không đáng kể. Nhưng về công suất trung bình thì khi sử dụng 3 cổng XNOR sẽ làm tiêu hao công suất hơn 3 lần so với 1 cổng XNOR .

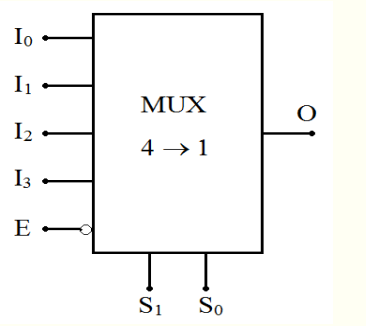
### 3.4.5 KẾT LUẬN

- Qua quá trình thiết kế và mô phỏng cổng logic XNOR ta thấy được cổng XNOR được tạo thành từ cổng XOR ghép với cổng đảo NOT. Với ngõ vào A, B và ngõ ra Y thì cổng logic XNOR có chức năng thực hiện phép cộng đảo bit 2 số nhị phân. Nghĩa là với cả 2 ngõ vào mức cao hoặc mức thấp khi qua cổng logic XNOR ta sẽ cho ngõ ra ở mức cao và chỉ cần 1 trong 2 ngõ vào ở mức cao thì ngõ ra sẽ ở mức thấp.

- Khi mắc nối tiếp 3 cổng XNOR với nhau thì kết qua mô phỏng cho ta thấy được, ngõ ra sẽ luôn luôn múc cao trong mọi trường hợp. Ngoài ra thời gian lan truyền cũng có sự sai số nhưng không đáng kể, nhưng về công suất trung bình thì ở mạch 3 cổng XNOR sẽ có công suất lớn hơn 2 lần so với mạch 1 cổng XNOR.

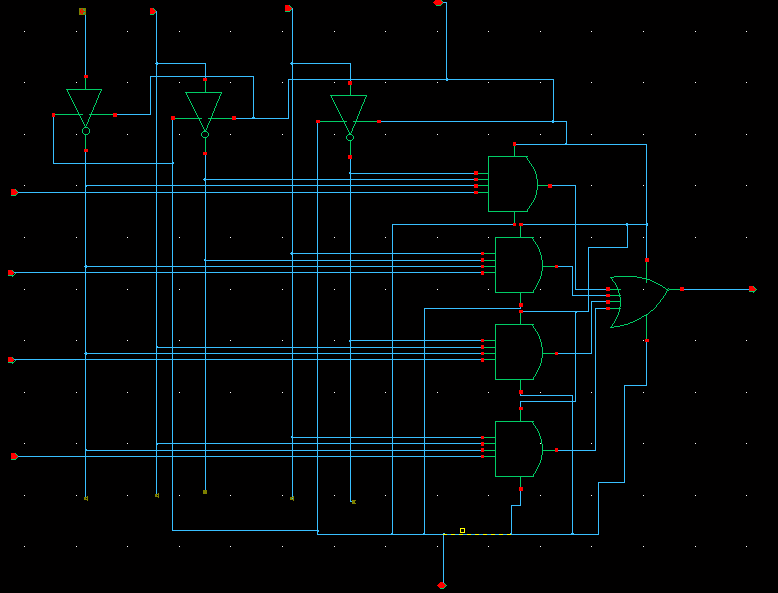
## THIẾT KẾ VÀ MÔ PHỎNG MẠCH ĐA HỢP 4 KÊNH SANG 1 KÊNH (MUX 4 TO 1)

Mạch MUX hay còn gọi là mạch đa hợp (hay mạch ghép kênh) có n kênh vào và 1 kênh ra. Với n kênh vào thì cần phải có m đường tín hiệu chọn kênh (2m ≥ n). Tương ứng với một tổ hợp trạng thái ngõ vào chọn kênh thì sẽ có một kênh vào được nối đến ngõ ra



***Sơ đồ khối mạch MUX 4 sang 1***

### 3.5.1 Sơ đồ nguyên lý



***Hình 3.61. Sơ đồ nguyên lý mạch mux 4 to 1***

- Thông số cài đặt:

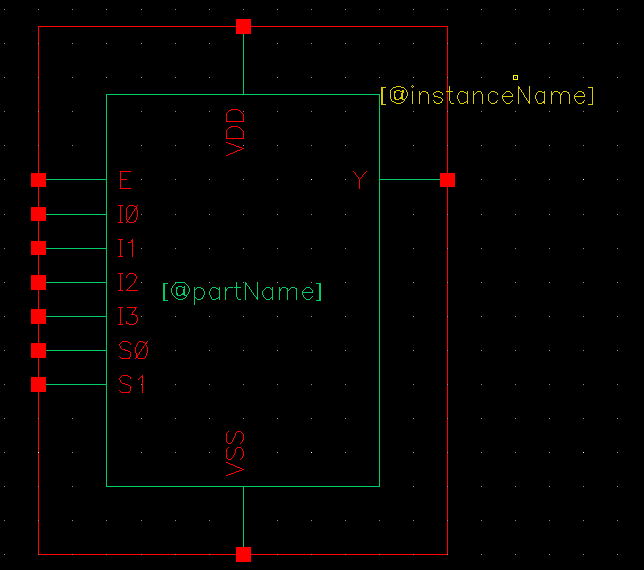
+ Ngõ vào A, B .

+ Ngõ ra Y.

+ pMos có thông số L=0.13u, W= 2.6u.

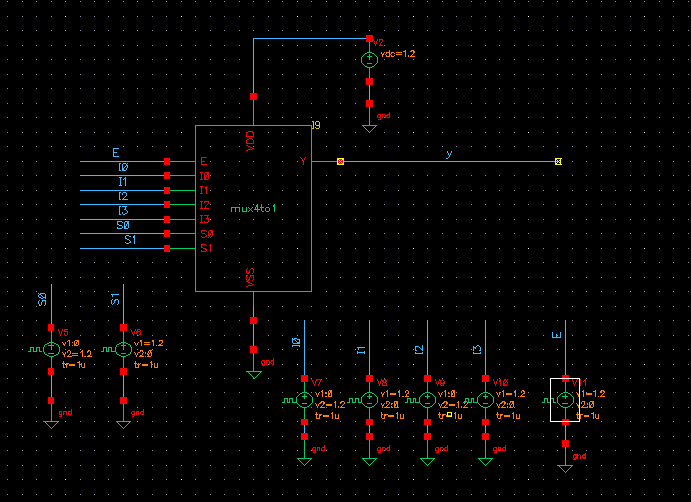
+ nMos có thông số L=0.13u, W= 1.3u.

**Đóng gói mạch đa hợp MUX 4 sang 1:**

****

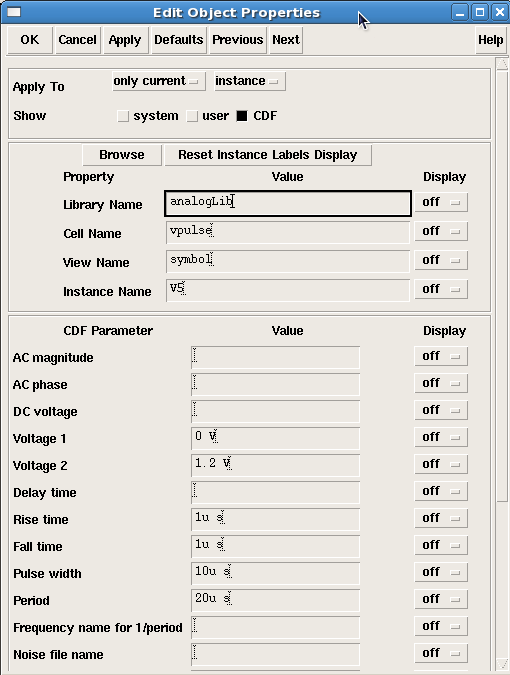
***Hình 3.62. Đóng gói mạch mux 4 to 1***

❖ Mô phỏng mạch mux 4 to 1:

******

***Hình 3.63. Mô phỏng mạch mux 4 to 1***

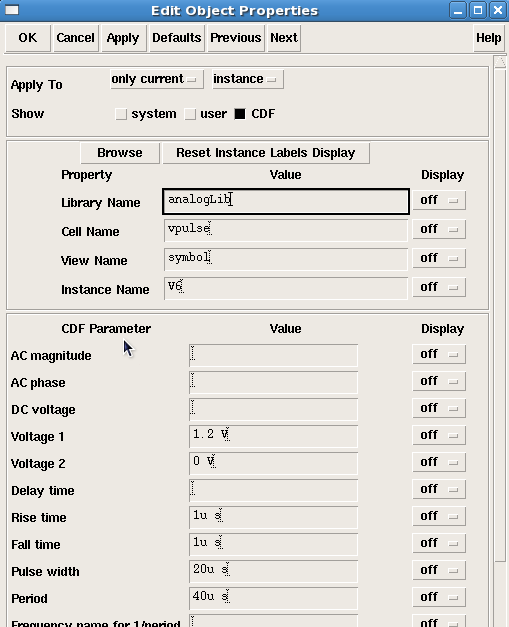
# Thông số:

******

***Hình 3.64: Thông số ngõ vào S0***

***Phân tích:***

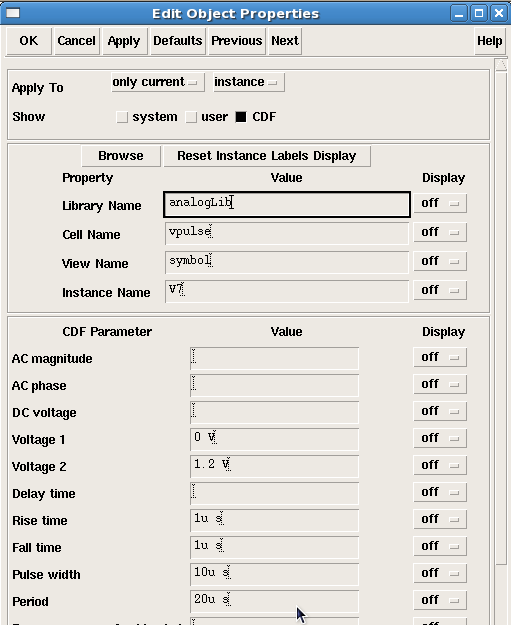
* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s.
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .



***Hình 3.65: Thông số ngõ vào S1***

***Phân tích:***

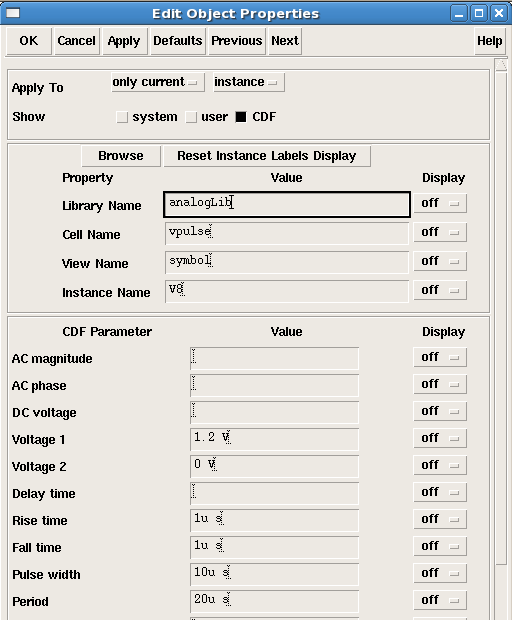
* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 20µ s.
* Period (chu kỳ) : 40µ s.
* Period = 2\* pulse width .



***Hình 3.66: Thông số ngõ vào I0***

***Phân tích:***

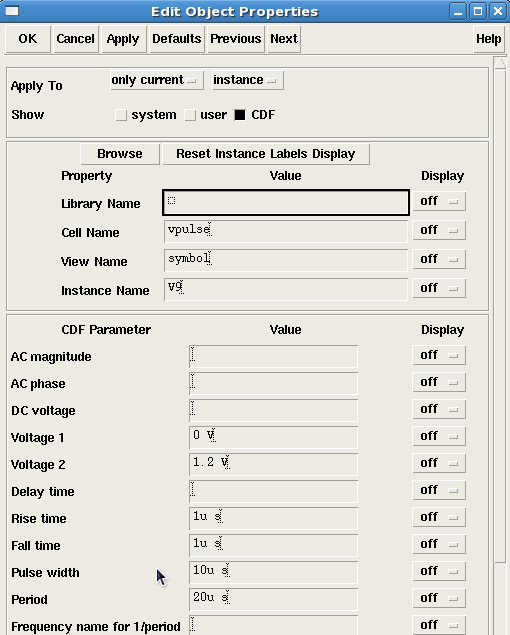
* Voltage 1 (đáp ứng xung 1) : 0 V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .



***Hình 3.67: Thông số ngõ vào I1***

***Phân tích:***

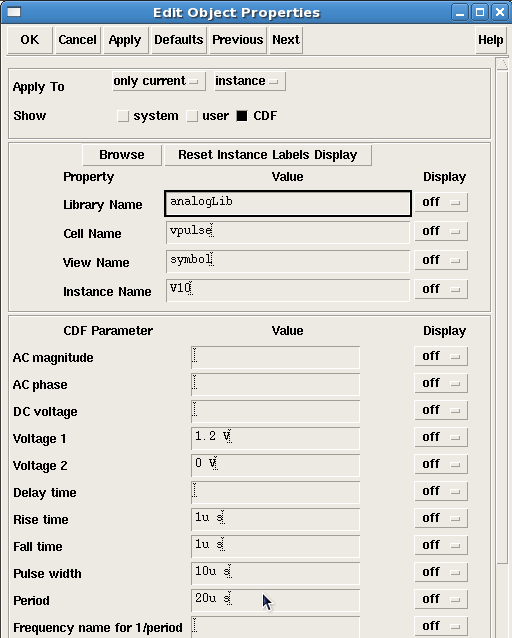
* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .



***Hình 3.68: Thông số ngõ vào I2***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 0V.
* Voltage 2 (đáp ứng xung 2) : 1.2V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .

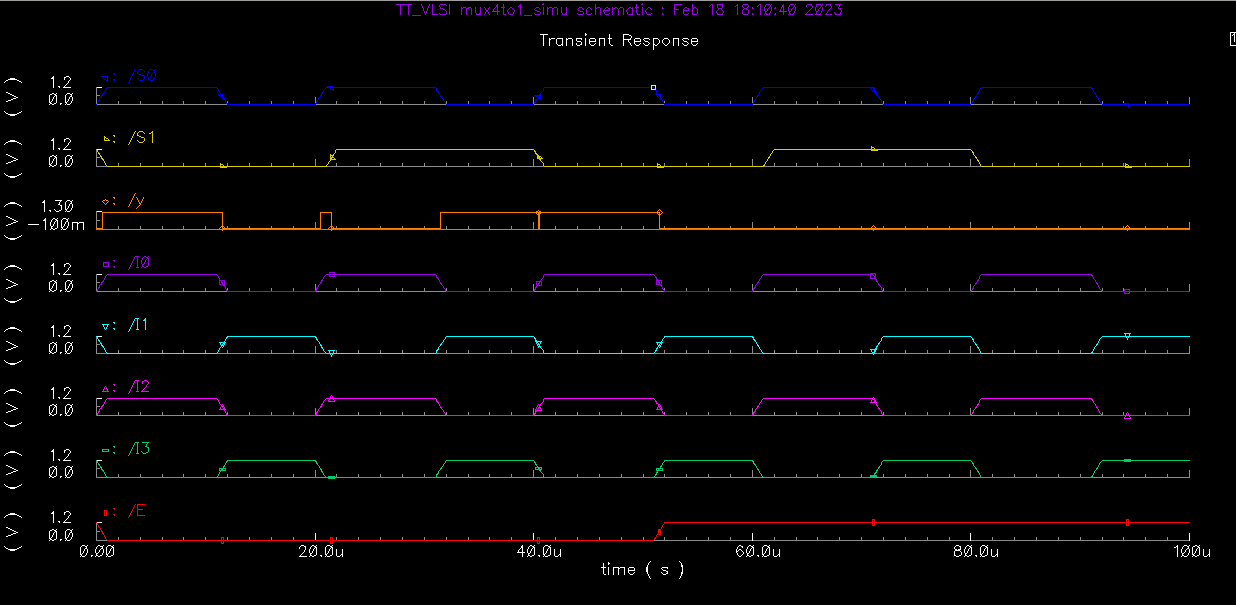


***Hình 3.69: Thông số ngõ vào I3***

***Phân tích:***

* Voltage 1 (đáp ứng xung 1) : 1.2V.
* Voltage 2 (đáp ứng xung 2) : 0V.
* Rise time (thời gian xung cạnh lên) : 1µ s.
* Fall time (thời gian xung cạnh xuống) : 1µ s..
* Pulse width (độ rộng xung) : 10µ s.
* Period (chu kỳ) : 20µ s.
* Period = 2\* pulse width .

### 3.5.2 Kết quả mô phỏng



***Hình 3.70: Kết quả mô phỏng mạch đa hợp mux 4 to 1***

***Phân tích mô phỏng:***

- từ 0u (s) tới 50u (s), E=0 🡺 Enable tác động mức thấp 🡺 Mạch hoạt động

- từ 0u (s) tới 10u (s), khi ngõ vào kênh S0 = 1.2V, S1 = 0V thì ngõ ra Y chọn ngõ vào I2 = 1.2V thì ngõ ra Y sẽ bằng 1,2V.

- từ 10u (s) tới 20u (s), khi ngõ vào kênh S0 = 0V, S1 = 0V thì ngõ ra Y chọn ngõ vào I0 = 0V thì ngõ ra Y chọn sẽ bằng 0V.

- từ 20u (s) tới 30u (s), khi ngõ vào kênh S0 = 1.2V, S1 = 1.2V thì ngõ ra Y chọn ngõ vào I3 = 0V thì ngõ ra Y sẽ bằng 0V.

- từ 30u (s) tới 40u (s), khi ngõ vào kênh S0 = 0V, S1 = 1.2V thì ngõ ra Y chọn ngõ vào I1 = 1.2V thì ngõ ra Y sẽ bằng 1.2V.

- từ 50u (s), khi E ở mức cao thì ngõ ra Y = 0

- **So sánh với bảng trạng thái mạch MUX 4 to 1**

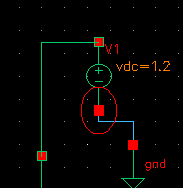
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| ***E*** | ***S0*** | ***S1*** | ***I0*** | ***I1*** | ***I2*** | ***I3*** | ***Y*** |
| 0 | 0 | 0 | I0 | 0 | 0 | 0 | I0 |
| 0 | 0 | 1 | 0 | I1 | 0 | 0 | I1 |
| 0 | 1 | 0 | 0 | 0 | I2 | 0 | I2 |
| 0 | 1 | 0 | 0 | 0 | 0 | I3 | I3 |
| 1 | 0 | 0 | I0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | I1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | I2 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | I3 | 0 |

* ***Kết quả đúng so với bảng chân trị***

### 3.5.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

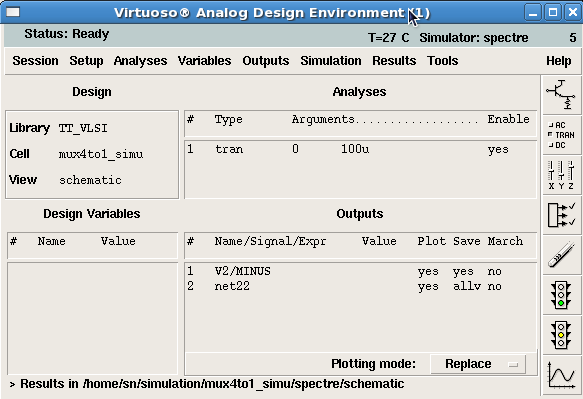
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dòng của Vdd.

### 3.5.3.1 Sơ đồ nguyên lý

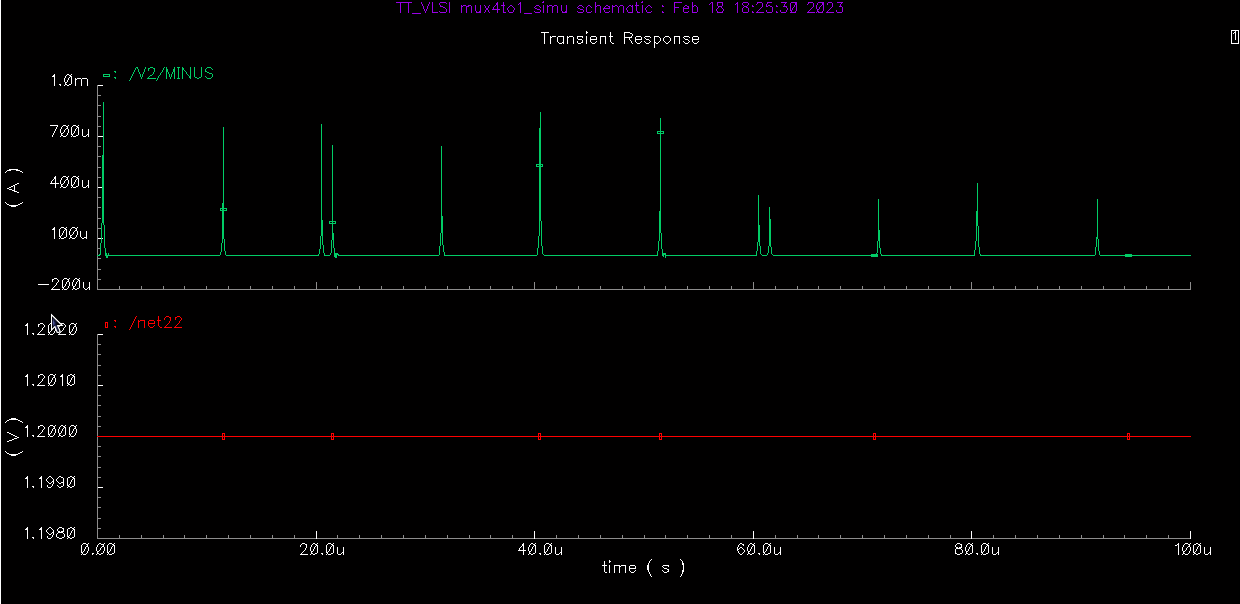


***Hình 3.71 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

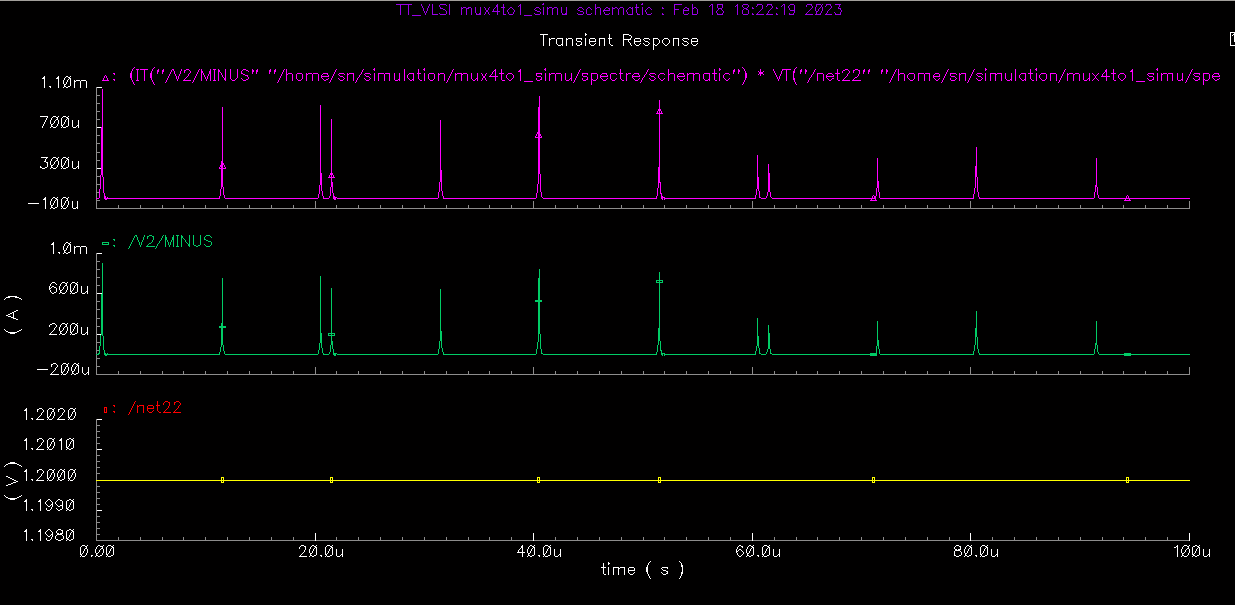
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng.***

***Hình 3.72: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

### 3.5.3.2 Kết quả mô phỏng



***Hình 3.73: Kết quả mô phỏng áp và dòng của nguồn Vdd***

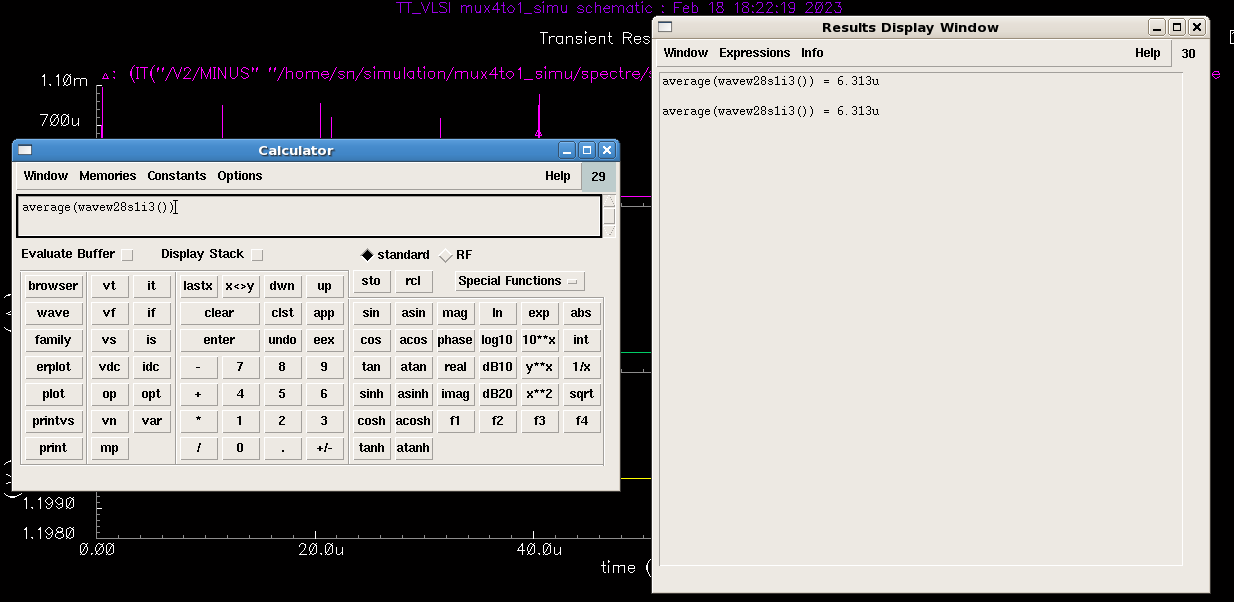
******

***Hình 3.74: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

CSTT nhỏ nhất là 22,8213 nW và lớn nhất là 864,093uW

### Tính công suất trung bình

******

***Hình 3.75: Kết quả công suất trung bình mạch đa hợp mux 4 to 1***

Với công suất trung bình là 6.313 uW.

### 3.5.4 KẾT LUẬN

- Sau khi test mạch MUX với chân enable tác động mức thấp với tất cả các trường hợp, ta có nhận xét: Khi chân E ở mức 0 thì mạch hoạt động với ngõ ra lần lượt là tín hiệu I3, I2, I1, I0 đúng như bảng trạng thái; Khi chân E ở mức 1 thì ngõ ra bằng 0 trong tất cả trường hợp. Vậy mạch MUX đã thiết kế hoạt động đúng với yêu cầu là một mạch đa hợp với chân enable tác động mức thấp.

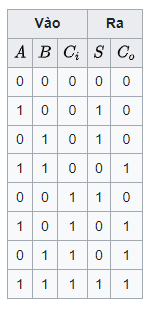
**CHƯƠNG 4: THIẾT KẾ VÀ MÔ PHỎNG MẠCH CỘNG TOÀN PHẦN FULL ADDER 1 BIT VÀ FULL ADDER 4 BIT**

## THIẾT KẾ MẠCH CỖNG TOÀN PHẦN FULL ADDER 1 BIT

### 4.1.1 Sơ đồ nguyên lý

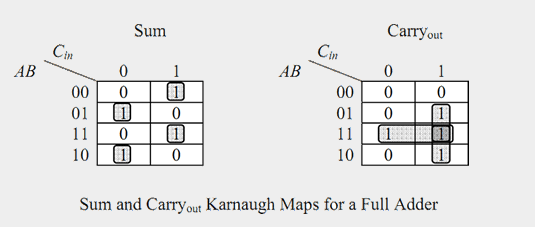
**Theo lý thuyết:**

Bộ cộng toàn phần (Full adder,FA): Là mạch cộng hai bit ở cùng vị trí trong hai số nhị phân nhiều bit, nói cách khác, đây là mạch cộng hai bit , giả sử thứ n, và bit nhớ có được từ phép cộng hai bit thứ n-1 của hai số nhị phân đó. Bộ cộng toàn phần 1 bit thêm các bit A và B và phần mang từ cột trước đó được gọi là phần carry in (Cin) và đầu ra là bit tổng (S) và phần mang được gọi là carry out(Cout). Biến S cho giá trị của bit có nghĩa nhỏ nhất trong tổng. Biến Cout đưa ra kết quả thực hiện.

******

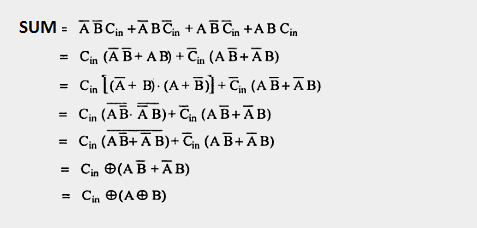
***Hình 4.1. Bảng trạng thái của bộ cộng toàn phần 1 bit***

Từ bảng trạng thái, ta sẽ vẽ K-map:



***Hình 4.2. Vẽ bìa karnaugh dựa vào bảng trạng thái bộ cộng toàn phần 1 bit***

Sau khi vẽ K-map, thì dựa vào nó, ta được biểu thức dưới đây:

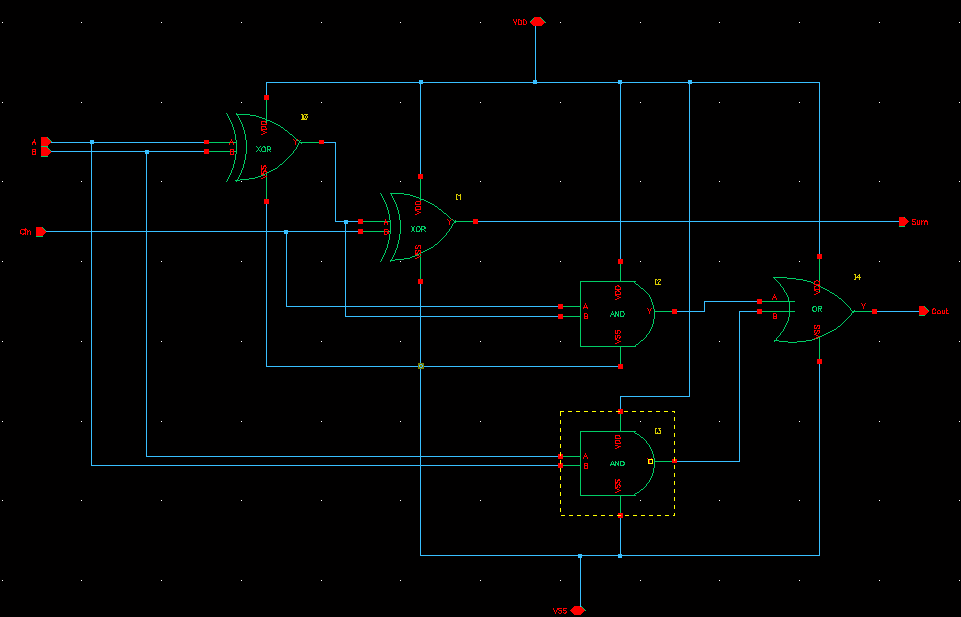


Dựa vào biểu thức trên, ta sẽ thiết kế bộ cộng toàn phần 1 bit như sau:

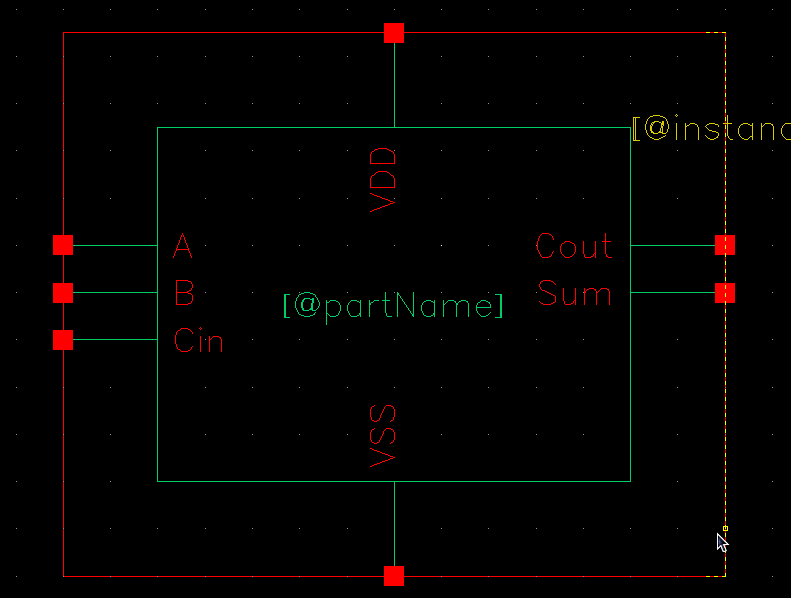


***Hình 4.3. Sơ đồ nguyên lý của mạch cộng toàn phần 1 bit***

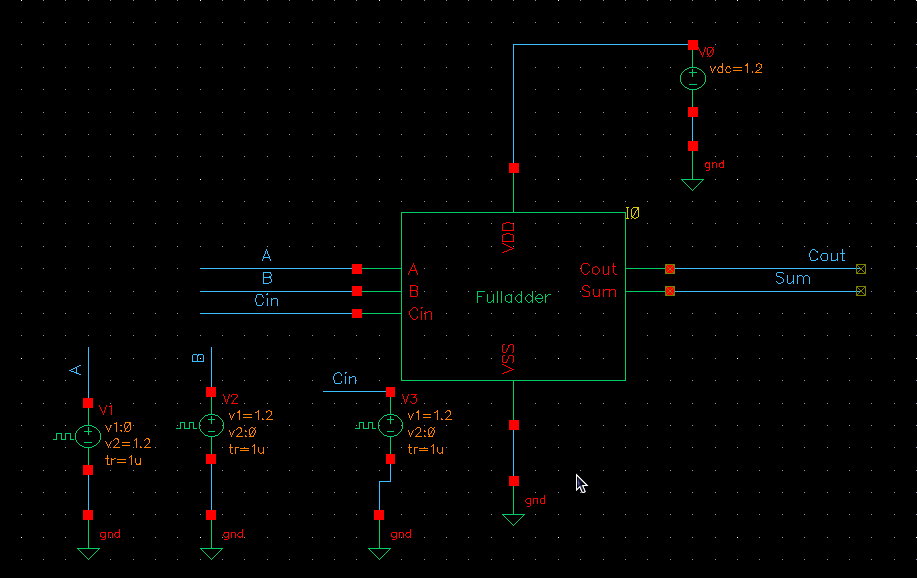
Trong phần mềm Cadence:



***Hình 4.4: Sơ đồ nguyên lý của mạch cộng toàn phần 1 bit***

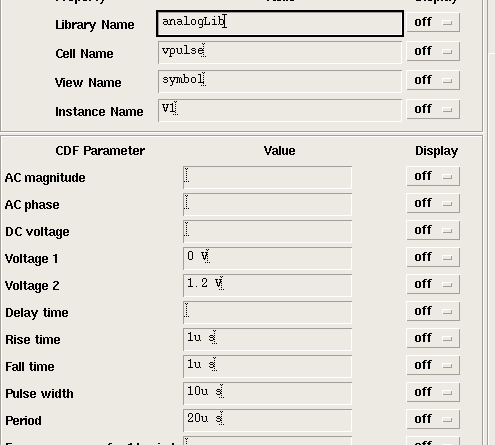


***Hình 4.5: Đóng gói mạch cộng toàn phần 1 bit***

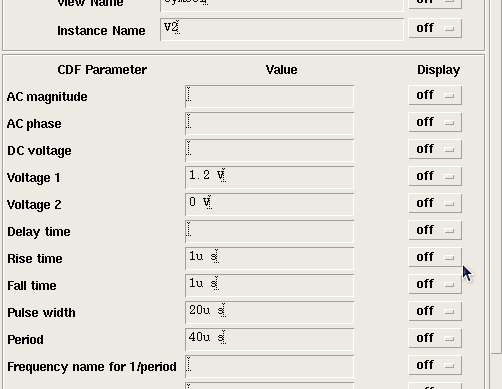


***Hình 4.6: gắn nguồn cho ngõ vào A, B và bộ nhớ đệm Cin cho mạch cộng toàn phần 1 bit***

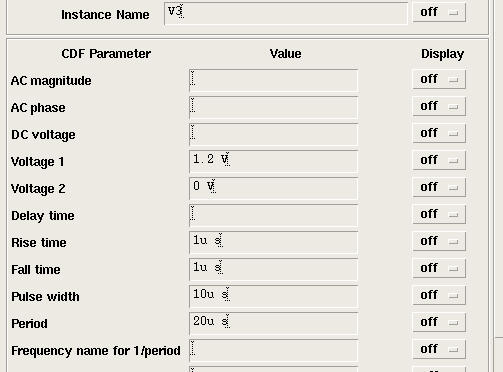
**Thông số:**



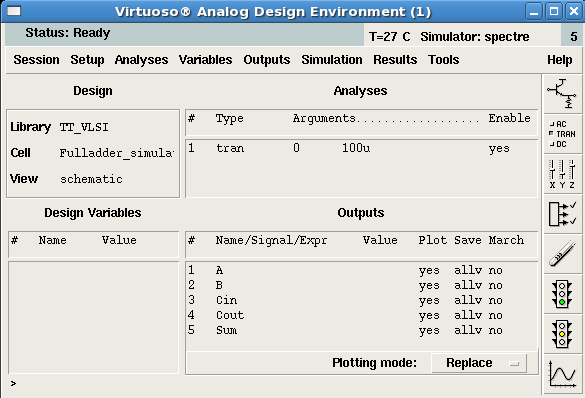
***Hình 4.7: thông số ngõ vào A***



***Hình 4.8: thông số ngõ vào B***

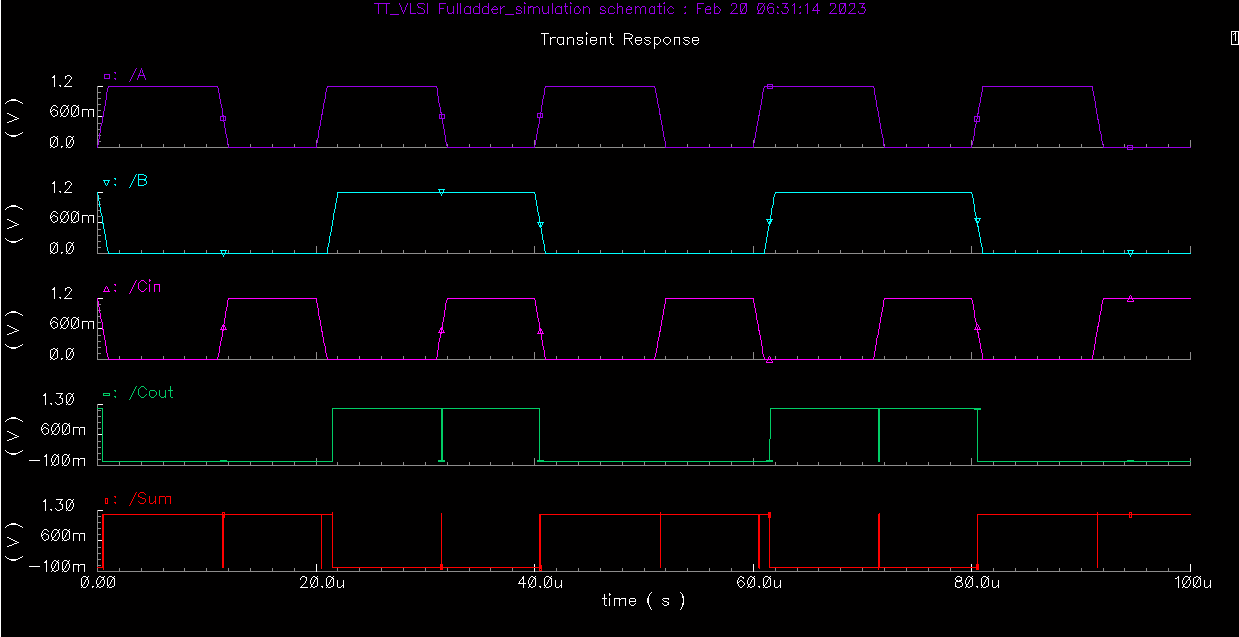


***Hình 4.9: thông số ngõ vào Cin***



***Hình 4.10: thông số Analog Environment của mạch cộng toàn phần 1 bit***

* + 1. **Kết quả mô phỏng**

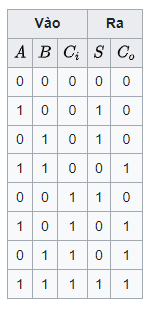
******

***Hình 4.11: Kết quả mô phỏng***

Phân tích:

* Từ 0 u(s) tới 10 u(s) , ngõ vào A = 1.2V, B = 0V và Cin = 0V
* Khi A+B+Cin thì ngõ ra S = 1.2V và Cout = 0V.
* Từ 10u(s) tới 20 u(s), ngõ vào A = 0V, B = 0V và Cin = 1,2V
* Khi A+B+Cin thì ngõ ra S = 1.2V và Cout = 0V.

Ta đối chiếu kết quả với bảng trạng thái Full Adder 1 bit:

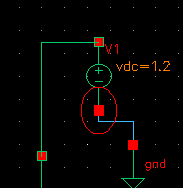
******

* Kết quả đúng như bảng trạng thái

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

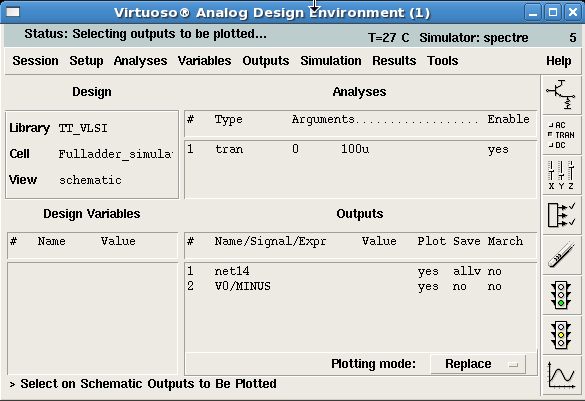
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

### 4.1.3.1 Sơ đồ nguyên lý

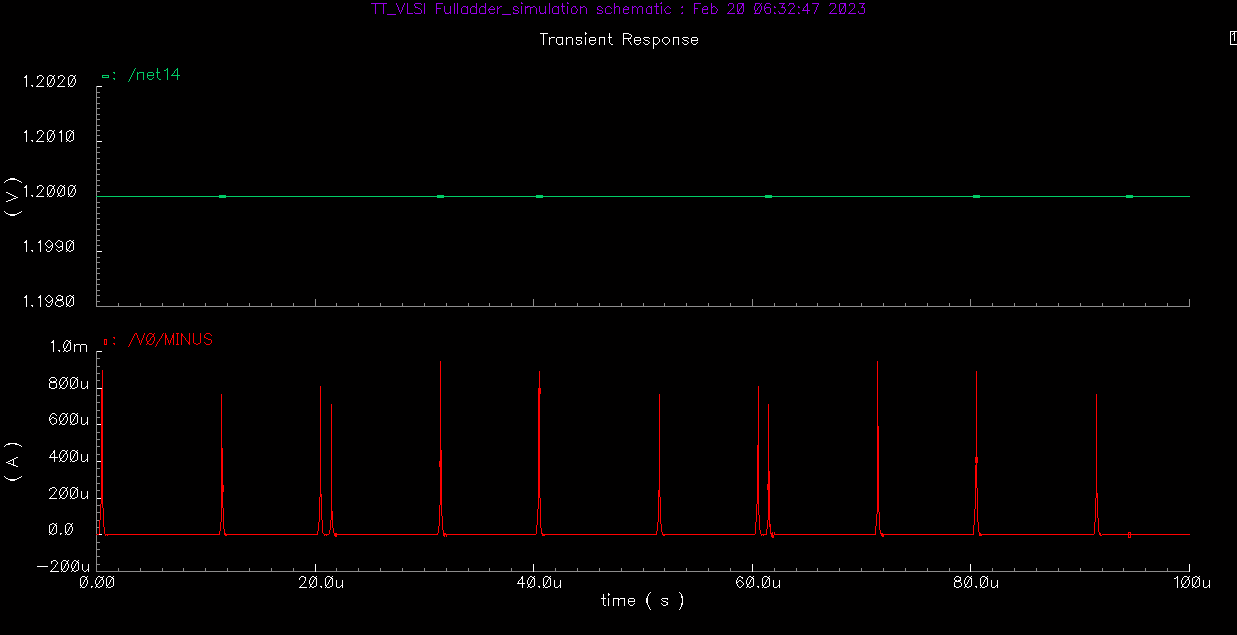


***Hình 4.12 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

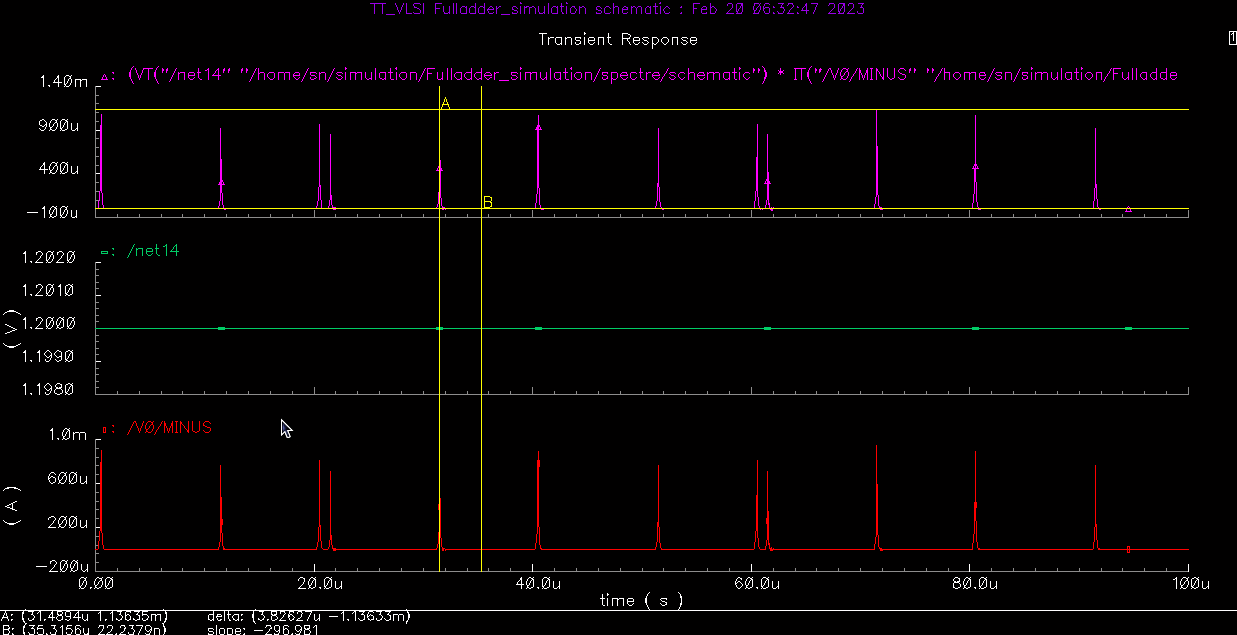
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

***Hình 4.13: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

### 4.1.3.2 Kết quả mô phỏng



***Hình 4.14: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

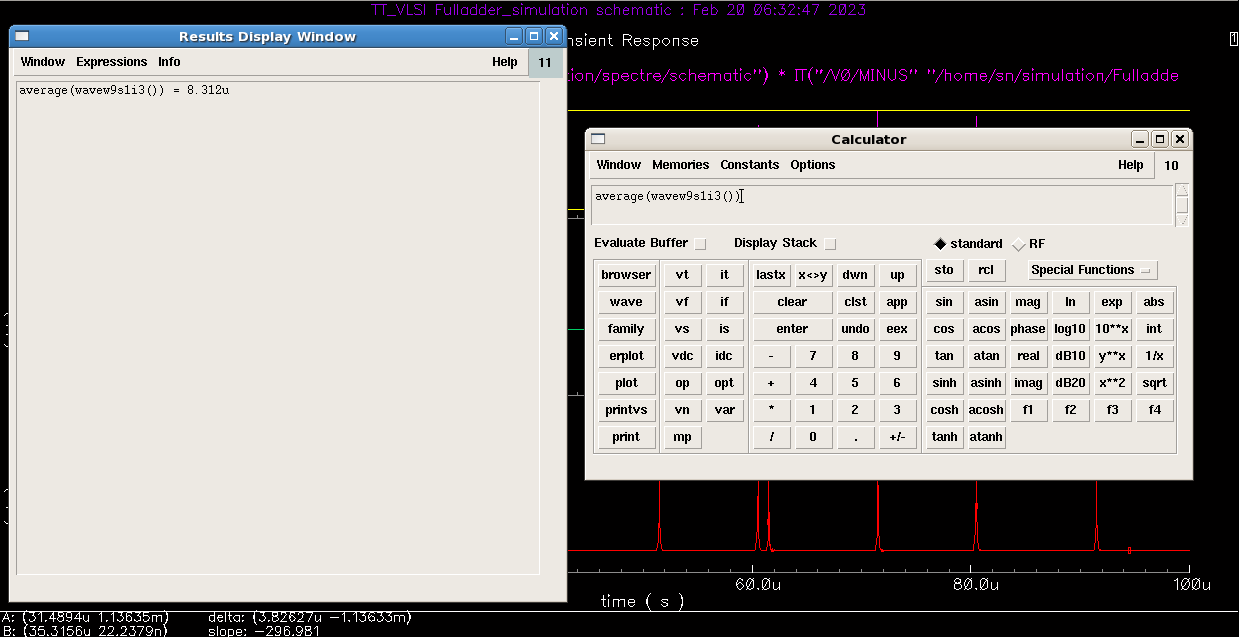
***Hình 4.15: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

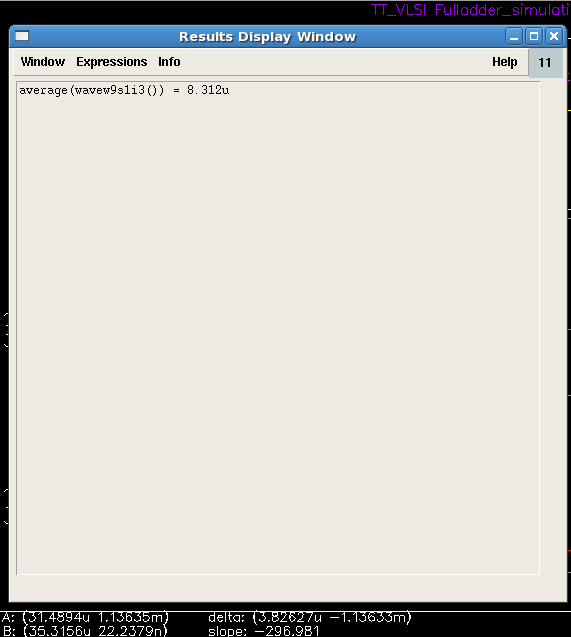
Pmax = 1.13635 mW

Pmin = 22.2379 nW

### 4.1.3.3 Tính công suất trung bình

****

***Hình 4.16: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 4.17: Kết quả công suất trung bình là 8.312 uW***

### 4.1.4 KẾT LUẬN

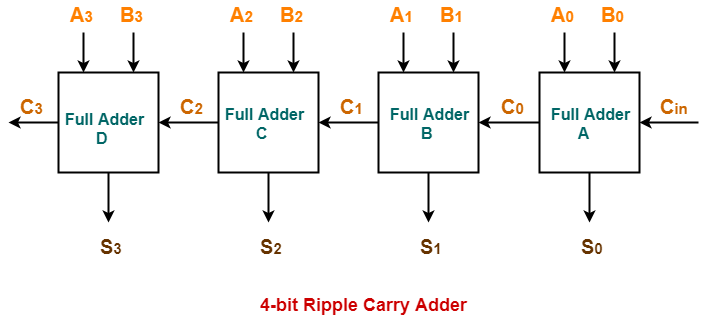
Sau khi mô phỏng và thiết kế bộ cộng toàn phần với ngõ vào A, B, Cin và ngõ ra S, Cout. Ta thấy bộ cộng toàn phần được tạo ra từ 2 bộ cộng bán phần được ghép nối tiếp với nhau hoặc có thể thiết kế bằng cách ghép các cổng logic lại với nhau. Phép toán được bộ cộng toàn phần thực hiện theo trình tự cộng lần lược các bit Cin+A+B sau đó suất dữ liệu tại ngõ ra S. Với trường hợp có tràn bit xảy ra thì biến số dư Cout sẽ nhảy lên 1, ngược lại nếu phép toán ko xảy ra tràn bit thì biến số dư Cout sẽ bằng 0.

## 4.2 THIẾT KẾ MẠCH CỖNG TOÀN PHẦN FULL ADDER 4 BIT

### 4.2.1 Sơ đồ nguyên lý

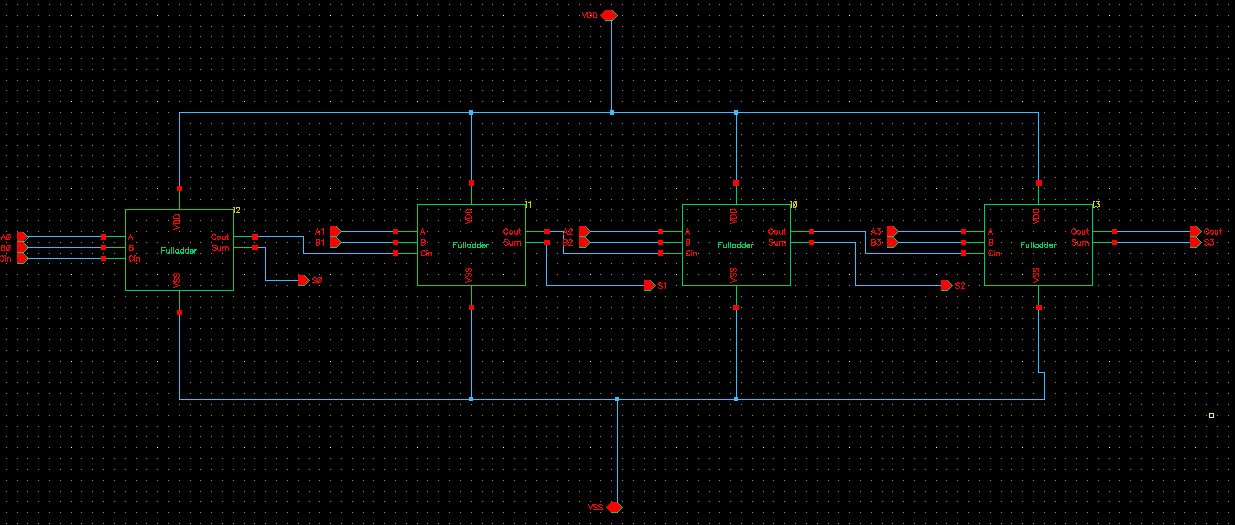
**Theo lý thuyết:**

Mạch cộng toàn phần 4 bit được thiết kế bởi 4 bộ mạch cộng toàn phần 1 bit ghép nối tiếp nhau, với lần lượt 2 ngõ vào nhị phân 4bit A3A2A1A0 và B3B2B1B0 và bộ nhớ khởi tạo Carry in, và ngõ ra là tổng của ngõ vào A 4bit và B 4bit và bộ nhớ khởi tạo Cin, là S3S2S1S0 và Carry out.

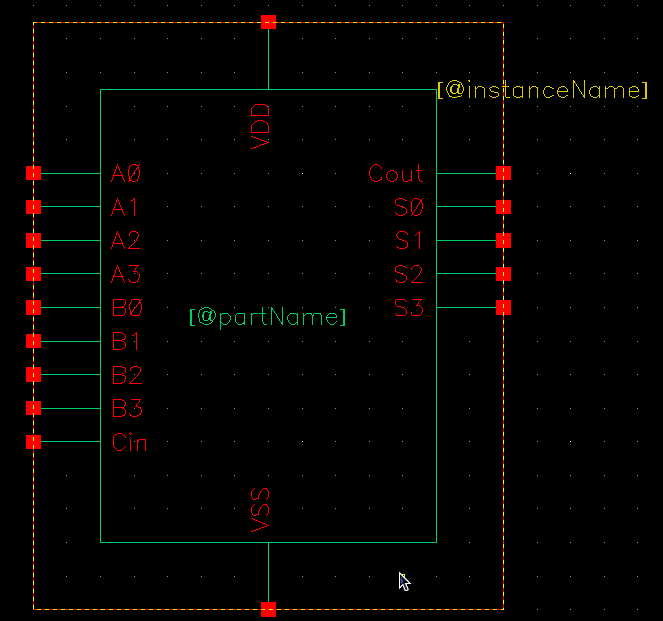


***Hình 4.18. Sơ đồ nguyên lý của mạch cộng toàn phần 4 bit***

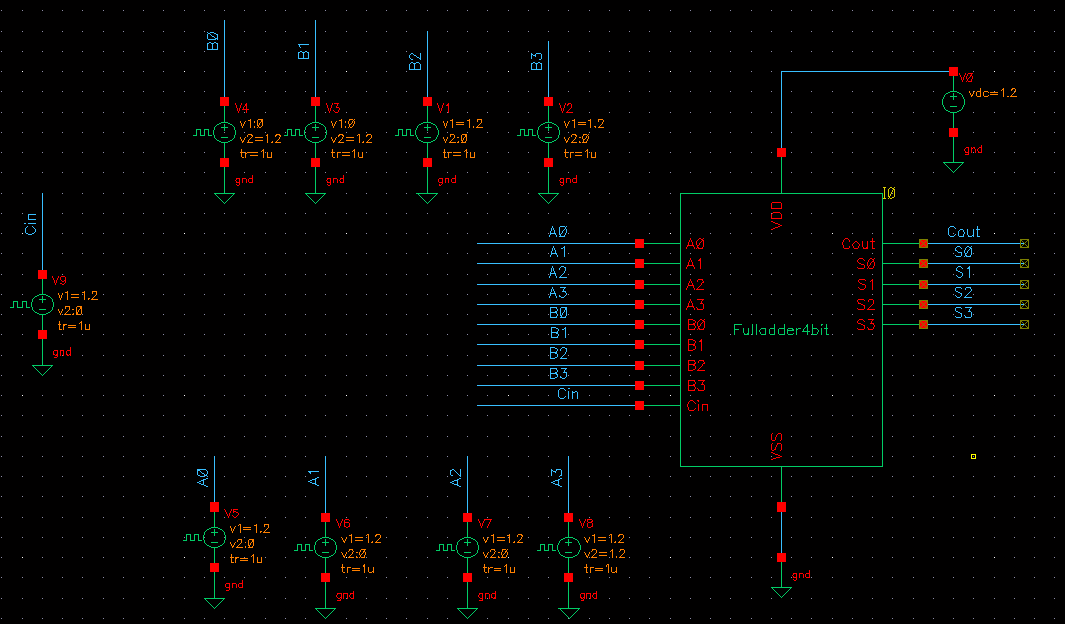
Trong phần mềm Cadence:



***Hình 4.19: Sơ đồ nguyên lý của mạch cộng toàn phần 4 bit***



***Hình 4.20: Đóng gói mạch cộng toàn phần 4 bit***

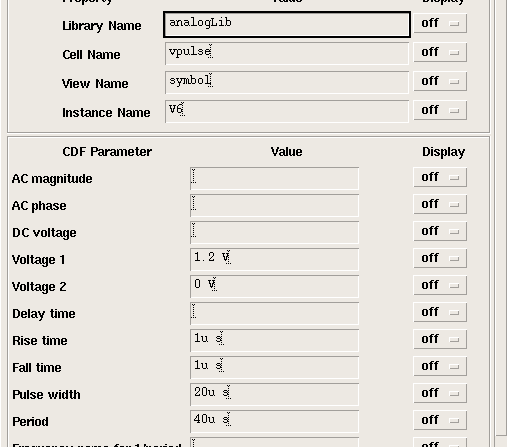


***Hình 4.21: gắn nguồn cho ngõ vào A3A2A1A0, B3B2B1B0 và bộ nhớ đệm Cin cho mạch cộng toàn phần 4 bit***

**Thông số ngõ vào:**



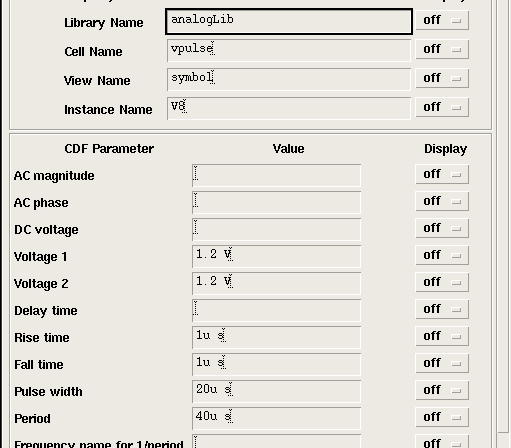
***Hình 4.22: thông số ngõ vào A0***



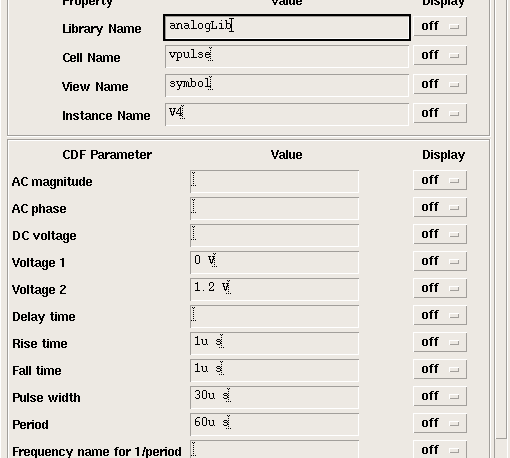
***Hình 4.23: thông số ngõ vào A1***



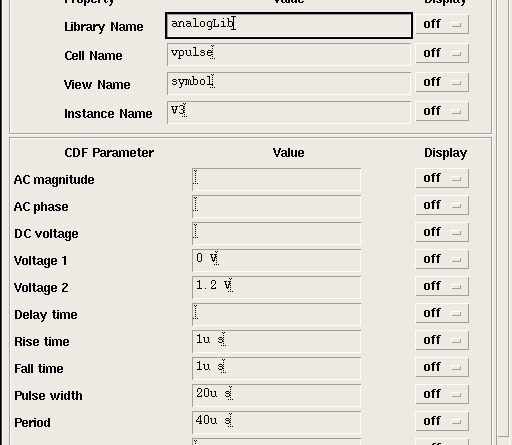
***Hình 4.24: thông số ngõ vào A2***

******

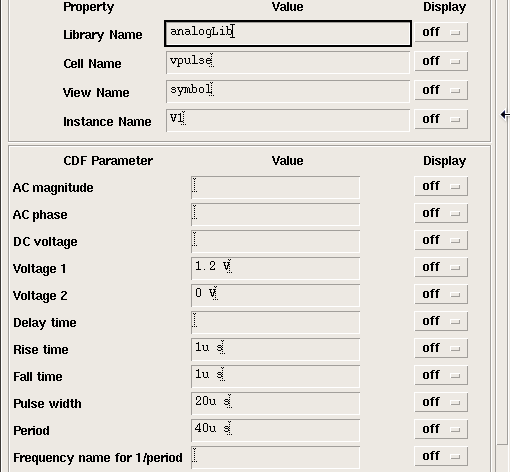
***Hình 4.25: thông số ngõ vào A3***

******

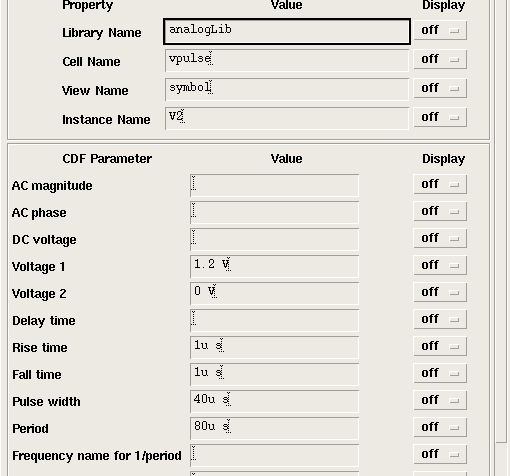
***Hình 4.26: thông số ngõ vào B0***

******

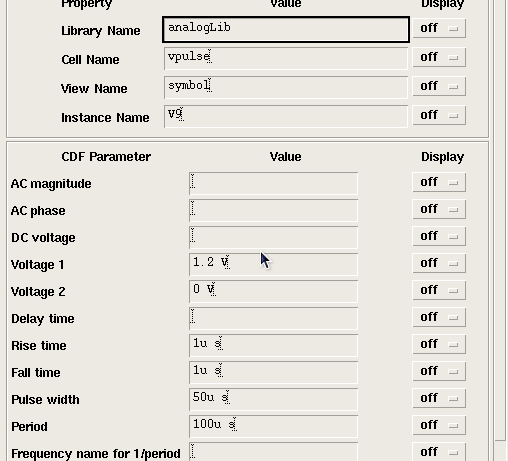
***Hình 4.27: thông số ngõ vào B1***

******

***Hình 4.28: thông số ngõ vào B2***

******

***Hình 4.29: thông số ngõ vào B3***

******

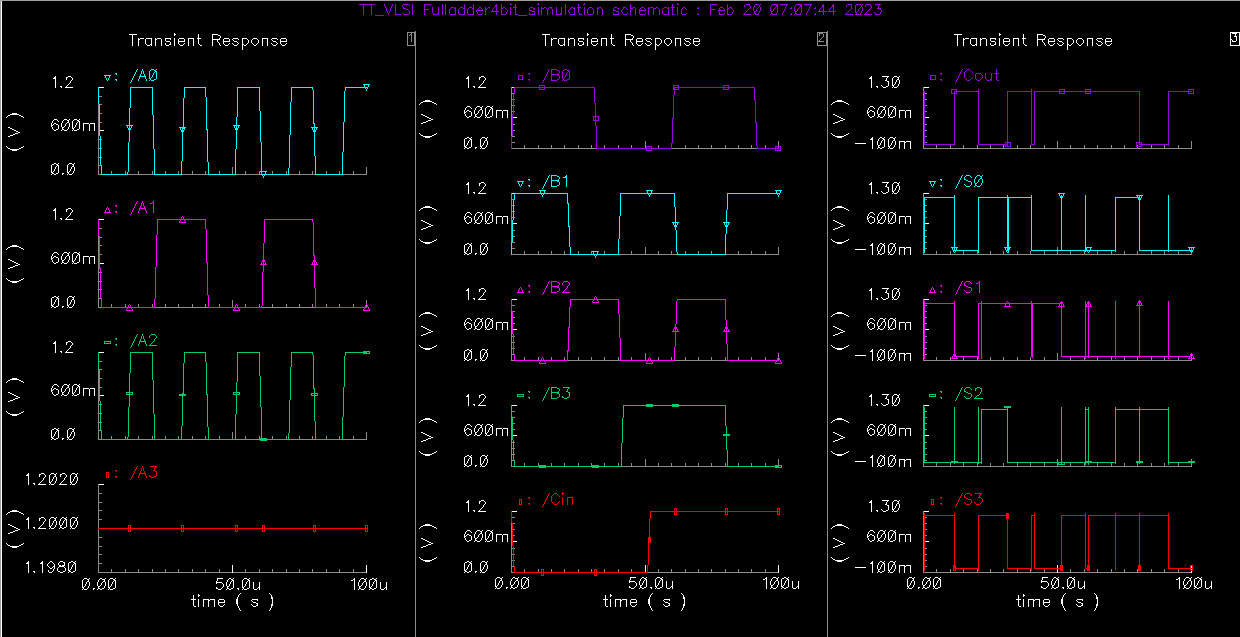
***Hình 4.30: thông số ngõ vào Cin***



***Hình 4.31: thông số Analog Environment của mạch cộng toàn phần 4 bit***

Dùng Analog Environment và chọn ngõ vào 4 bit A3A2A1A0 và B3B2B1B0 và Cin và ngõ ra S3S2S1S0 và Cout để mô phỏng.

* + 1. **Kết quả mô phỏng**

******

***Hình 4.32: Kết quả mô phỏng dạng sóng của mạch cộng toàn phần 4 bit***

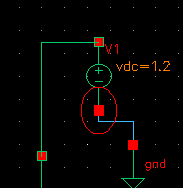
Phân tích:

* Từ 0u (s) tới 10u (s) , ngõ vào A = 10002 (810), B = 00112 (310) và Cin = 0
* Khi A+B+Cin thì ngõ ra S = 10112 (1110) và Cout = 0.
* Từ 10u (s) tới 20u (s), ngõ vào A = 11012 (1310), B = 00112 (310) và Cin = 0
* Khi A+B+Cin thì ngõ ra S = 00002 và Cout = 1 (1610).

## TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

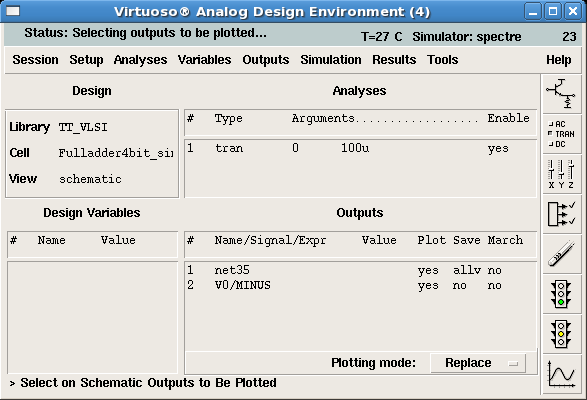
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

### 4.2.3.1 Sơ đồ nguyên lý

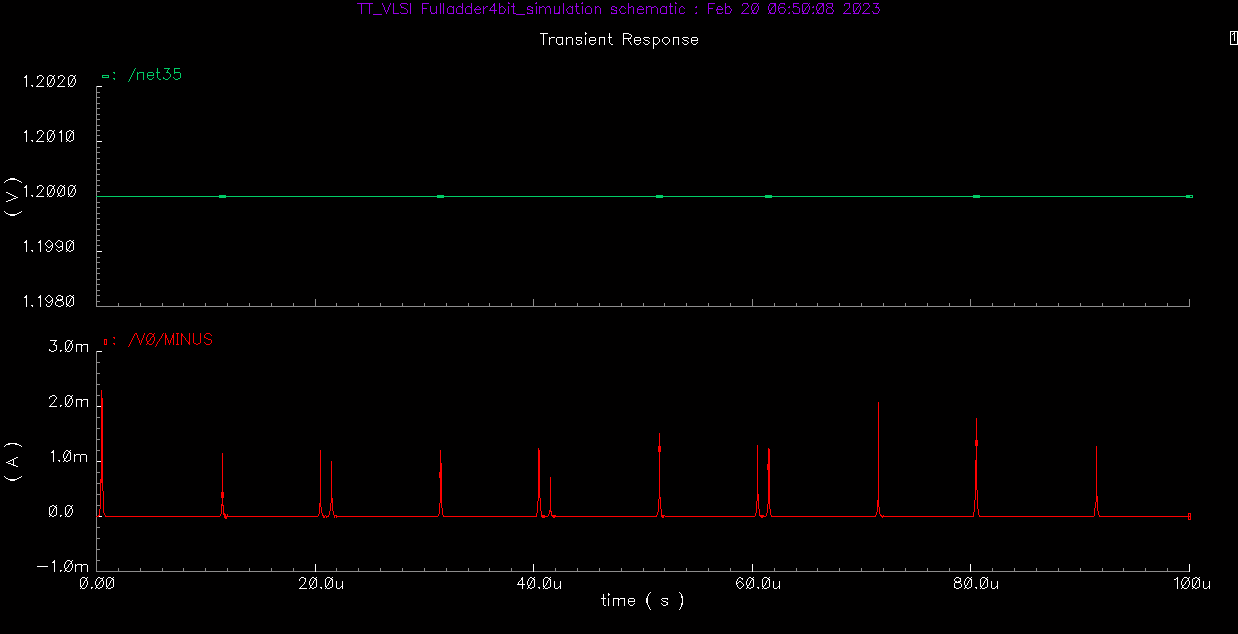


***Hình 4.33 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

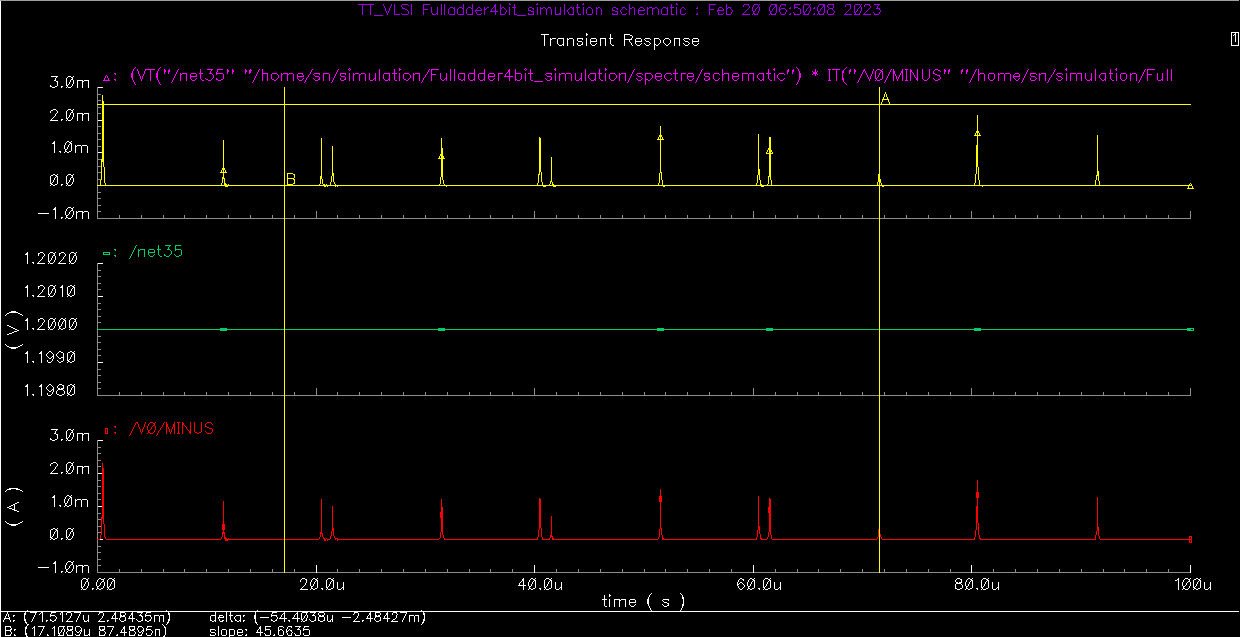
***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

***Hình 4.34: Analog environment để mô phỏng dạng sóng của nguồn và áp Vdd***

### 4.2.3.2 Kết quả mô phỏng



***Hình 4.35: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

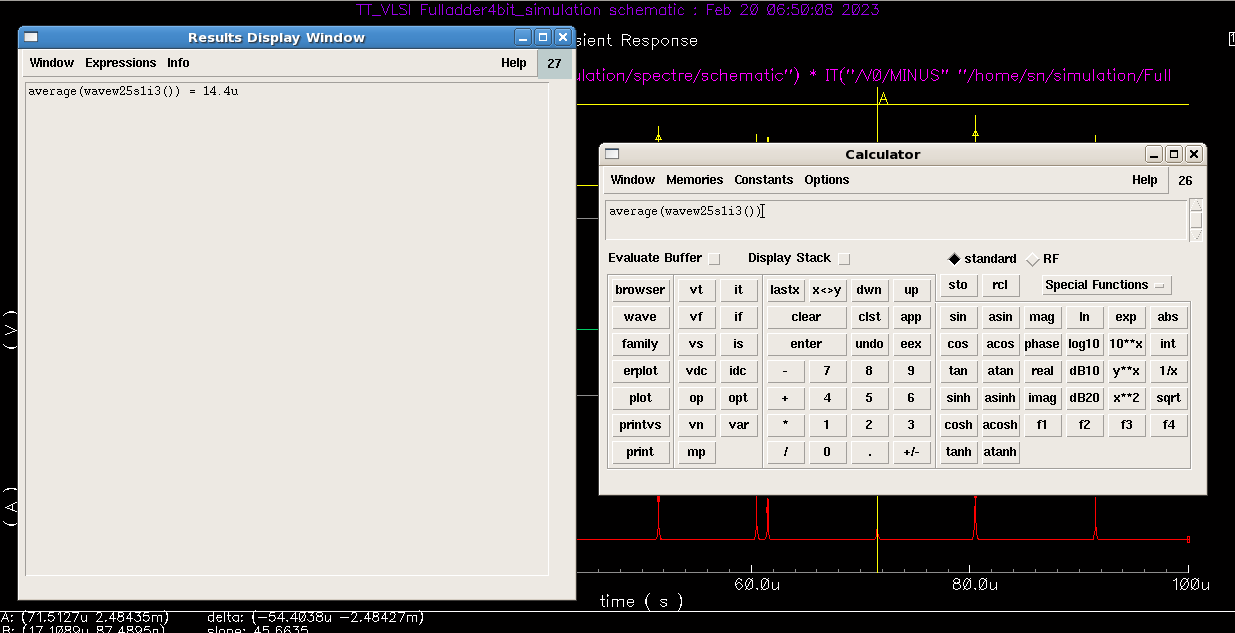
***Hình 4.36: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

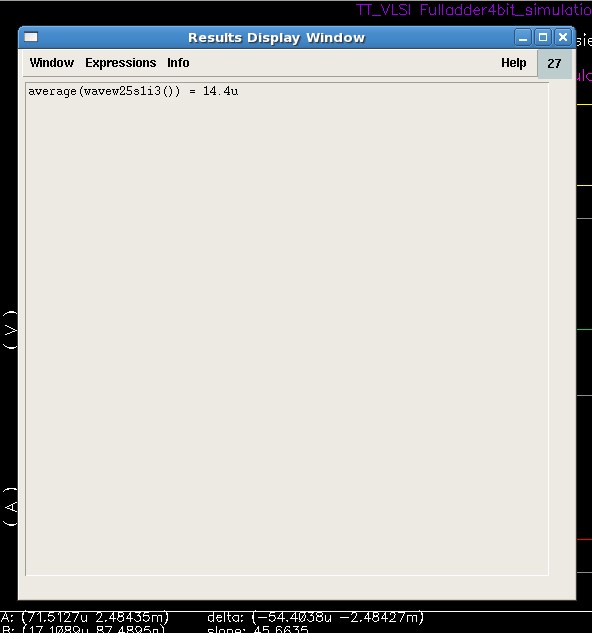
Pmax = 2,48435 mW

Pmin = 87,4895 nW

### 4.2.3.3 Tính công suất trung bình

****

***Hình 4.37: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 4.38: Kết quả công suất trung bình là 14.4*** **uW**

### 4.2.4 KẾT LUẬN

Qua quá trình thiết kế và mô phỏng cổng logic AND 4 ngõ vào ta thấy được cổng AND 4 ngõ vào được tạo thành từ 3 cổng AND 2 ngõ vào mắc nối tiếp với nhau. Với đầu vào A, B, C, D và đầu ra Y thì cổng logic AND 4 ngõ có chức năng thực hiện phép nhân 4 bit nhị phân. Nghĩa là với mọi đầu vào mức cao khi qua cổng logic AND 4 ngõ vào ta sẽ cho kết quả đầu ra ở mức cao và chỉ cần 1 trong 4 đầu vào ở mức thấp thì đầu ra sẽ ở mức thấp.

**CHƯƠNG 5: THIẾT KẾ VÀ MÔ PHỎNG FLIP FLOP D**

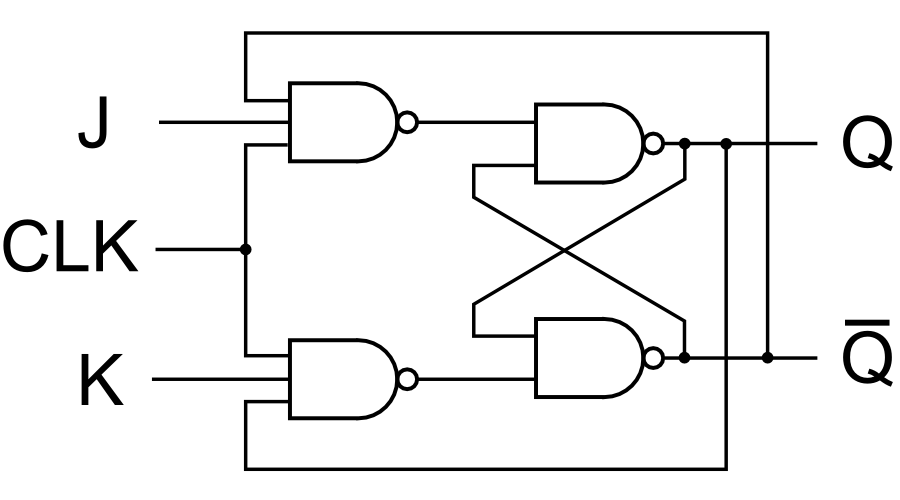
* 1. **THIẾT KẾ MẠCH FLIP FLOP D**

### 5.1.1 Giới thiệu

**Theo lý thuyết:**

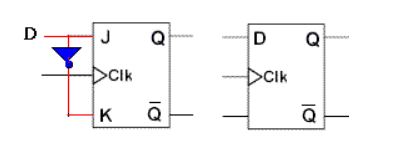
- Khi nối ngõ vào của FF RS hay JK như hình thì sẽ được FF D : chỉ có 1 ngõ vào gọi là ngõ vào data(dữ liệu) hay delay(trì hoãn). Hoạt động của FF D rất đơn giản : ngõ ra sẽ theo ngõ vào mỗi khi xung Ck tác động cạnh lên hay xuống.

 - FF D thường là nơi để chuyển dữ liệu từ ngõ vào D đến ngõ ra Q cung cấp cho mạch sau như mạch cộng, ghi dịch… nên hơn nữa ngõ vào D phải chờ một khoảng thời gian khi xung ck kích thì mới đưa ra ngõ ra Q, do đó FF D còn được xem như mạch trì hoãn, ngõ D còn gọi là delay.



***Hình 5.1: Sơ đồ mạch Flip – Flop JK***

* Flip Flop D là flip flop JK với J và K nối với nhau qua cổng NOT như hình 9.2 bên dưới:

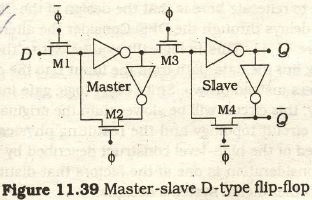
****

***Hình 5.2. Sơ đồ và kí hiệu của flip flop D***

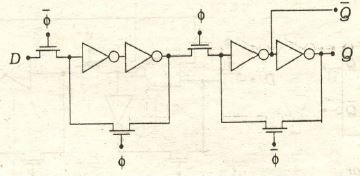
Bảng bên dưới là bảng trạng thái của flip flop D:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **D** | **Q** | **~ Q** |
|  | 0 | 0 | 1 | Xóa |
|  | 1 | 1 | 0 | Bật |

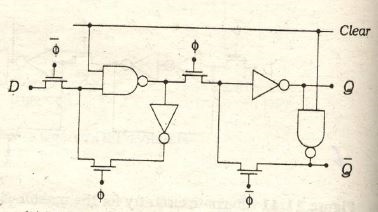
Ngoài có còn có mạch flip flop D dạng Master Slave



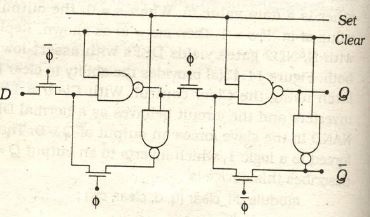
***Hình 5.3. Sơ đồ nguyên lý của Master-slave DFF***



***Hình 5.4. Sơ đồ nguyên lý alternate circuit Master-slave DFF***



***Hình 5.5. Sơ đồ nguyên lý Master-slave DFF có điều khiển clear***

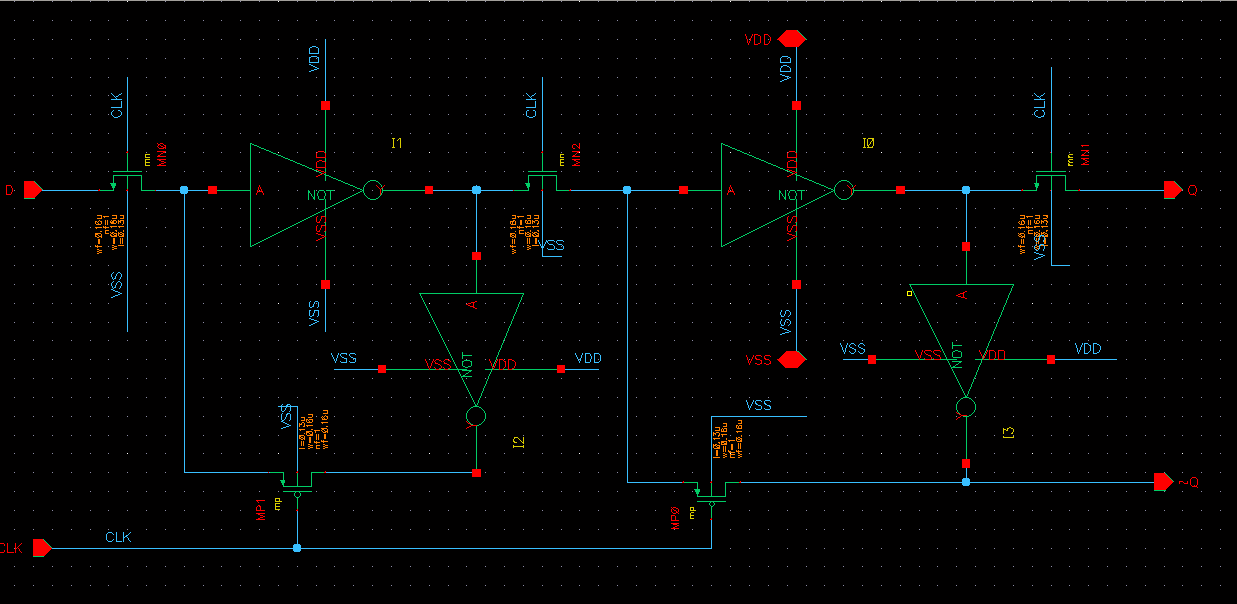


***Hình 5.6. Sơ đồ nguyên lý Master-slave DFF có điều khiển set/clear***

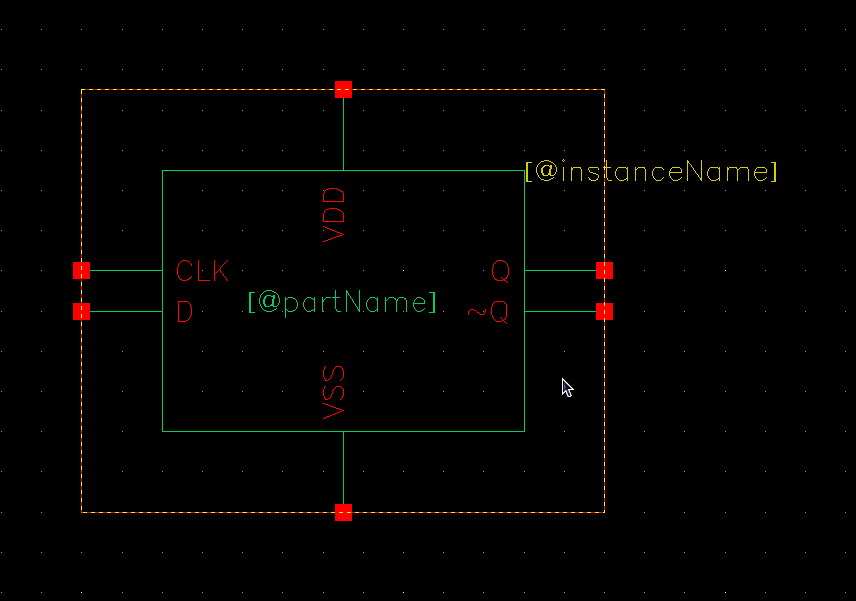
Trong phần mềm Cadence:

### MASTER SLAVE FFD

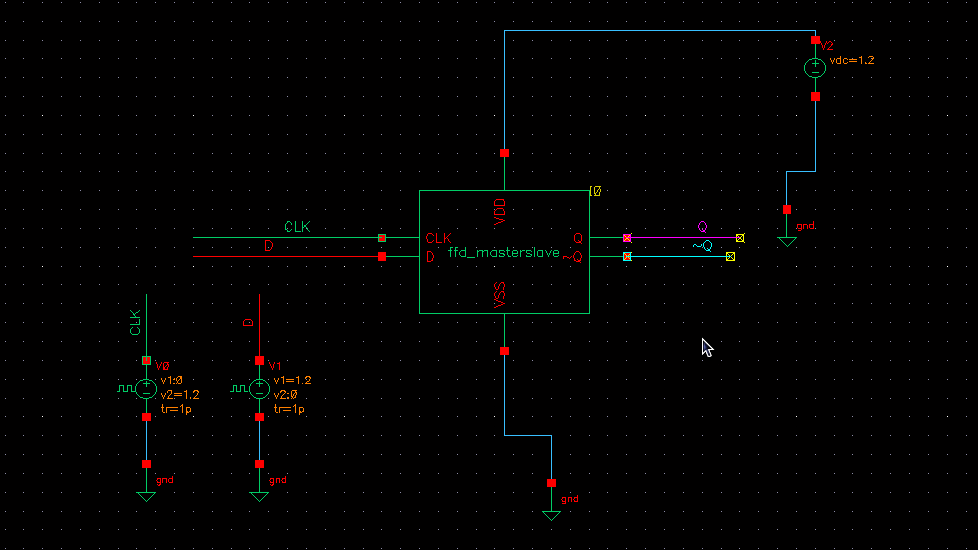
### 5.1.2.1 Sơ đồ nguyên lý



***Hình 5.7: Sơ đồ nguyên lý của master slave của flip flop D***

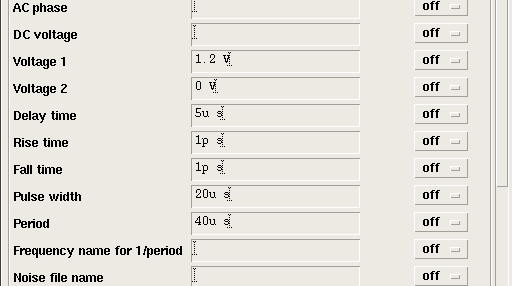


***Hình 5.8: Đóng gói mạch flip flip D master slave***

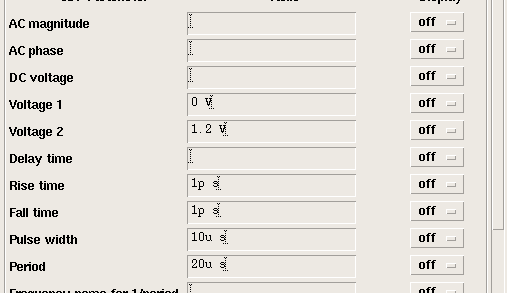


***Hình 5.9: gắn nguồn cho ngõ vào D và xung CLK***

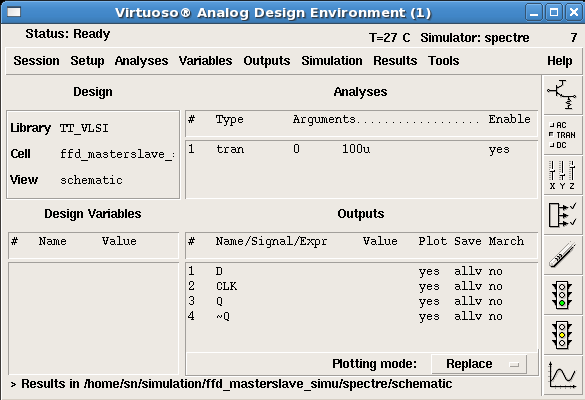
# Thông số:



***Hình 5.10: thông số ngõ vào D***

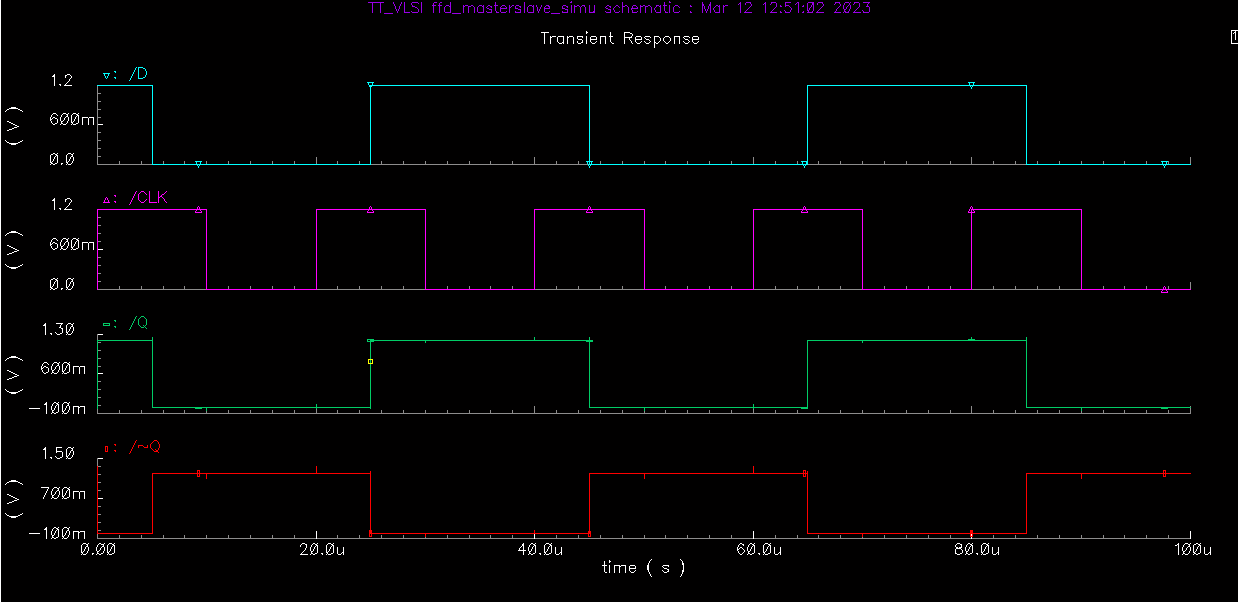


***Hình 5.11: thông số ngõ vào CLK***



***Hình 5.12: thông số Analog Environment của master slave FFD***

### 5.1.2.2 Kết quả mô phỏng

******

***Hình 5.13: Kết quả mô phỏng của mạch master slave flip flop D***

**Phân tích:**

Ở thời điểm 17u (s), khi xung CLK = 0, D = 0, thì ngõ ra Q = 0 và ~Q = 1 (không đổi trạng thái).

Ở thời điểm 20u (s), khi xung CLK cạnh lên, D = 0, thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 40u (s), khi xung CLK cạnh lên, D = 1, thì ngõ ra Q = 1 và ~Q = 1.

Ta so với bảng trạng thái:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **D** | **Q** | **~ Q** |
|  | 0 | 0 | 1 | Xóa |
|  | 1 | 1 | 0 | Bật |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

* Thời gian thiết lập Master-slave DFF (Tsu)

****

**Hình 5.14. Thời gian thiết lập Master-slave DFF**

=> Setup time (Tsu) = 10.0179 – 5 = 5.01789 us

* Thời gian giữ Master-slave DFF (Th)



**Hình 5.15. Thời gian giữ Master-slave DFF**

=> Hold time (Th) = 13.0457 – 10 = 3.045 us

* Thời gian từ xung CLK đến Q:



**Hình 5.16. Thời gian từ xung CLK đến Q**

=> Thời gian từ xung CLK đến Q: (TCLK-Q) = 25.0168 – 20 = 5.0168 us

* Thời gian từ xung CLK đến Q’:



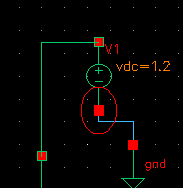
**Hình 5.17. Thời gian từ xung CLK đến Q’**

=> Thời gian từ xung CLK đến Q’: (TCLK-Q’) = 25.0168 – 20 = 5.0168 us

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

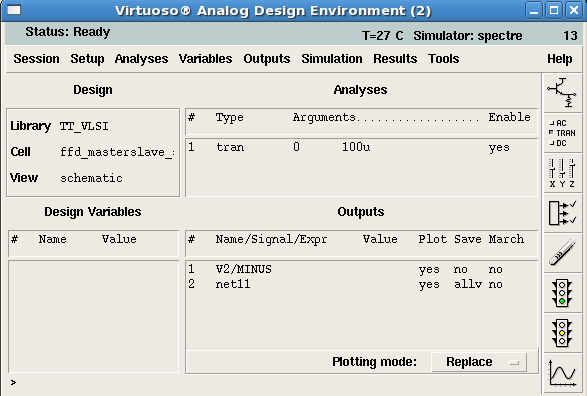
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



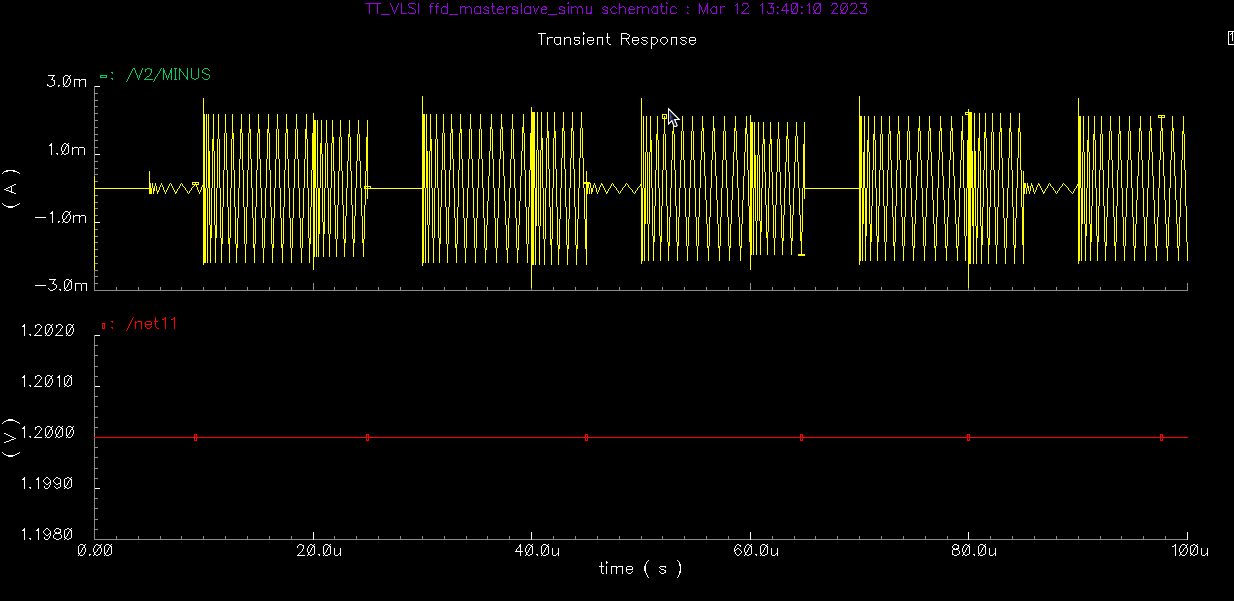
***Hình 5.18 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

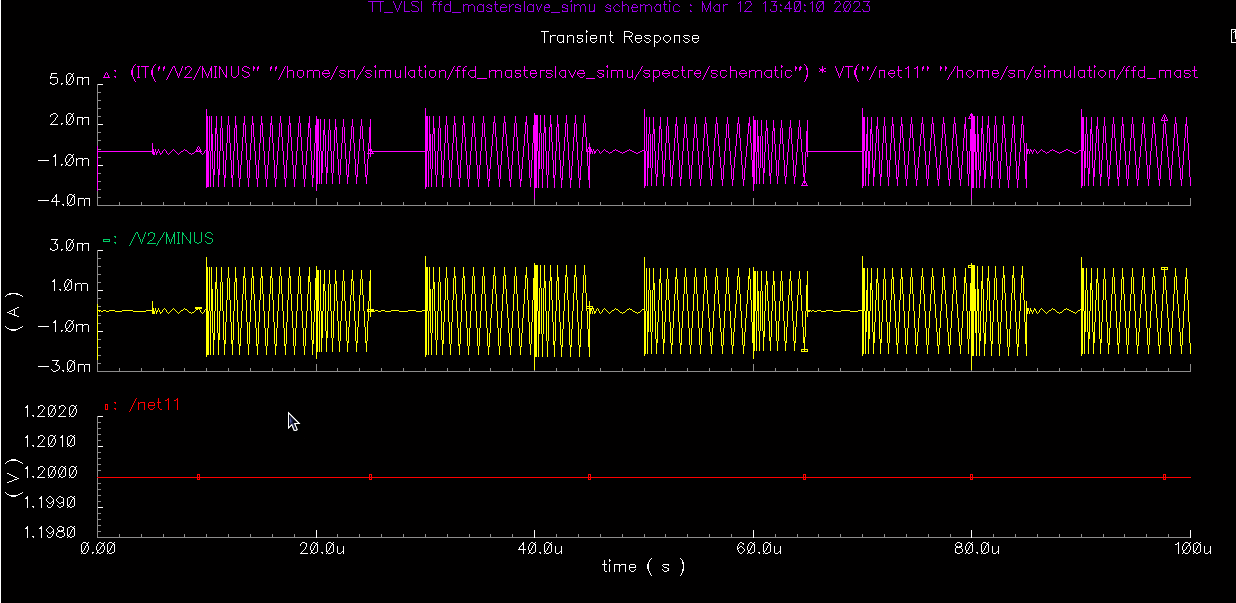
******

***Hình 5.19: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 5.20: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

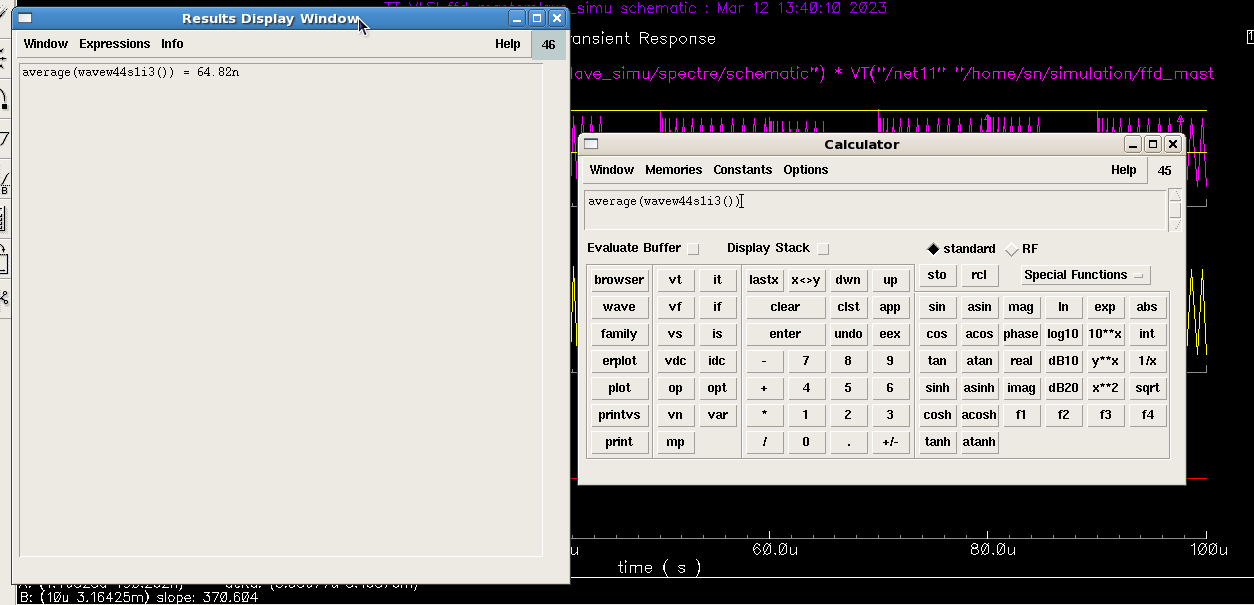
***Hình 5.21: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

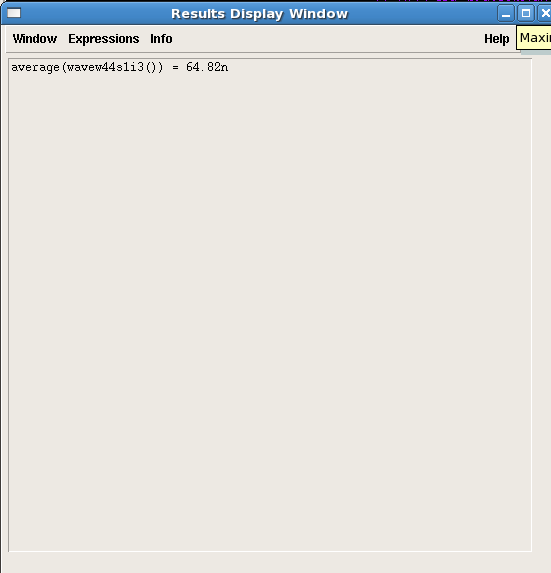
Pmax = 3.16 mW

Pmin = 490 nW

**Tính công suất trung bình**

****

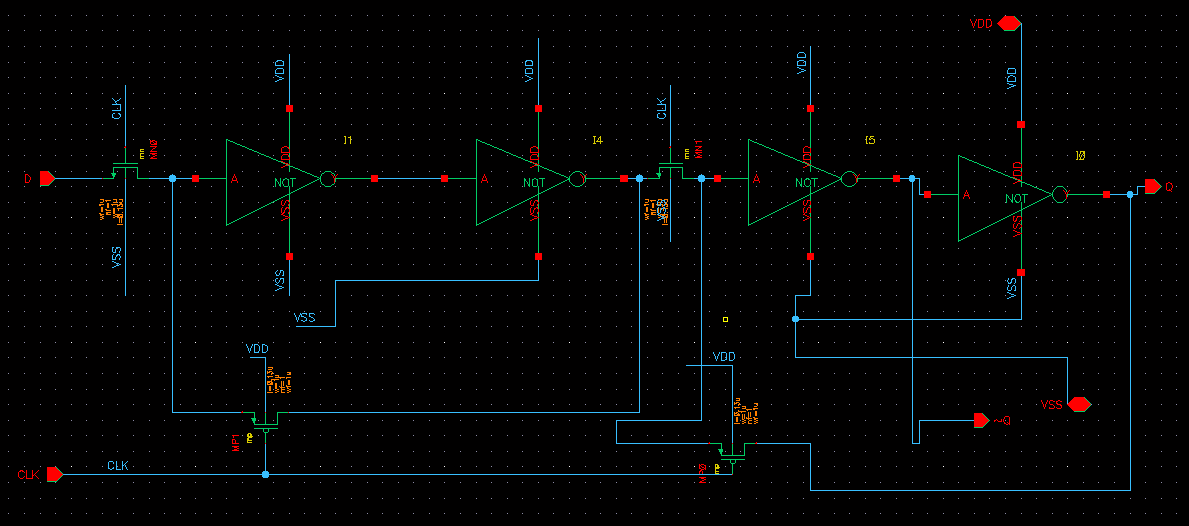
***Hình 5.22: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

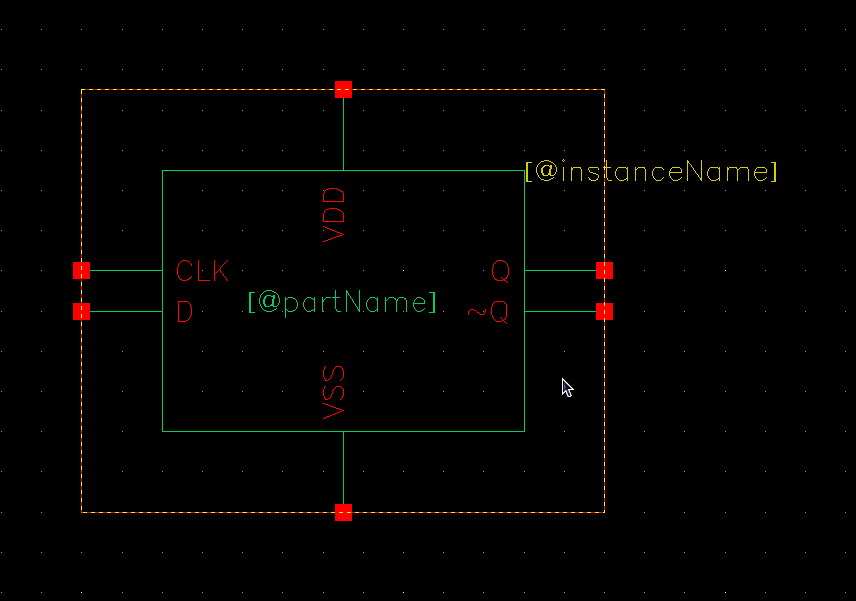
***Hình 5.23: Kết quả công suất trung bình là 64.82 nW***

### ALTERNATE CIRCUIT FOR MASTER SLAVE FFD

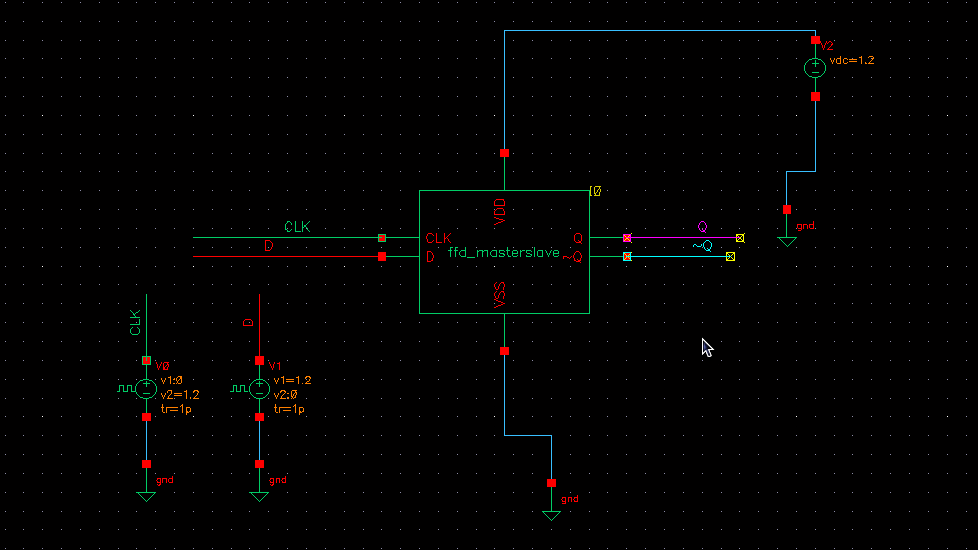
### 5.1.3.1 Sơ đồ nguyên lý



***Hình 5.24: Sơ đồ nguyên lý của alternate master slave của flip flop D***

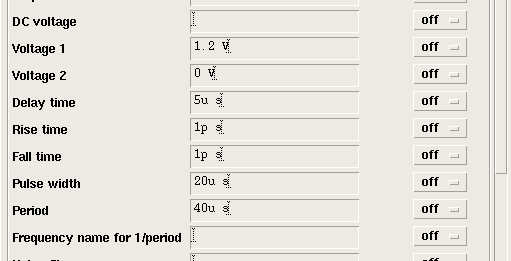


***Hình 5.25: Đóng gói mạch flip flip D alternate master slave***



***Hình 5.26: gắn nguồn cho ngõ vào D và xung CLK***

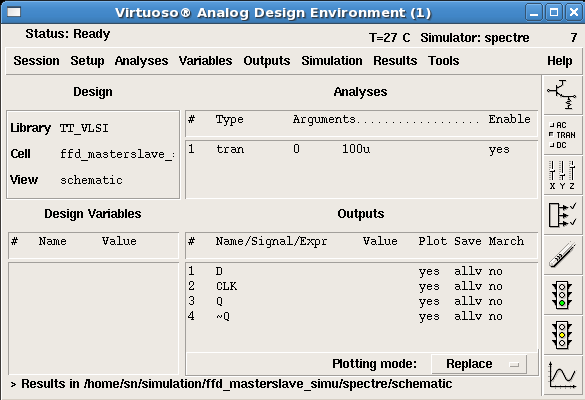
Thông số:



***Hình 5.27: thông số ngõ vào D***

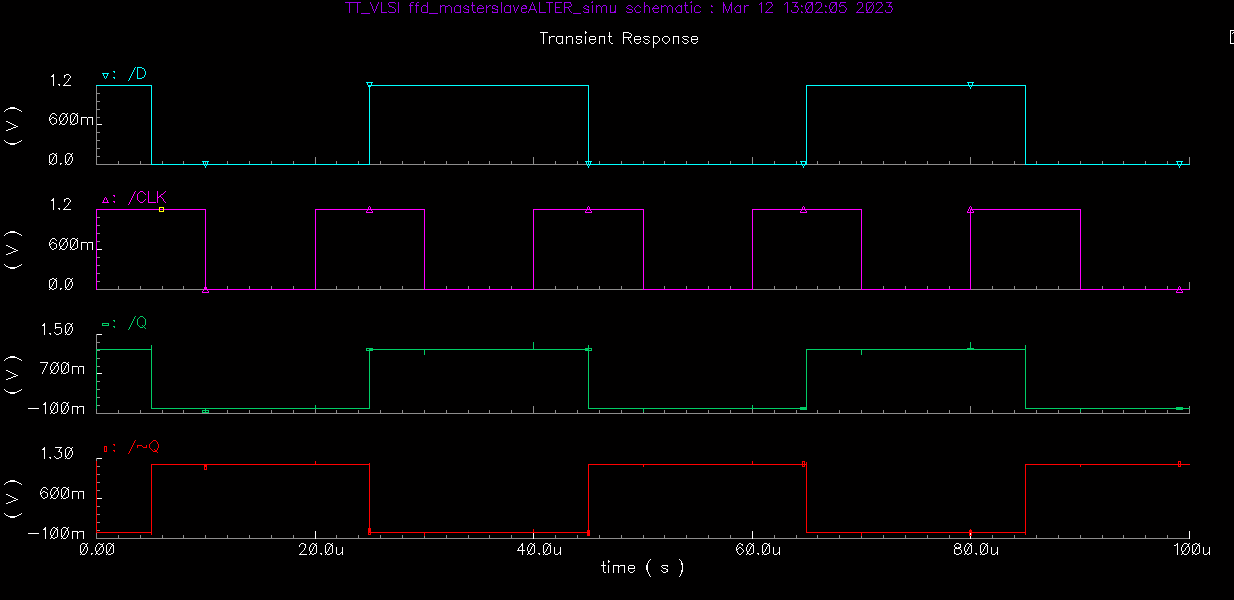


***Hình 5.28: thông số ngõ vào CLK***



***Hình 5.29: thông số Analog Environment của master slave FFD***

### 5.1.3.2 Kết quả mô phỏng

******

***Hình 5.30: Kết quả mô phỏng của mạch alternate master slave flip flop D***

**Phân tích:**

Ở thời điểm 17u (s), khi xung CLK = 0, D = 0, thì ngõ ra Q = 0 và ~Q = 1 (không đổi trạng thái) vì trước thời điểm 17u (s) thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 20u (s), khi xung CLK cạnh lên, D = 0, thì ngõ ra Q = 0 và ~Q = 1.

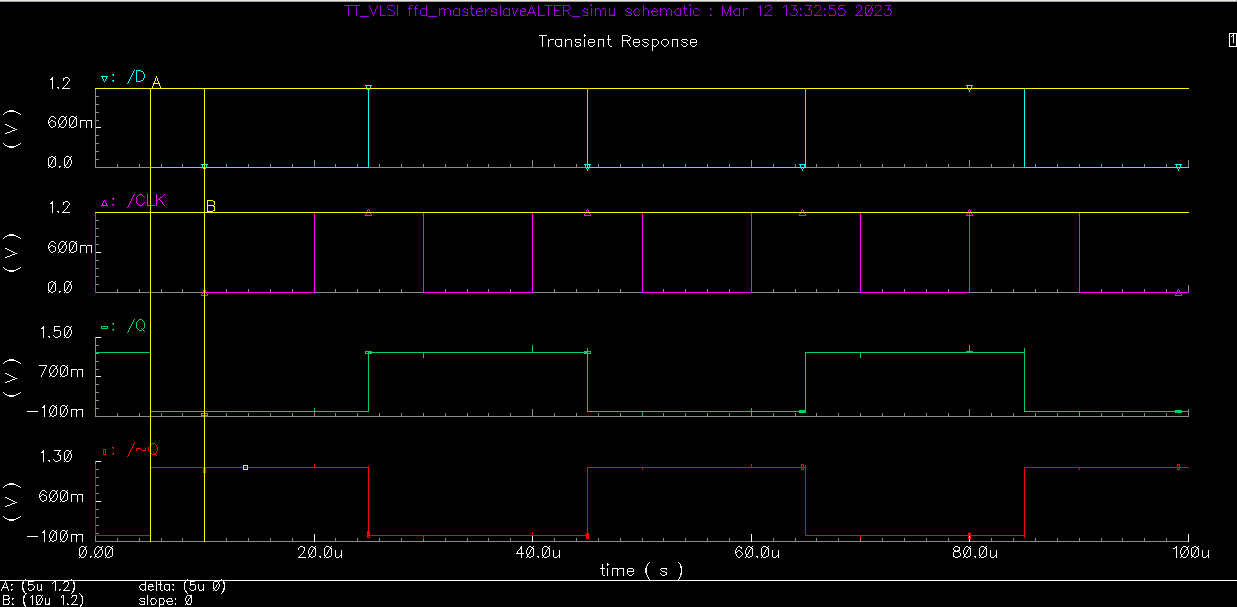
Ở thời điểm 40u (s), khi xung CLK cạnh lên, D = 1, thì ngõ ra Q = 1 và ~Q = 1.

Ta so với bảng trạng thái:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **D** | **Q** | **~ Q** |
|  | 0 | 0 | 1 | Xóa |
|  | 1 | 1 | 0 | Bật |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

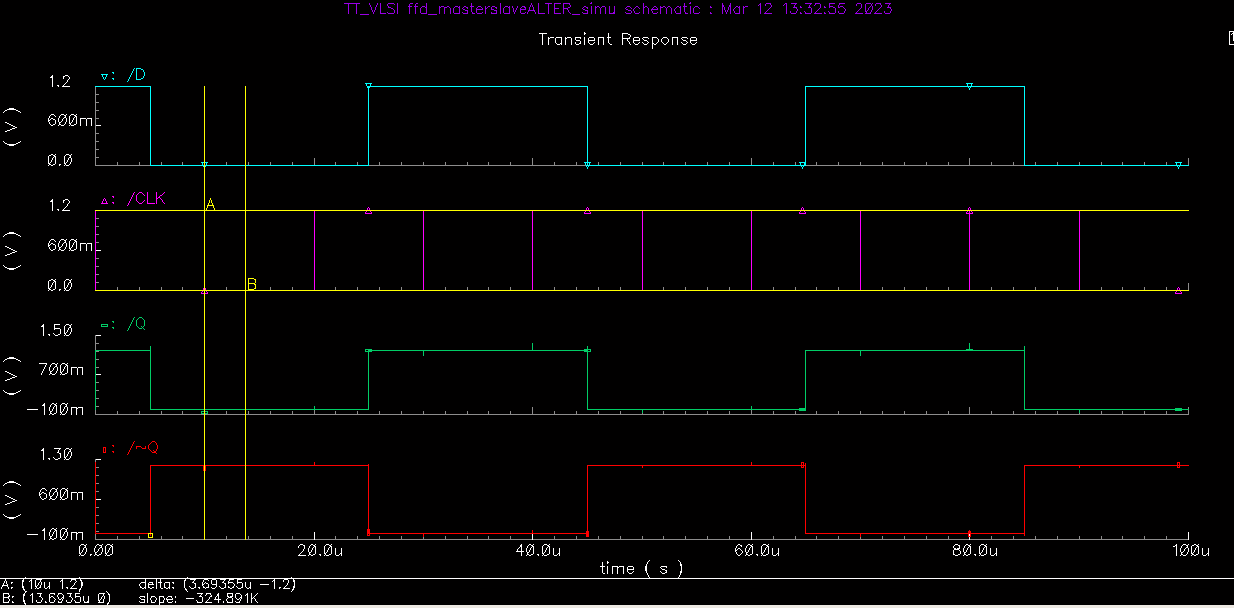
* Thời gian thiết lập Alternate Master-slave DFF (Tsu)

****

***Hình 5.31. Thời gian thiết lập Alternate Master-slave DFF***

=> Setup time (Tsu) = 10 – 5 = 5 us

* Thời gian giữ Alternate Master-slave DFF (Th)



***Hình 5.32. Thời gian giữ Alternate Master-slave DFF***

=> Hold time (Th) = 13.6935 – 10 = 3.6935 us

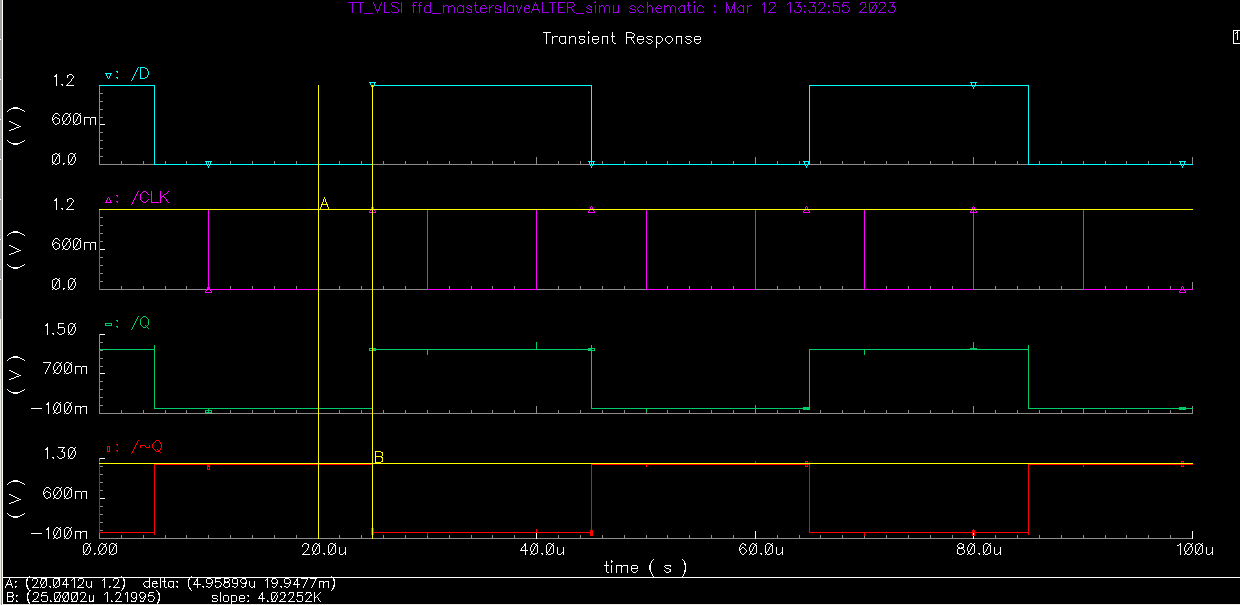
* Thời gian từ xung CLK đến Q:



***Hình 5.33. Thời gian từ xung CLK đến Q***

=> Thời gian từ xung CLK đến Q: (TCLK-Q) = 25.0005 – 20.0412 = 4.95924 us

* Thời gian từ xung CLK đến Q’:



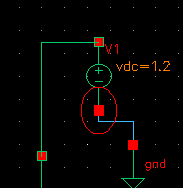
***Hình 5.34. Thời gian từ xung CLK đến Q’***

=> Thời gian từ xung CLK đến Q’: (TCLK-Q’) = 25.0002 – 20.0412 = 4.95899 us

### 5.1.3.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

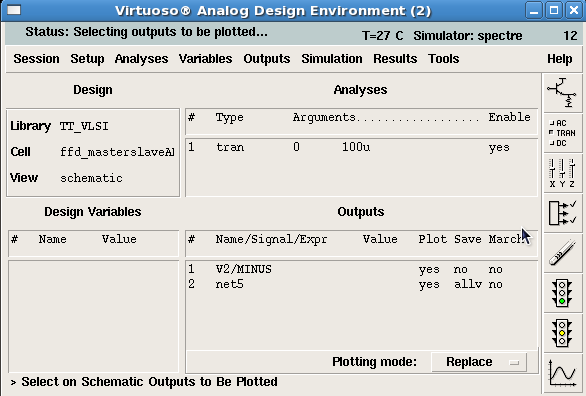
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



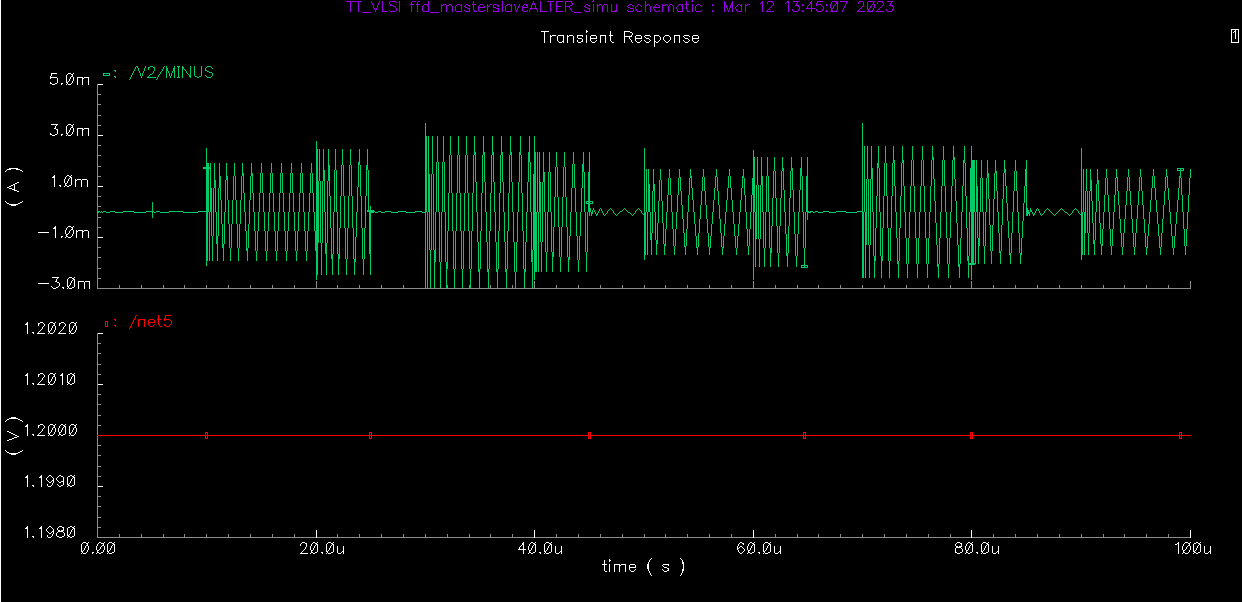
***Hình 5.35 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

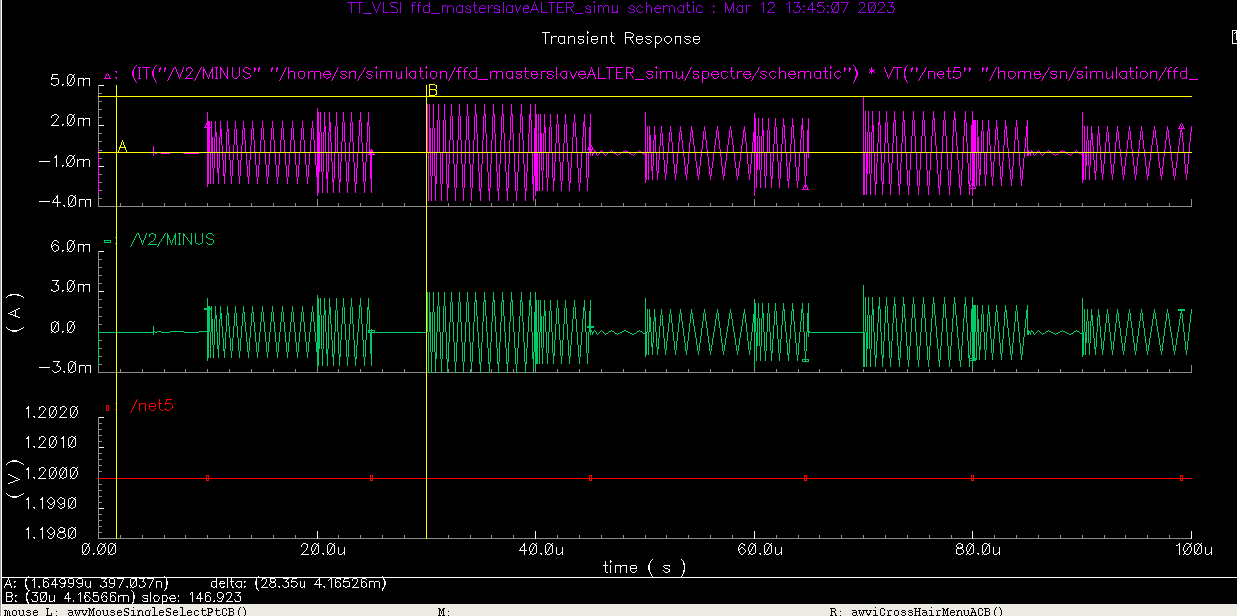
******

***Hình 5.36: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 5.37: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

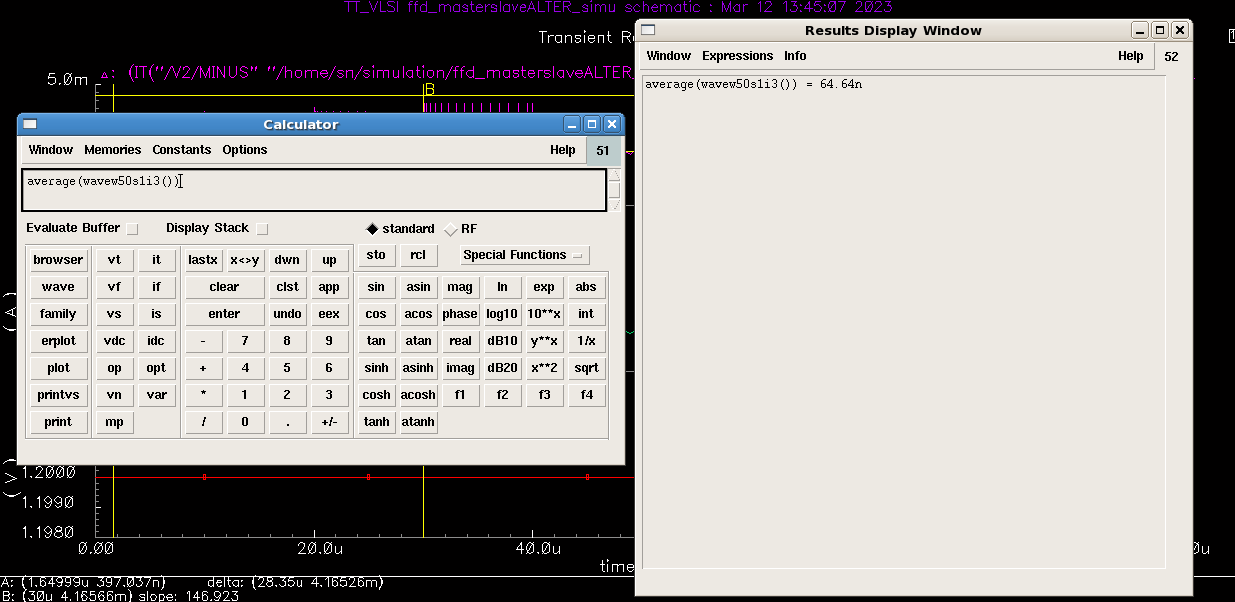
***Hình 5.38: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

Pmax = 4.16 mW

Pmin = 397 nW

**Tính công suất trung bình**

****

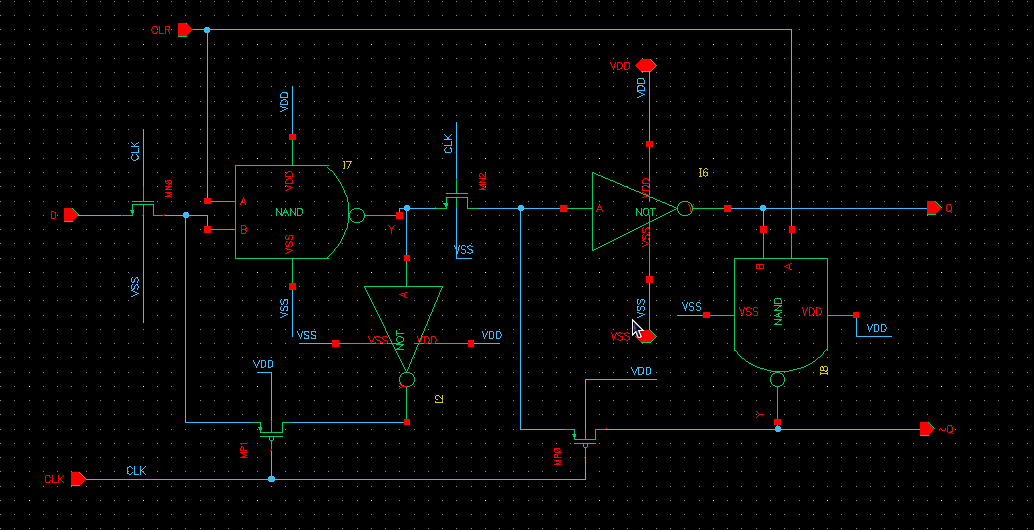
***Hình 5.39: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

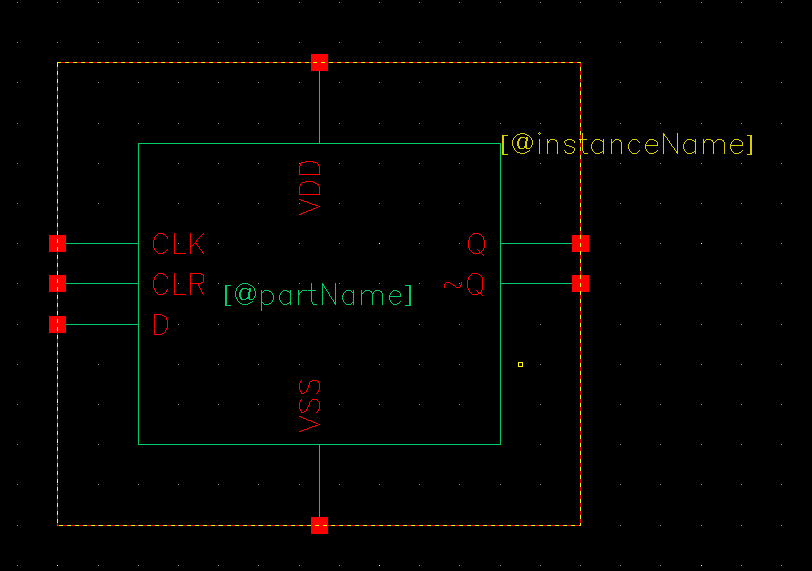
***Hình 5.40: Kết quả công suất trung bình là 64.64 nW***

### 5.1.4 CLEAR CONTROL FOR MASTER SLAVE FFD

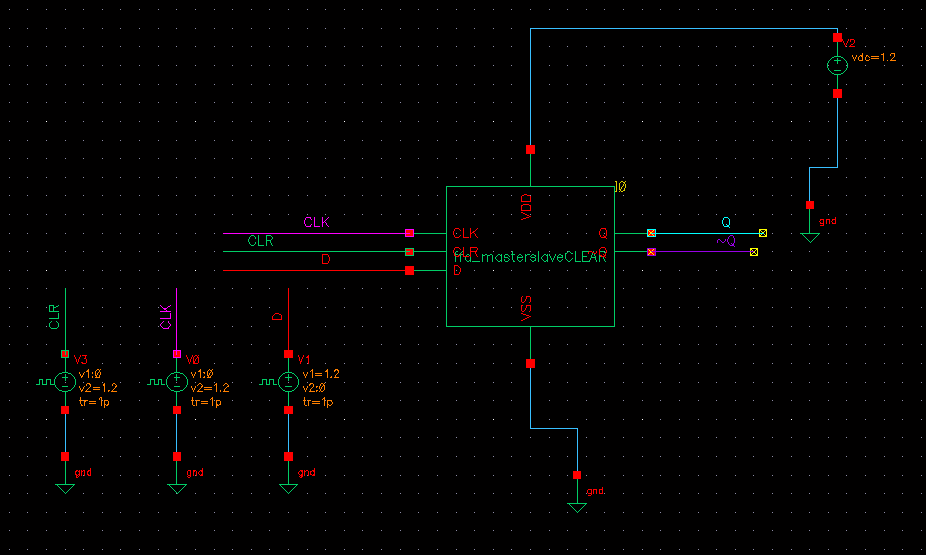
### 5.1.4.1 Sơ đồ nguyên lý



***Hình 5.41: Sơ đồ nguyên lý của clear control master slave của flip flop D***



***Hình 5.42: Đóng gói mạch flip flip D clear control master slave***

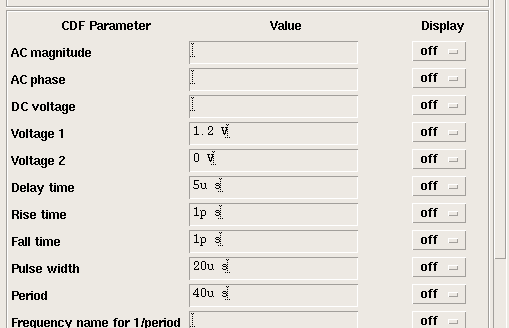


***Hình 5.43: gắn nguồn cho ngõ vào D và xung CLK và ngõ vào CLR***

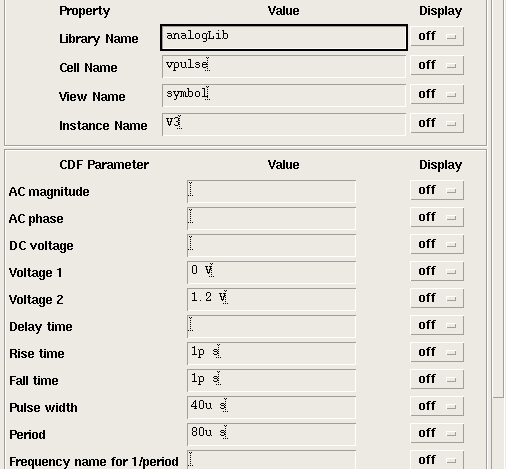
**Thông số:**



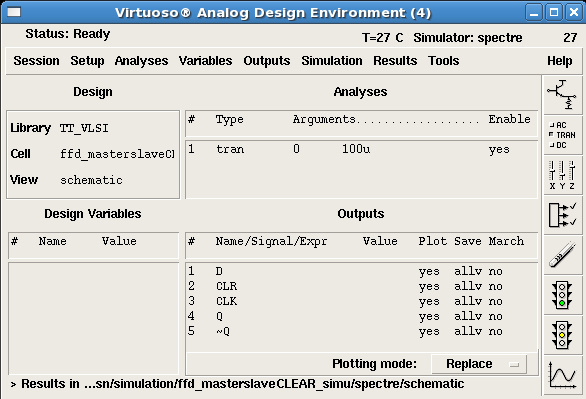
***Hình 5.44: thông số ngõ vào CLK***



***Hình 5.45: thông số ngõ vào D***

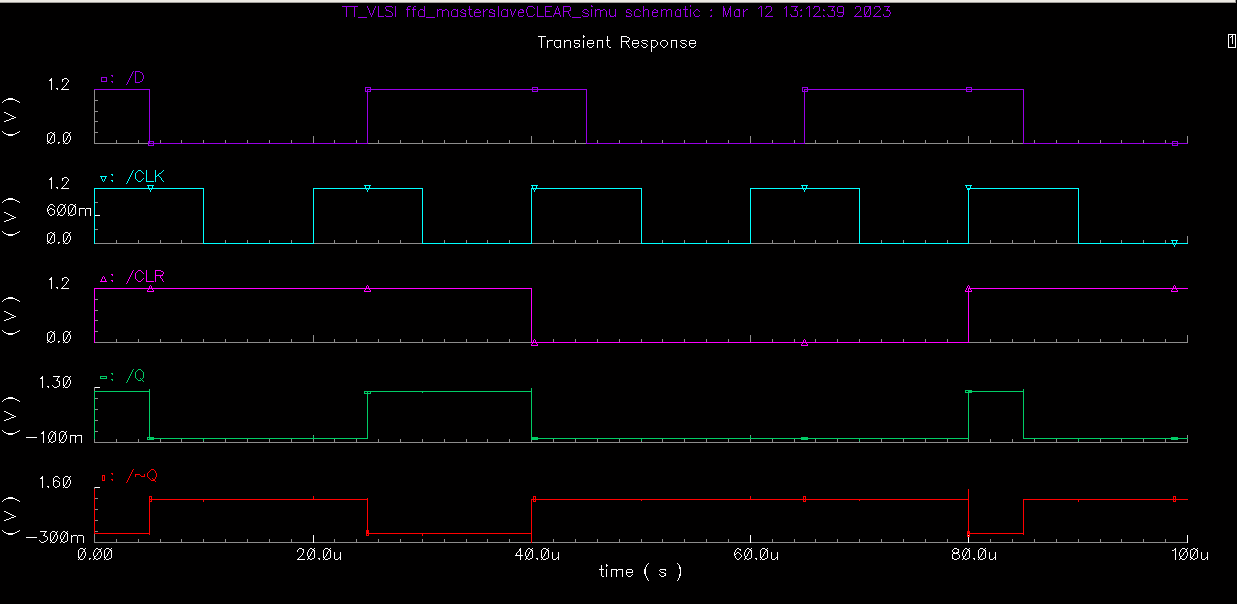


***Hình 5.46: thông số ngõ vào CLR***



***Hình 5.47: thông số Analog Environment của clear control master slave FFD***

### Kết quả mô phỏng

******

***Hình 5.48: Kết quả mô phỏng của mạch clear control master slave flip flop D***

**Phân tích:**

Ở thời điểm 17u (s), khi xung CLK = 0, D = 0, CLR =1 thì ngõ ra Q = 0 và ~Q = 1 (không đổi trạng thái) vì trước thời điểm 17u (s) thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 20u (s), khi xung CLK cạnh lên, D = 0, CLR = 1 thì ngõ ra Q = 0 và ~Q = 1.

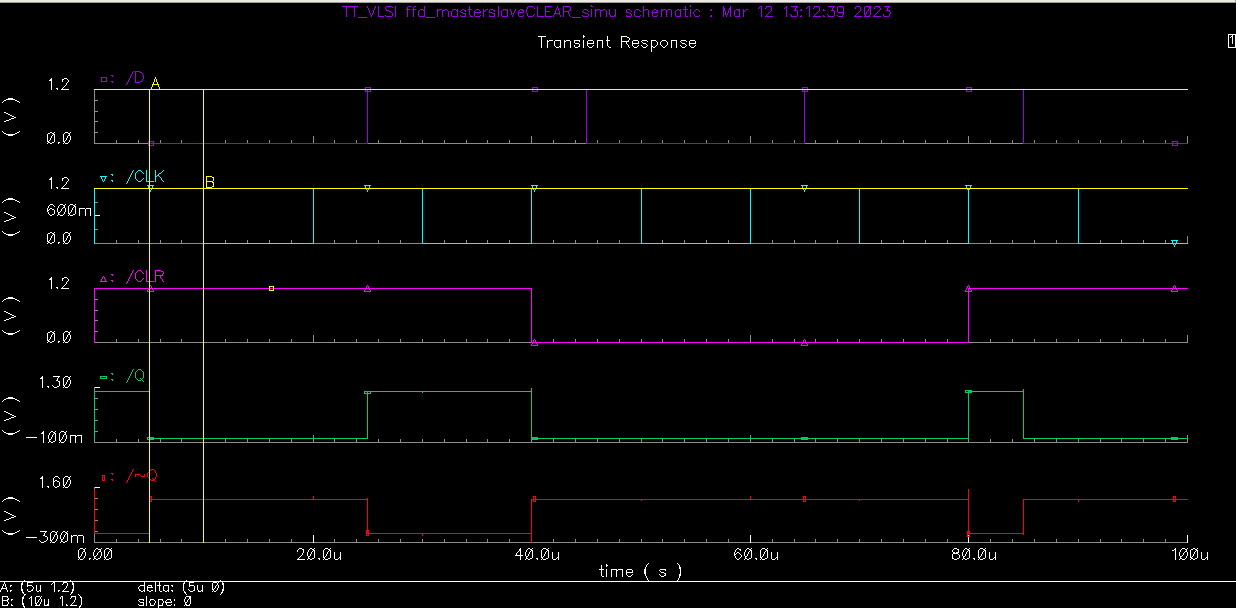
Ở thời điểm 60u (s), khi xung CLK cạnh lên, D = 0, CLR = 0 thì ngõ ra Q = 0 và ~Q = 1 do khi cho ngõ vào CLR = 0 thì sẽ reset ngõ ra Q vè trạng thái ban đầu.

Ta so với bảng trạng thái:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **CLR** | **D** | **Q** | **~ Q** |
|  | 1 | 0 | 0 | 1 | Xóa |
|  | 1 | 1 | 1 | 0 | Bật |
| 0 | 1 | x | Qo | ~ Qo | Ko đổi t/thái |
| x | 0 | x | 0 | 1 | Reset Q |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

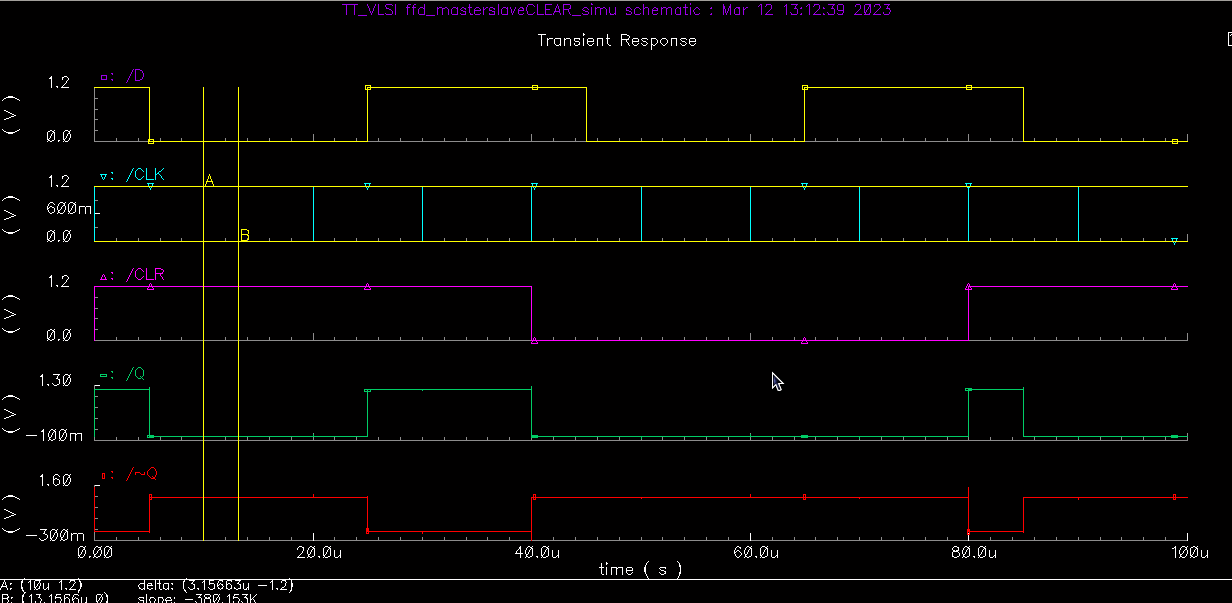
* Thời gian thiết lập Master-slave DFF (Tsu)

****

***Hình 5.49. Thời gian thiết lập clear control Master-slave DFF***

=> Setup time (Tsu) = 10 – 5 = 5 us

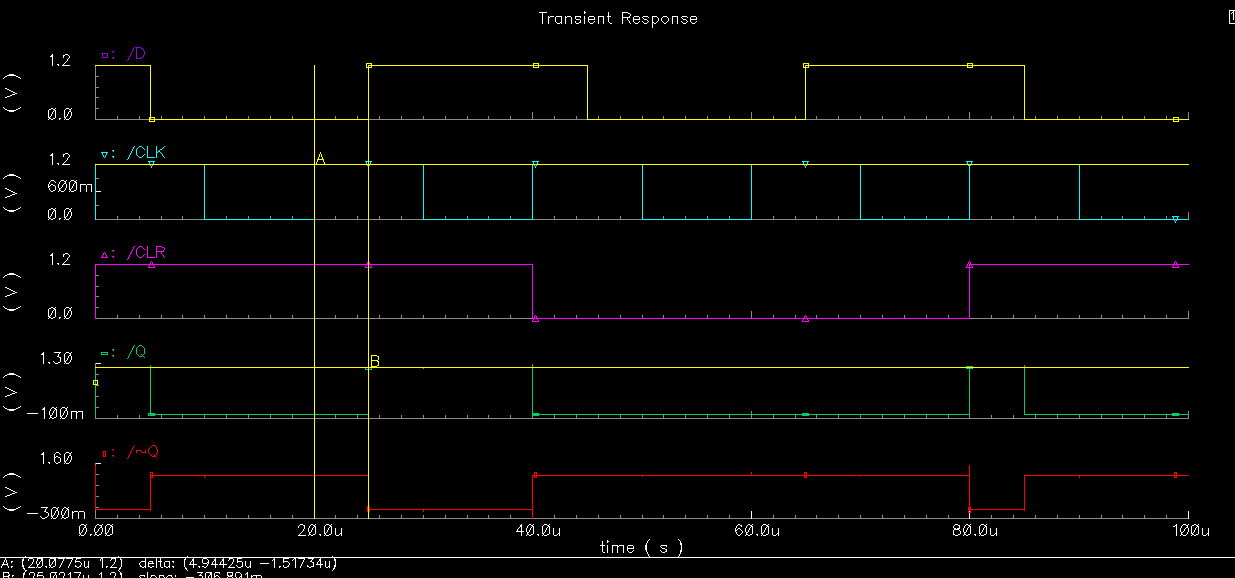
* Thời gian giữ Master-slave DFF (Th)



***Hình 5.50. Thời gian giữ clear control Master-slave DFF***

=> Hold time (Th) = 13.1566 – 10 = 3.1566 us

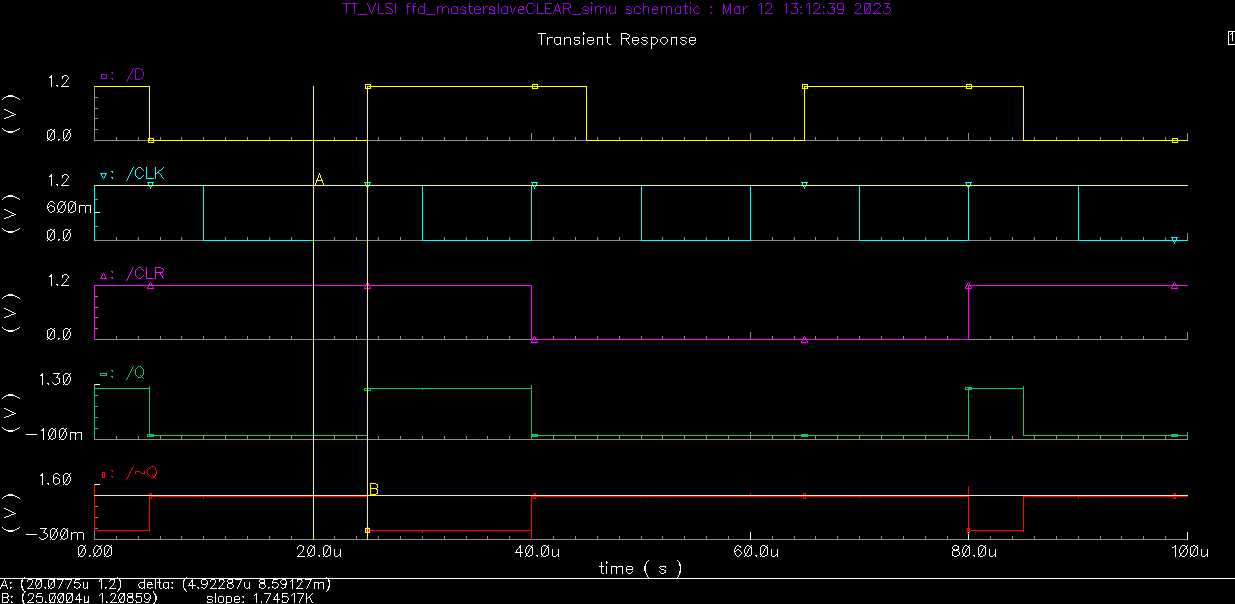
* Thời gian từ xung CLK đến Q:



***Hình 5.51. Thời gian từ xung CLK đến Q***

=> Thời gian từ xung CLK đến Q: (TCLK-Q) = 25.0217 – 20.0775 = 4.94425 us

* Thời gian từ xung CLK đến Q’:



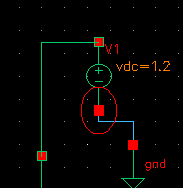
***Hình 5.52. Thời gian từ xung CLK đến Q’***

=> Thời gian từ xung CLK đến Q’: (TCLK-Q’) = 25.0004 – 20.0775 = 4.92287 us

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

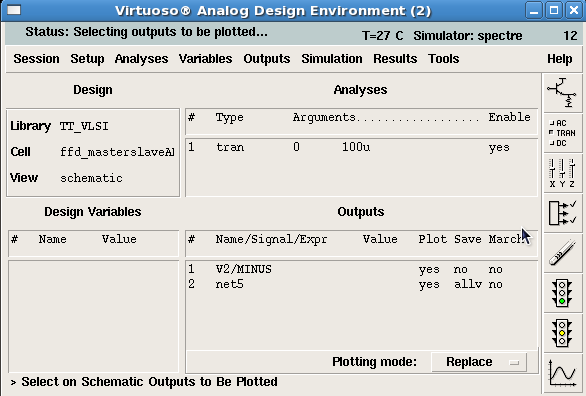
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



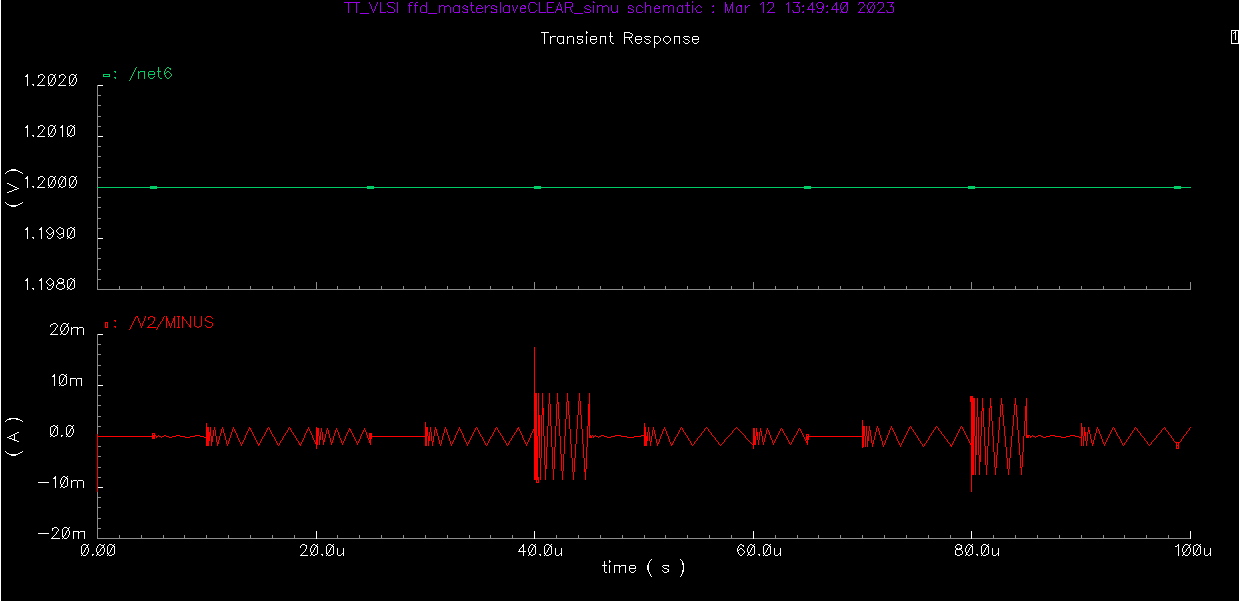
***Hình 5.53 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

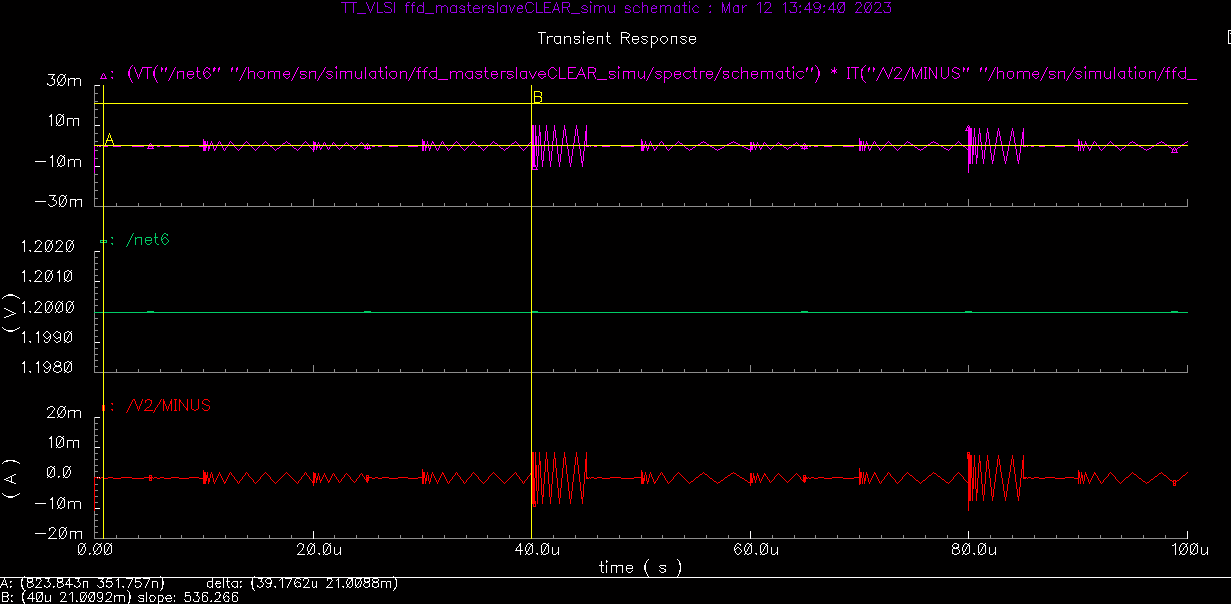
******

***Hình 5.54: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 5.55: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

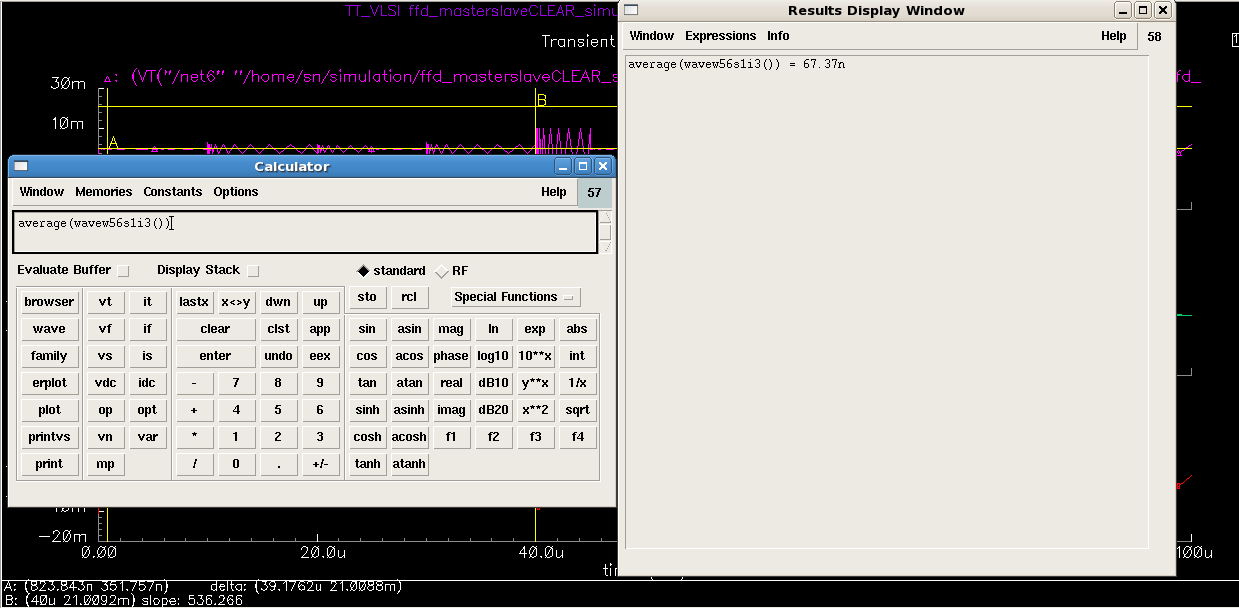
***Hình 5.56: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

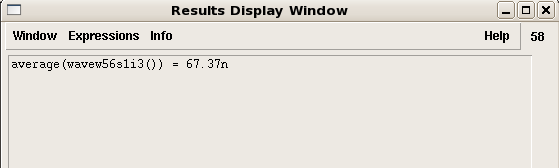
Pmax = 21 mW

Pmin = 823 nW

**Tính công suất trung bình**

****

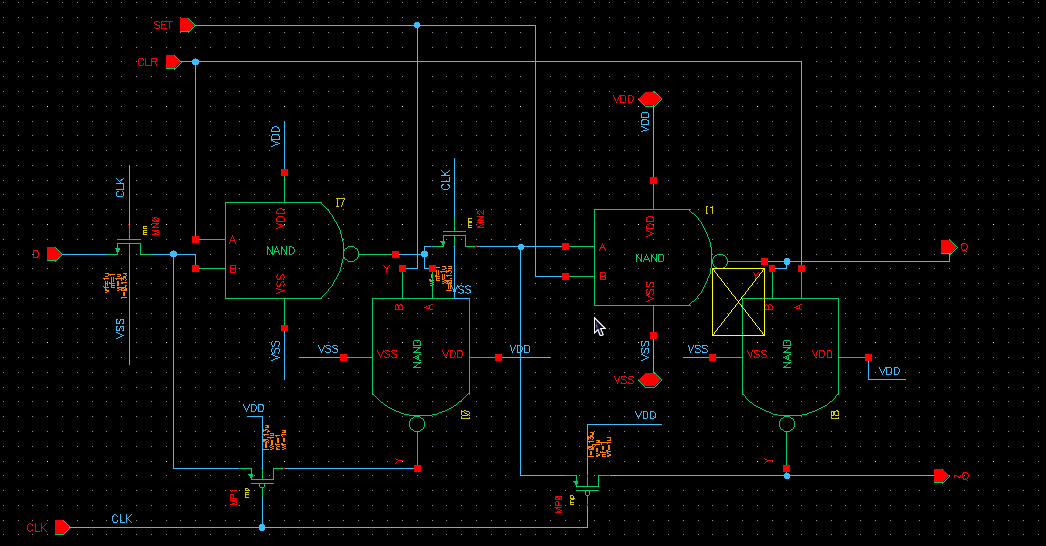
***Hình 5.57: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

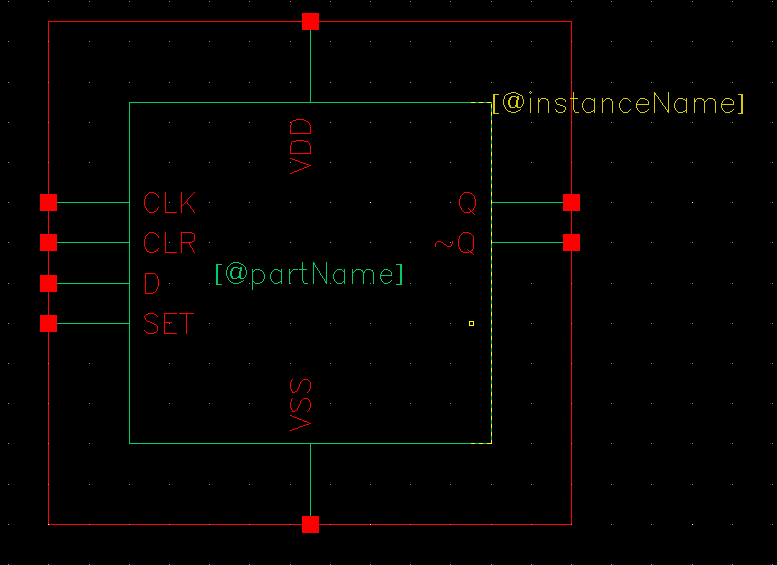
***Hình 5.58: Kết quả công suất trung bình là 8.312 Uw***

### SET/CLEAR CONTROL FOR MASTER SLAVE FFD

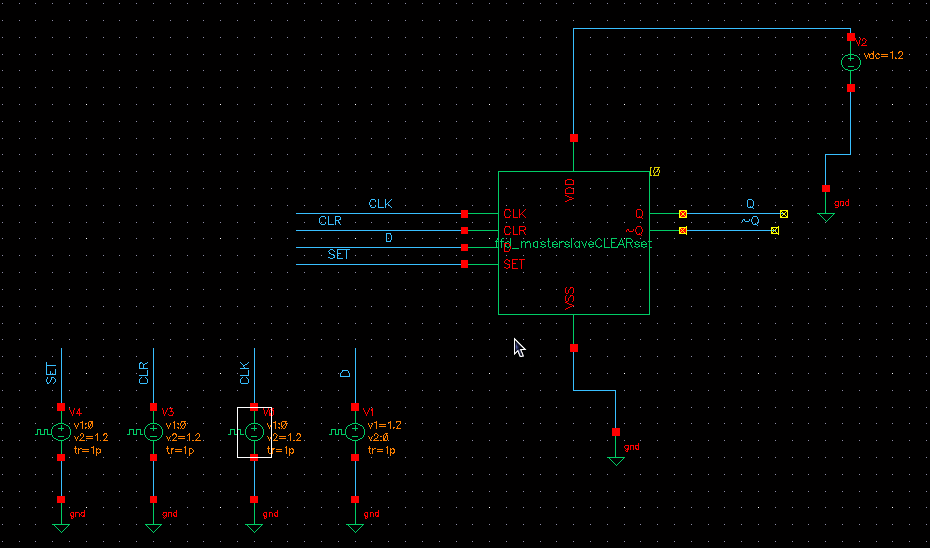
### 5.1.5.1 Sơ đồ nguyên lý



***Hình 5.59: Sơ đồ nguyên lý của set/clear control master slave của flip flop D***

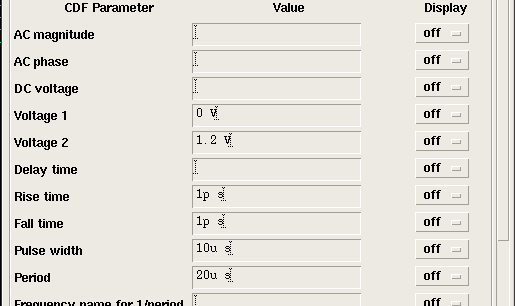


***Hình 5.60: Đóng gói mạch flip flop D set/clear control master slave***

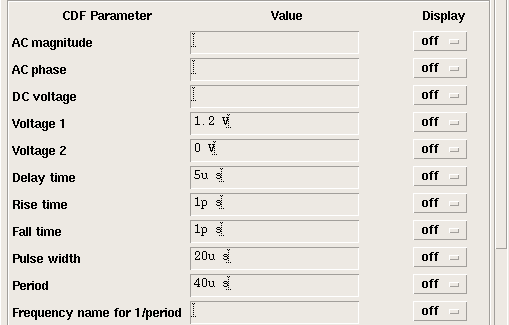


***Hình 5.61: gắn nguồn cho ngõ vào D, xung CLK, 2 ngõ vào SET và CLR***

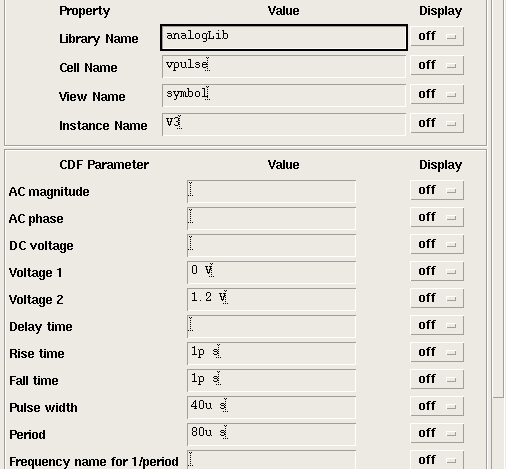
**Thông số:**



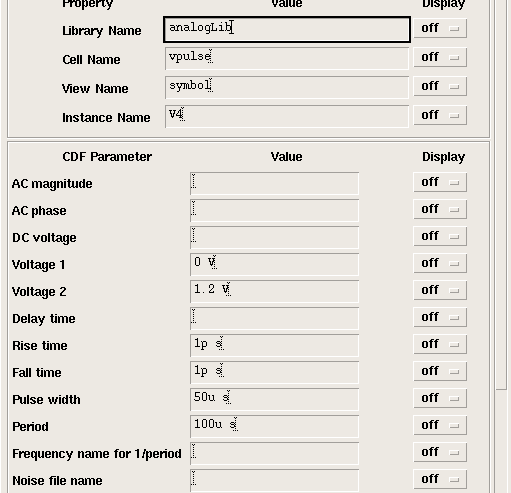
***Hình 5.62: thông số ngõ vào CLK***



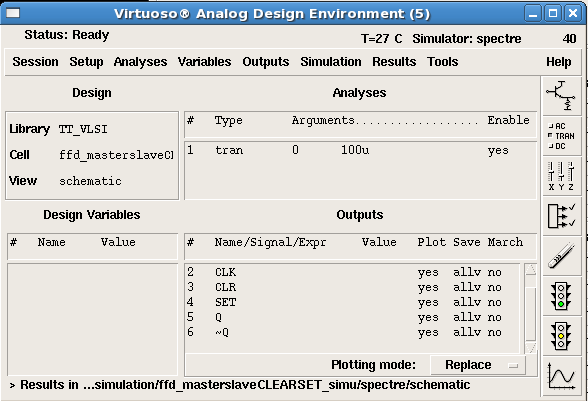
***Hình 5.63: thông số ngõ vào D***



***Hình 5.64: thông số ngõ vào CLR***

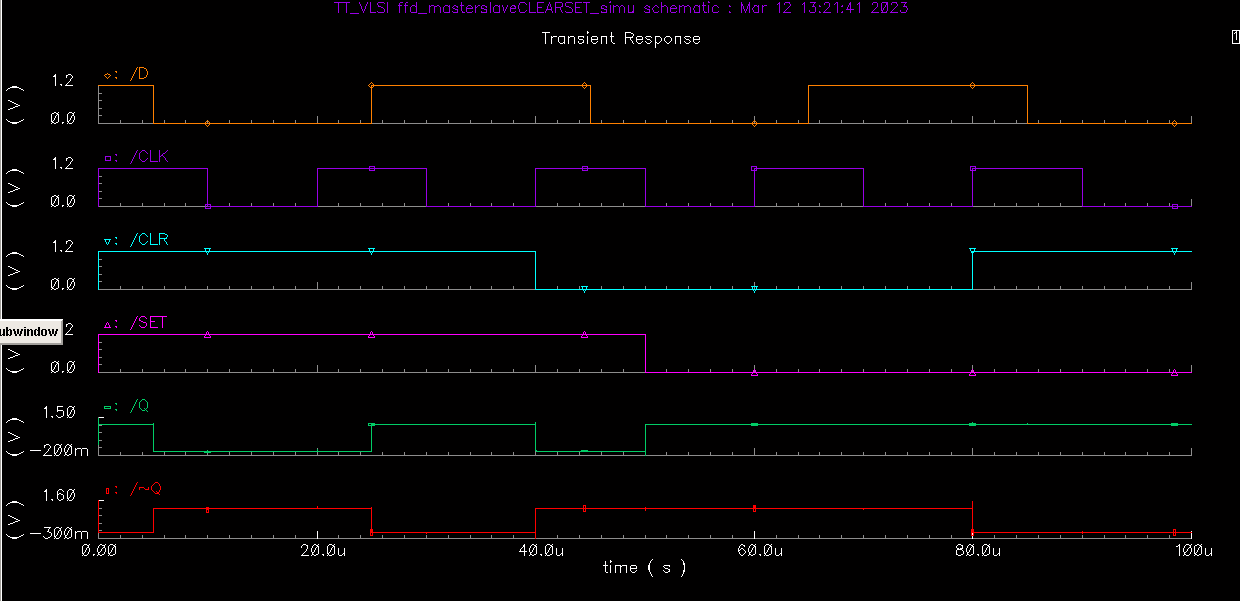


***Hình 5.65: thông số ngõ vào SET***



***Hình 5.66: thông số Analog Environment của set/clear control master slave FFD***

### Kết quả mô phỏng

******

***Hình 5.67: Kết quả mô phỏng của mạch set/clear master slave flip flop D***

**Phân tích:**

Ở thời điểm 17u (s), khi xung CLK = 0, D = 0, CLR =1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 (không đổi trạng thái) vì trước thời điểm 17u (s) thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 20u (s), khi xung CLK cạnh lên, D = 0, CLR = 1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 36u (s), khi xung CLK = 0, D = 1, CLR = 1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 do khi cho ngõ vào CLR = 0 thì sẽ reset ngõ ra Q vè trạng thái ban đầu.

Ở thời điểm 60u (s), khi xung CLK cạnh lên, D = 0, CLR = 0, SET = 0 thì ngõ ra Q = 1 và ~Q = 1.

Ở thời điểm 82u (s), khi xung CLK cạnh lên, D = 1, CLR = 1 SET = 0 thì ngõ ra Q = 1 và ~Q = 0 do khi 1 trong 2 xung CLR và SET = 1 thì xung CLK và ngõ vào D sẽ bị xóa và ngõ ra Q và ~Q sẽ đảo.

Ở thời điểm 44 u (s), khi xung CLK cạnh lên, D = 1, CLR = 0, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 do khi 1 trong 2 xung CLR và SET = 1 thì xung CLK và ngõ vào D sẽ bị xóa.

Ta so với bảng trạng thái:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **SET** | **CLR** | **D** | **Q** | **~ Q** |
| **X** | 0 | 0 | **X** | 1 | 1 | CẤM |
| **X** | 0 | 1 | **X** | 1 | 0 | Set Q |
| **X** | 1 | 0 | **X** | 0 | 1 | Reset Q |
| 0 | 1 | 1 | **X** | Qo | ~Qo | Ko đổi t/thải |
|  | 1 | 1 | 0 | 0 | 1 | Xóa Q về 0 |
|  | 1 | 1 | 1 | 1 | 1 | Làm Q = 1 |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

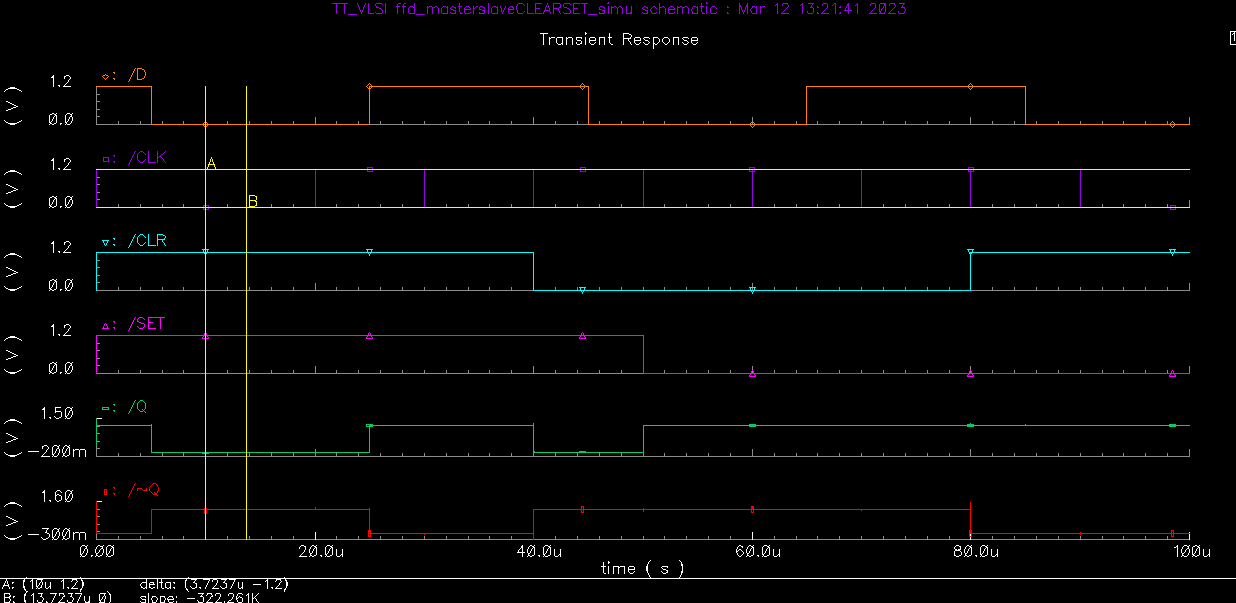
* Thời gian thiết lập set/clear Master-slave DFF (Tsu)

****

***Hình 5.68. Thời gian thiết lập set/clear Master-slave DFF***

=> Setup time (Tsu) = 10 – 5 = 5 us

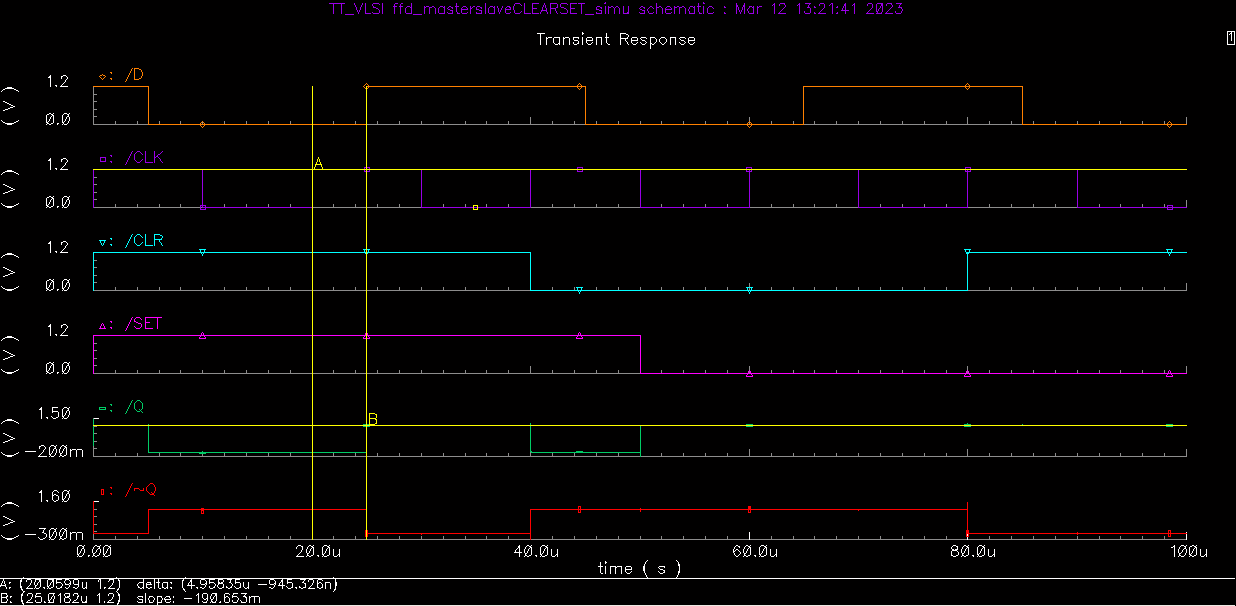
* Thời gian giữ set/clear Master-slave DFF (Th)



***Hình 5.69. Thời gian giữ set/clear Master-slave DFF***

=> Hold time (Th) = 13.7237 – 10 = 3.7237 us

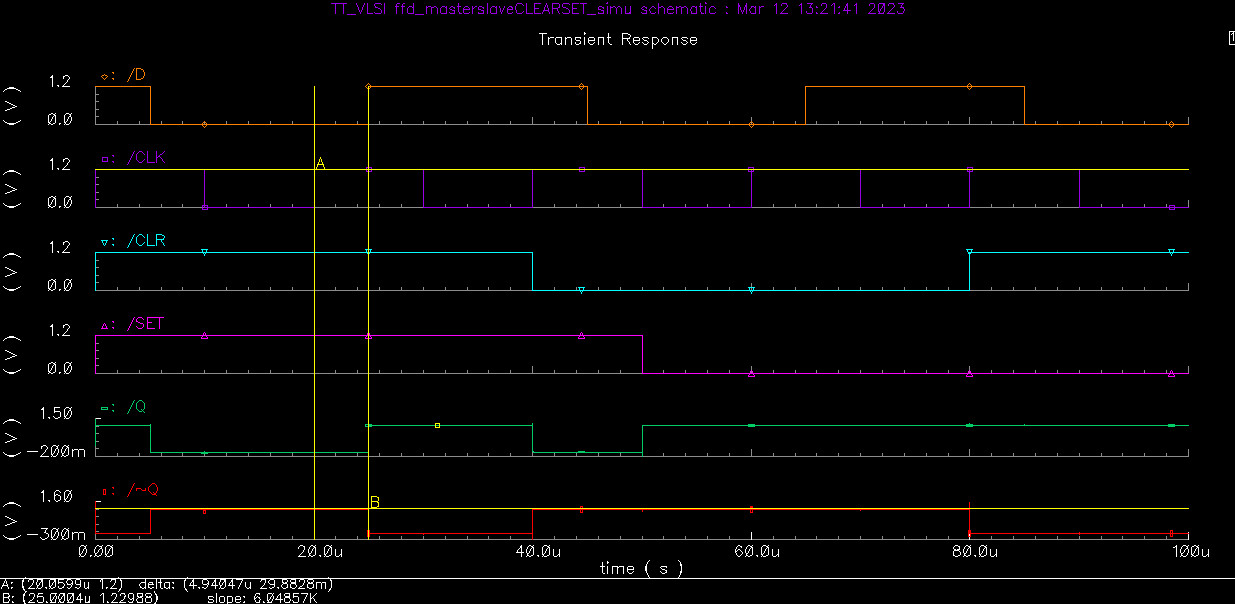
* Thời gian từ xung CLK đến Q:



***Hình 5.70. Thời gian từ xung CLK đến Q***

=> Thời gian từ xung CLK đến Q: (TCLK-Q) = 25.0182 – 20.0599 = 4.95535 us

* Thời gian từ xung CLK đến Q’:



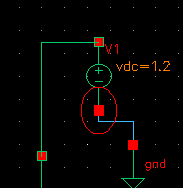
***Hình 5.71. Thời gian từ xung CLK đến Q’***

=> Thời gian từ xung CLK đến Q’: (TCLK-Q’) = 25.0004 – 20.0599 = 4.94047 us

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

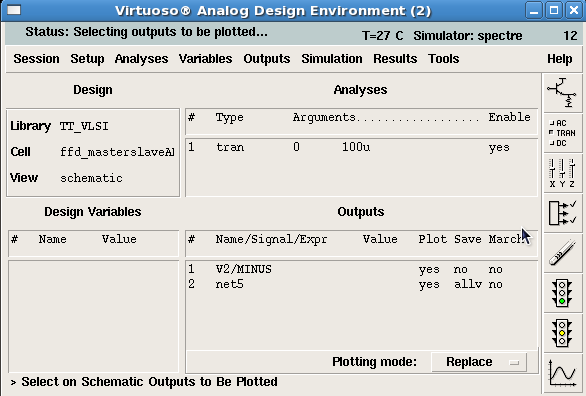
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



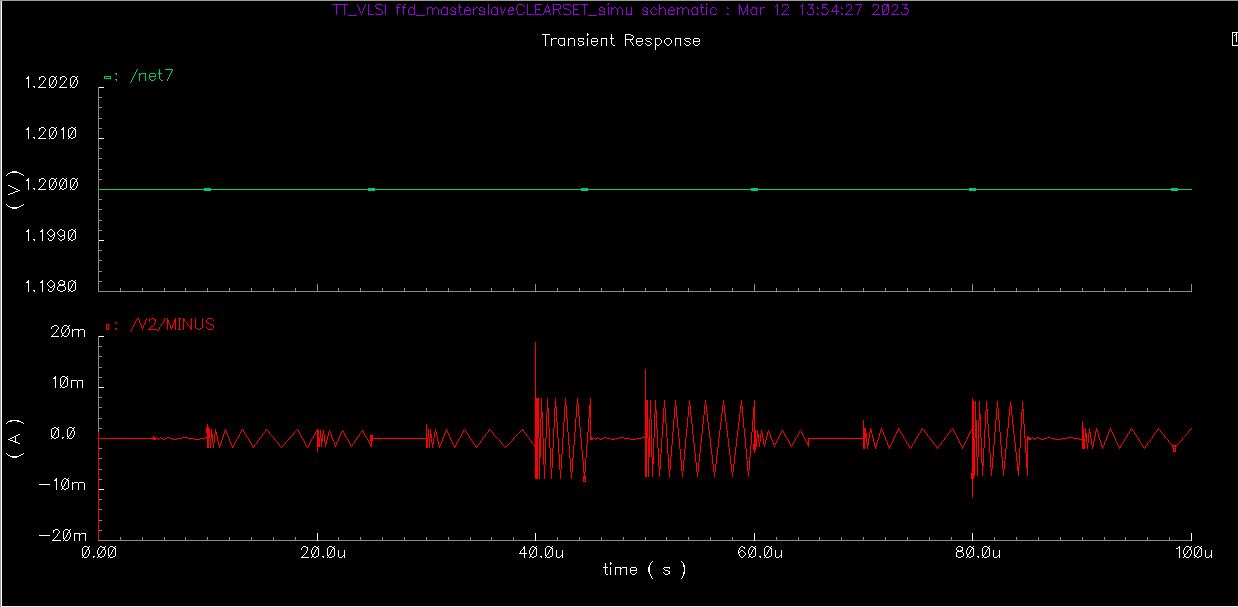
***Hình 5.72 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

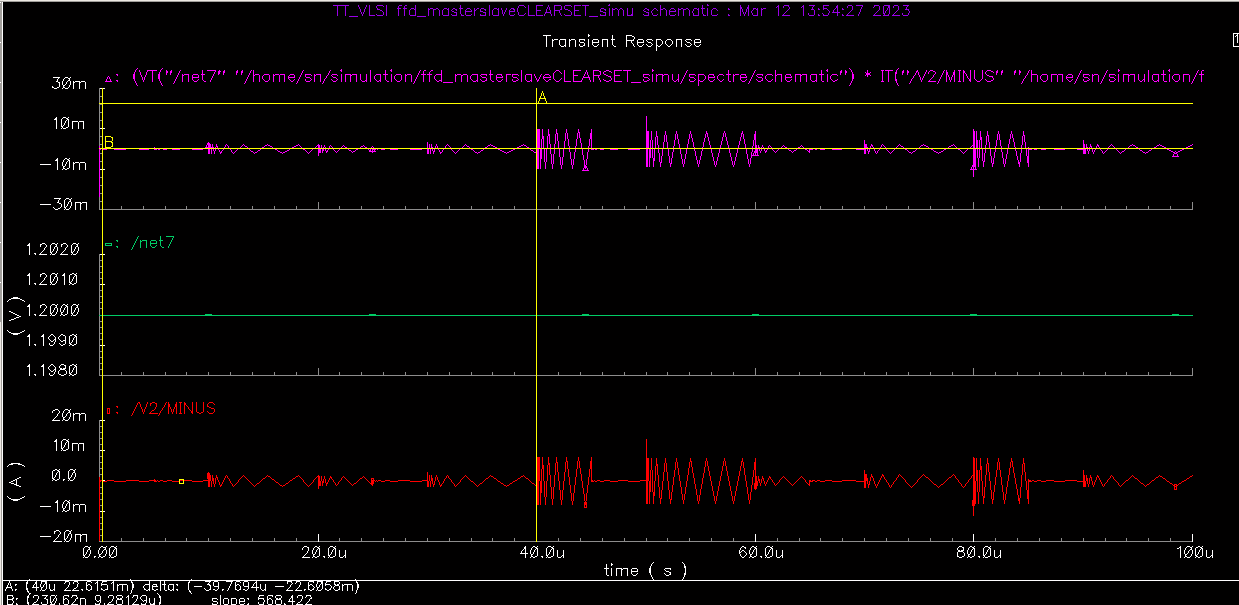
******

***Hình 5.73: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 5.74: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

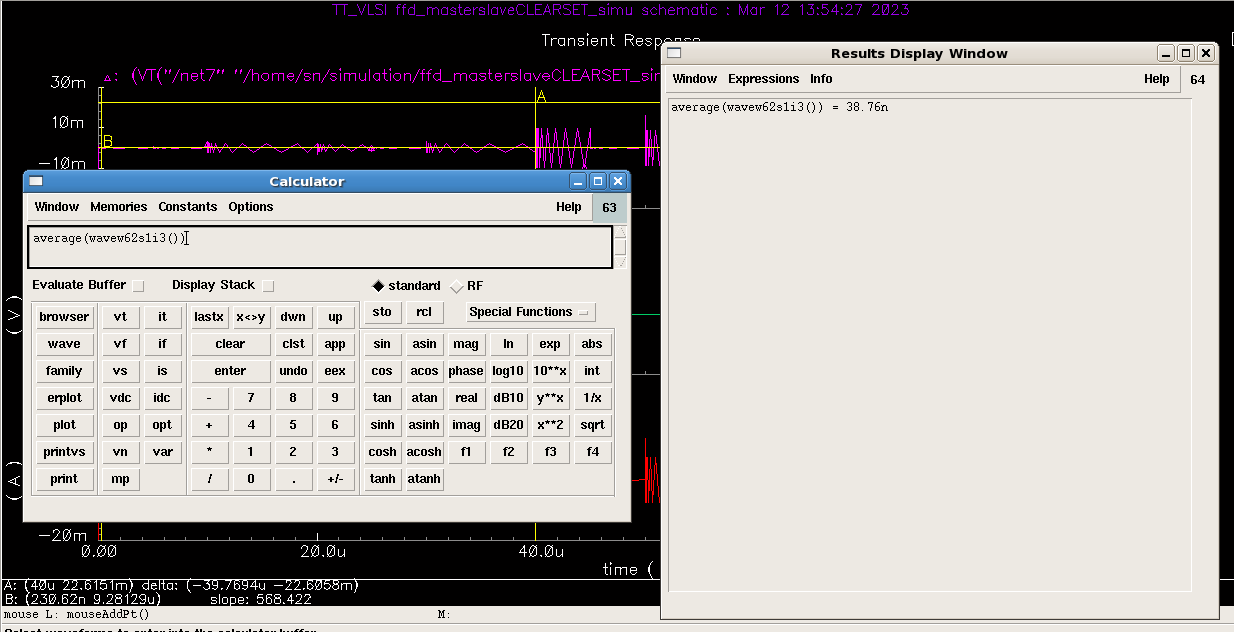
***Hình 5.75: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

Pmax = 22.61 mW

Pmin = 9.28 uW

**Tính công suất trung bình**

****

***Hình 5.76: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 5.77: Kết quả công suất trung bình là 38.76 nW***

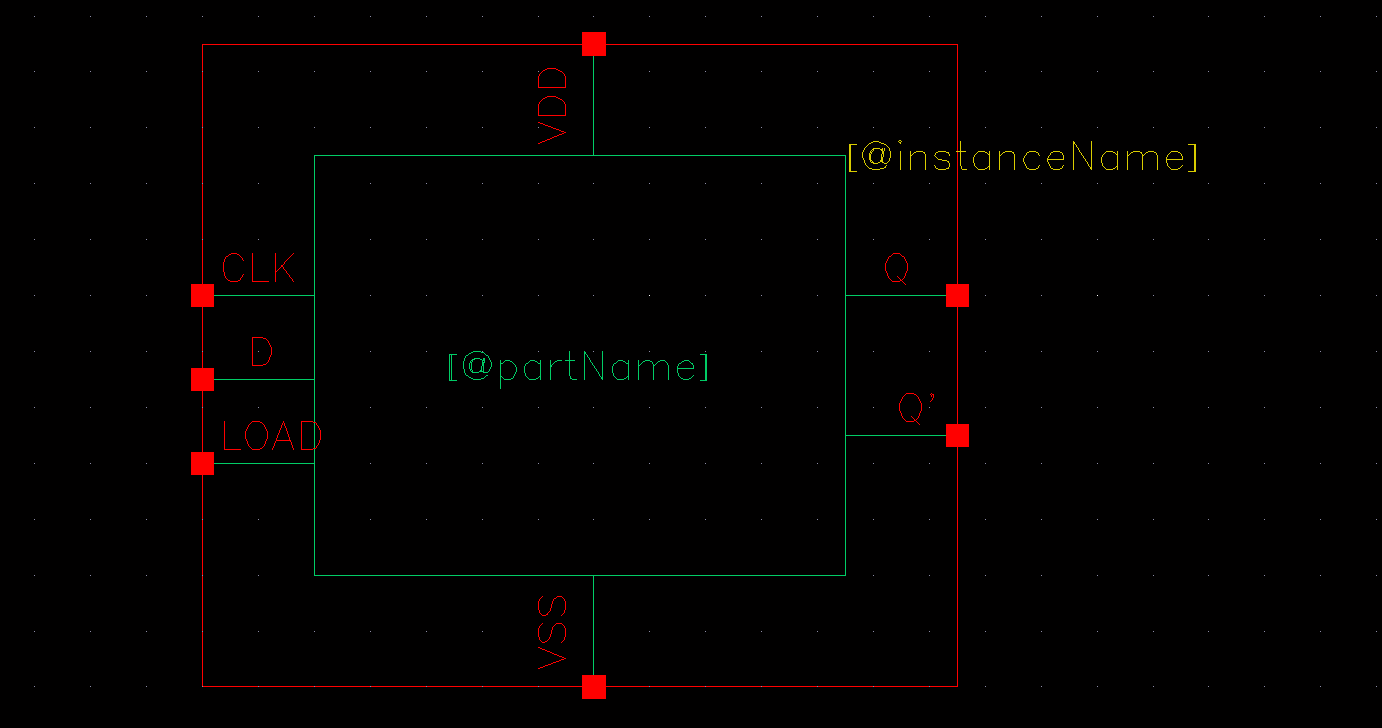
### 5.1.6 LOAD CONTROL FOR MASTER SLAVE FFD

### 5.1.6.1 Sơ đồ nguyên lý

Ảnh có chứa văn bản, sáng, ngoài trời, đen

Mô tả được tạo tự động

***Hình 5.78: Sơ đồ nguyên lý của load control master slave của flip flop D***



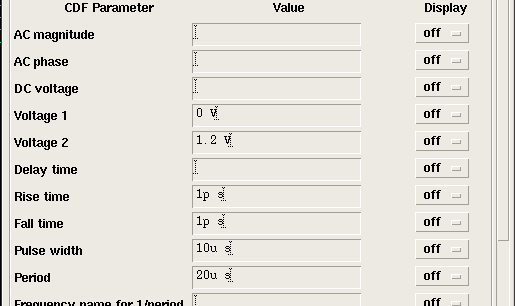
***Hình 5.79: Đóng gói mạch flip flop D load control master slave***

**Ảnh có chứa văn bản, ngoài trời, con đường, sáng

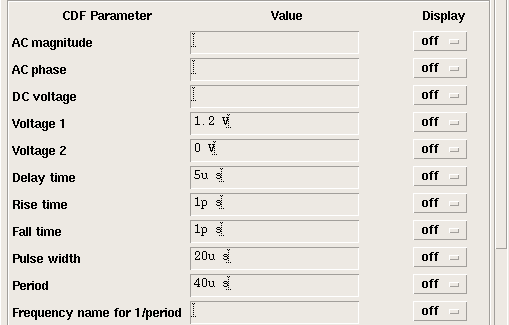
Mô tả được tạo tự động**

***Hình 5.80: gắn nguồn cho ngõ vào D, xung CLK, ngõ vào lLOAD***

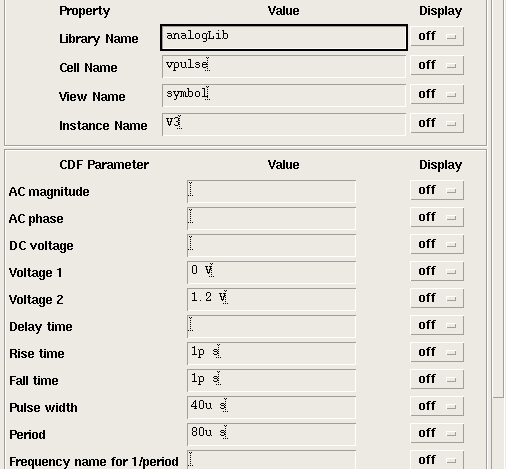
**Thông số:**



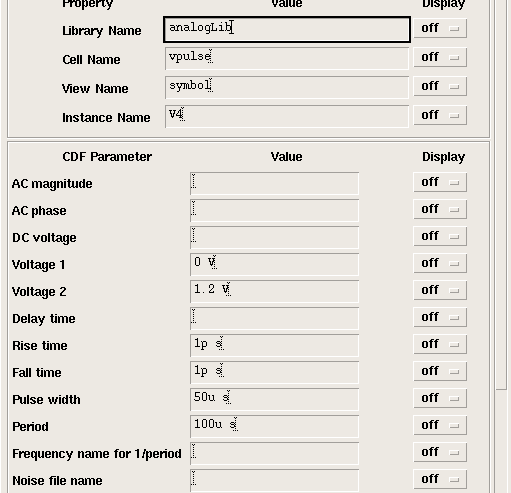
***Hình 5.81: thông số ngõ vào CLK***



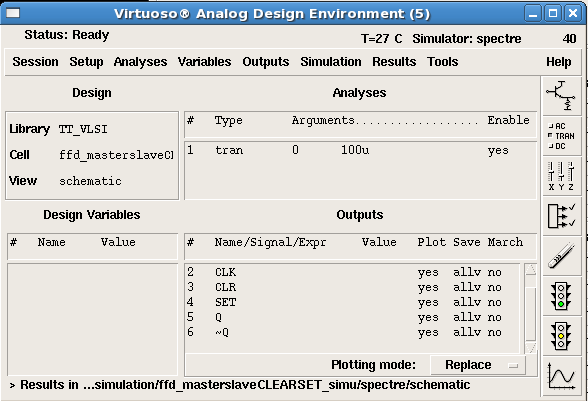
***Hình 5.82: thông số ngõ vào D***



***Hình 5.83: thông số ngõ vào CLR***

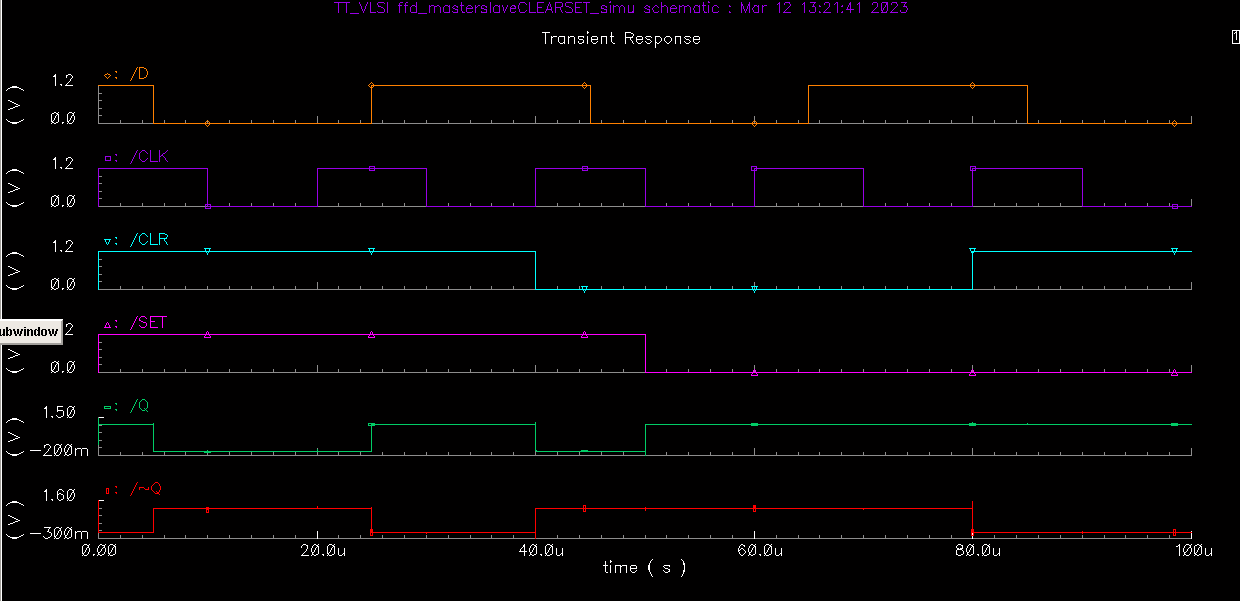


***Hình 5.84: thông số ngõ vào SET***



***Hình 5.85: thông số Analog Environment của LOAD control master slave FFD***

### Kết quả mô phỏng

******

***Hình 5.86: Kết quả mô phỏng của mạch set/clear master slave flip flop D***

**Phân tích:**

Ở thời điểm 17u (s), khi xung CLK = 0, D = 0, CLR =1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 (không đổi trạng thái) vì trước thời điểm 17u (s) thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 20u (s), khi xung CLK cạnh lên, D = 0, CLR = 1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 36u (s), khi xung CLK = 0, D = 1, CLR = 1, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 do khi cho ngõ vào CLR = 0 thì sẽ reset ngõ ra Q vè trạng thái ban đầu.

Ở thời điểm 60u (s), khi xung CLK cạnh lên, D = 0, CLR = 0, SET = 0 thì ngõ ra Q = 1 và ~Q = 1.

Ở thời điểm 82u (s), khi xung CLK cạnh lên, D = 1, CLR = 1 SET = 0 thì ngõ ra Q = 1 và ~Q = 0 do khi 1 trong 2 xung CLR và SET = 1 thì xung CLK và ngõ vào D sẽ bị xóa và ngõ ra Q và ~Q sẽ đảo.

Ở thời điểm 44 u (s), khi xung CLK cạnh lên, D = 1, CLR = 0, SET = 1 thì ngõ ra Q = 0 và ~Q = 1 do khi 1 trong 2 xung CLR và SET = 1 thì xung CLK và ngõ vào D sẽ bị xóa.

Ta so với bảng trạng thái:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **SET** | **CLR** | **D** | **Q** | **~ Q** |
| **X** | 0 | 0 | **X** | 1 | 1 | CẤM |
| **X** | 0 | 1 | **X** | 1 | 0 | Set Q |
| **X** | 1 | 0 | **X** | 0 | 1 | Reset Q |
| 0 | 1 | 1 | **X** | Qo | ~Qo | Ko đổi t/thải |
|  | 1 | 1 | 0 | 0 | 1 | Xóa Q về 0 |
|  | 1 | 1 | 1 | 1 | 1 | Làm Q = 1 |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

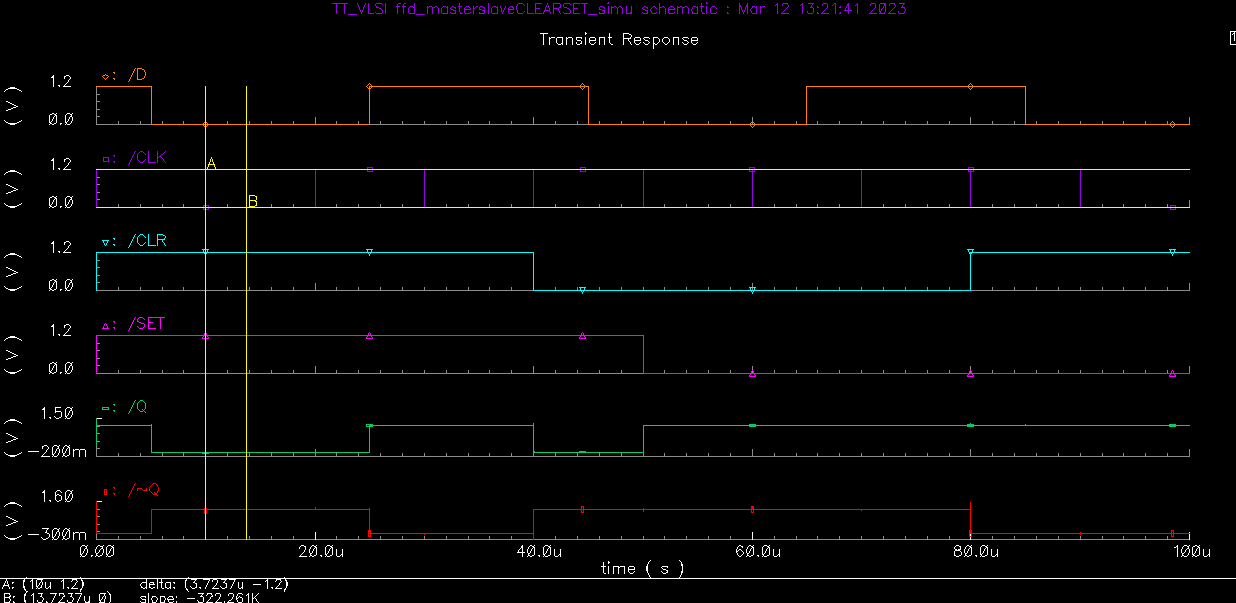
* Thời gian thiết lập set/clear Master-slave DFF (Tsu)

****

***Hình 5.87. Thời gian thiết lập LOAD Master-slave DFF***

=> Setup time (Tsu) = 10 – 5 = 5 us

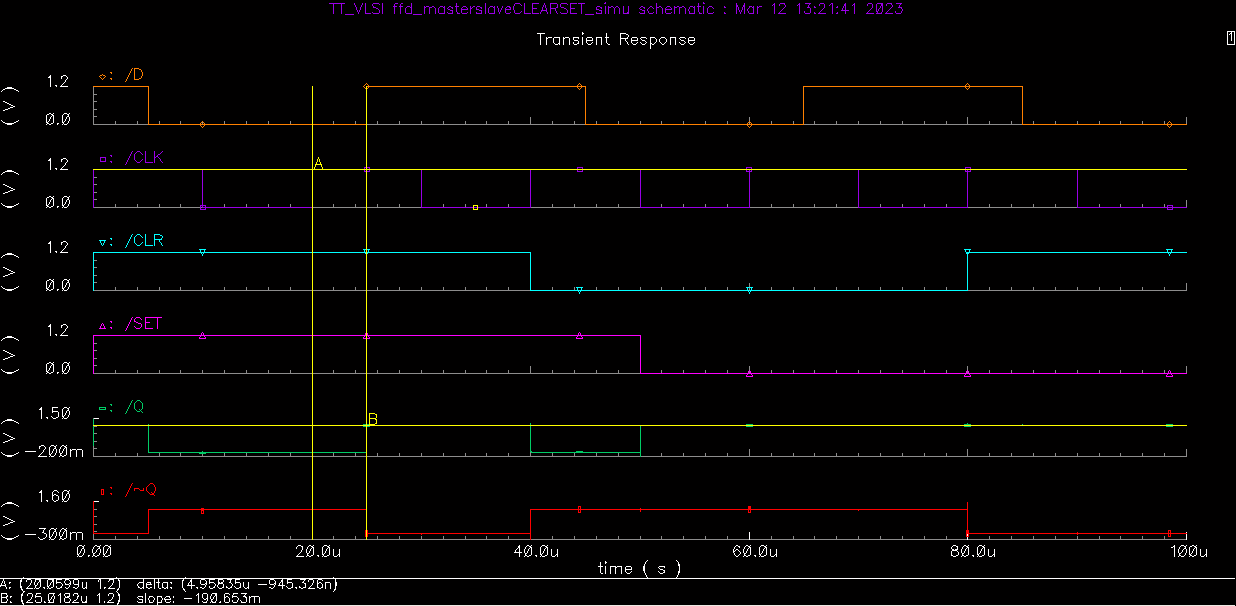
* Thời gian giữ set/clear Master-slave DFF (Th)



***Hình 5.88. Thời gian giữ LOADMaster-slave DFF***

=> Hold time (Th) = 13.7237 – 10 = 3.7237 us

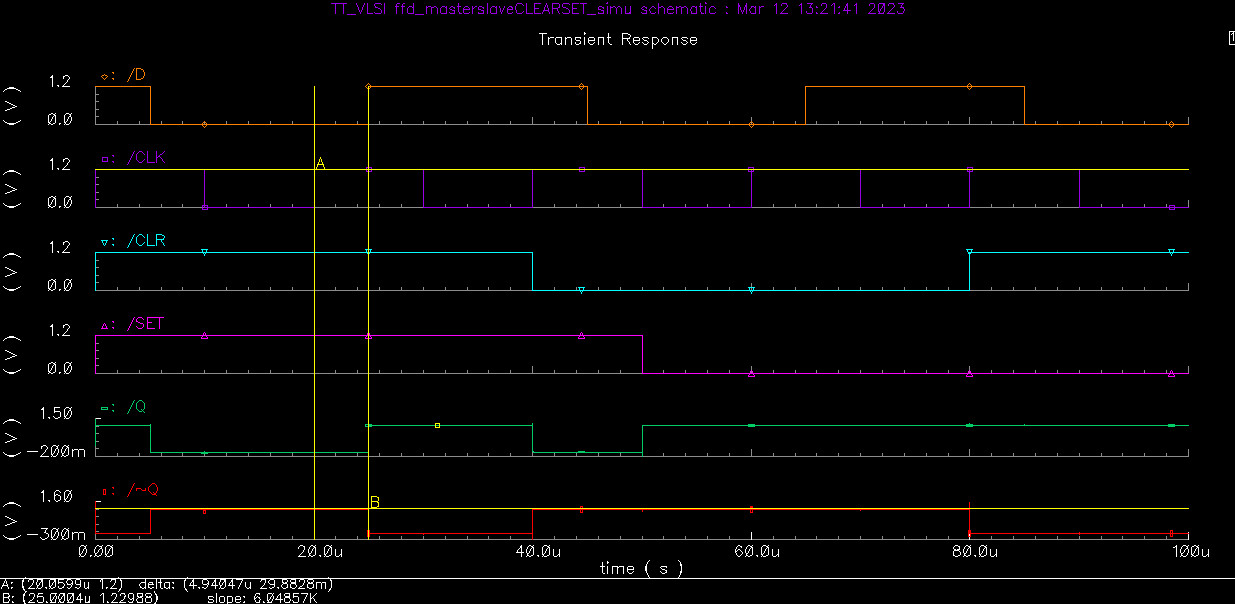
* Thời gian từ xung CLK đến Q:



***Hình 5.89. Thời gian từ xung CLK đến Q***

=> Thời gian từ xung CLK đến Q: (TCLK-Q) = 25.0182 – 20.0599 = 4.95535 us

* Thời gian từ xung CLK đến Q’:



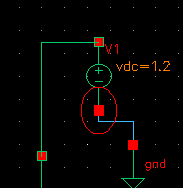
***Hình 5.90. Thời gian từ xung CLK đến Q’***

=> Thời gian từ xung CLK đến Q’: (TCLK-Q’) = 25.0004 – 20.0599 = 4.94047 us

### TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

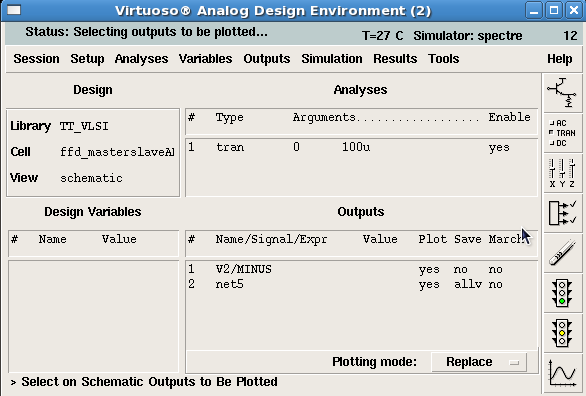
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



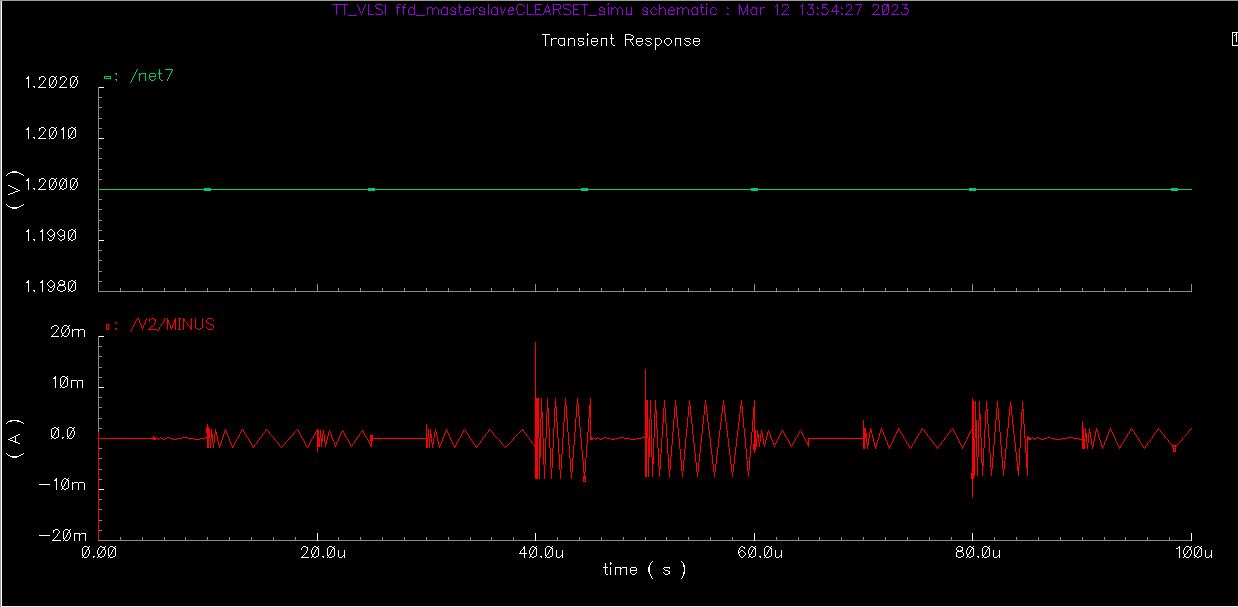
***Hình 5.91 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

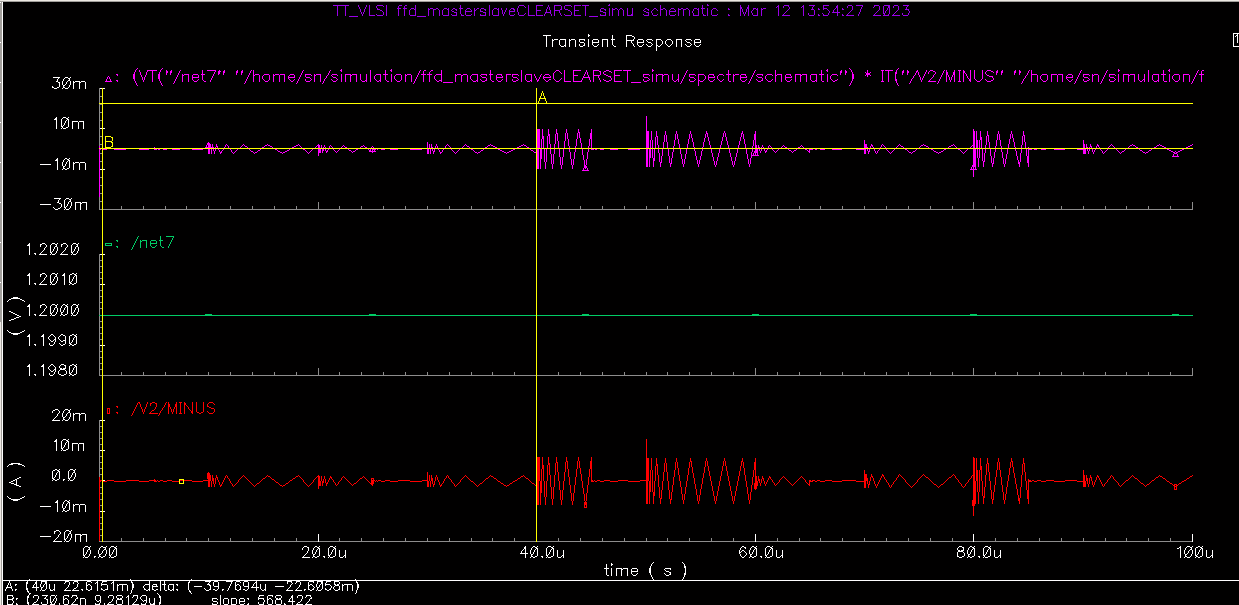
******

***Hình 5.92: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 5.93: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

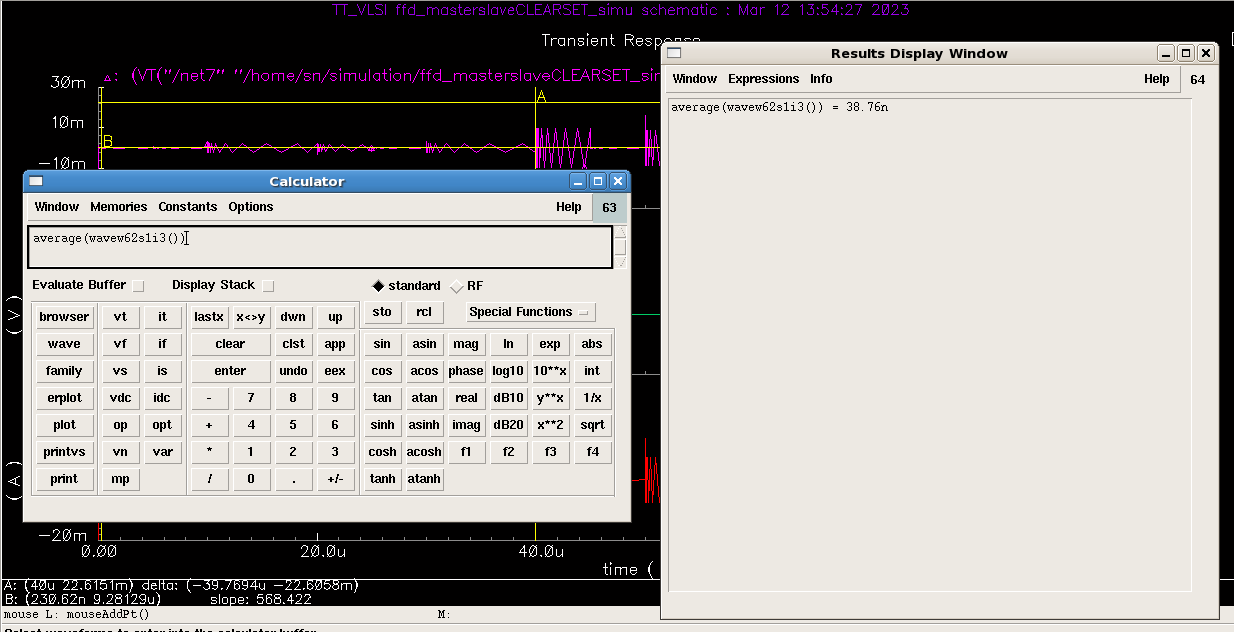
***Hình 5.94: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

Pmax = 22.61 mW

Pmin = 9.28 uW

**Tính công suất trung bình**

****

***Hình 5.95: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 5.96: Kết quả công suất trung bình là 38.76 nW***

## KẾT LUẬN

Sau khi thiết kế và mô phỏng mạch Flip Flop D ta thấy mạch hoạt động ổn định và đúng với sơ đồ nguyên lý. Tính được công suất tức thời, công suất trung bình của mạch và mô phỏng được mạch Flip Flop D.

**CHƯƠNG 6: THIẾT KẾ VÀ MÔ PHỎNG MẠCH ĐẾM 2 BIT KĐB VÀ THANH GHI DỊCH 4 BIT SISO**

**6.1 THIẾT KẾ MẠCH MẠCH ĐẾM 2 BIT**

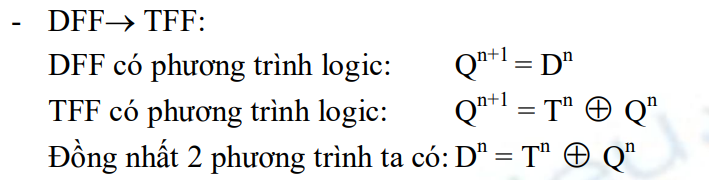
### 6.1.1 Giới thiệu

**Theo lý thuyết:**

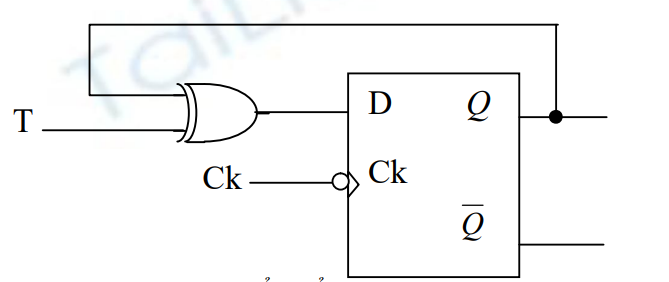
 - Chức năng của mạch đếm dùng để đếm xung và các sản phẩm mạch đếm là máy đếm tiền, đếm thời gian như đồng hồ, bộ định thời, đèn giao thông, ...

- Các dạng mạch đếm bao gồm: đếm không đồng bộ, đếm đồng bộ, đếm nhị phân, đếm mod M, đếm lên, đếm xuống, đếm lên/xuống, đếm đặt trước số đếm. Các mạch đếm có thể sử dụng các flip flop JK, T và D nhưng để đơn giản khi vẽ mạch thì các mạch đếm thưởng sử dụng flip flop T.

- Flip flop T được làm từ Flip Flop D và ngõ vào T và ngõ vào Q đi vào cổng XOR 2 ngõ vào và ta có phương trình logic TFF và DFF rồi từ đó ta để đồng nhất 2 phương trình

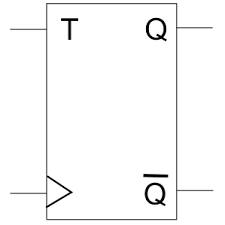


Sau khi chuyển đổi, dựa vào phương trình ta sẽ có sơ đồ mạch như hình 11.1



***Hình 12.1: Sơ đồ mạch Flip – Flop T***

* Flip Flop T sau khi đóng gói sẽ như hình 11.2 bên dưới:

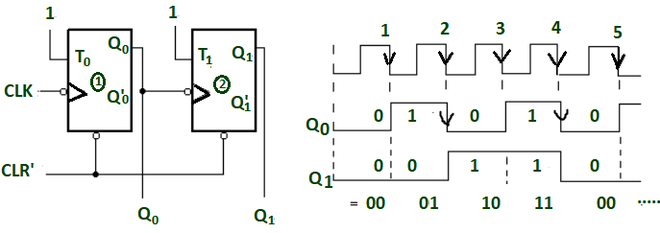


***Hình 12.2. Sơ đồ và kí hiệu của flip flop T sau khi đóng gói***

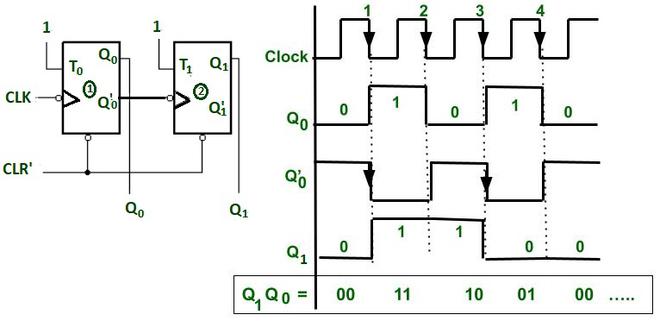
Bảng bên dưới là bảng trạng thái của flip flop T:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **T** | **Q** | **~ Q** |
|  | 0 | Qo | ~Qo | Giữ nguyên trạng thái |
|  | 1 | ~Qo | Qo | Đảo trạng thái |

Sau khi chúng ta thiết kế Flip Flop T xong thì ta sẽ ghép 2 mạch Flip Flop T để tạo ra mạch đếm 2 bit:



***Hình 12.3. Sơ đồ nguyên lý của mạch đếm lên 2 bit***

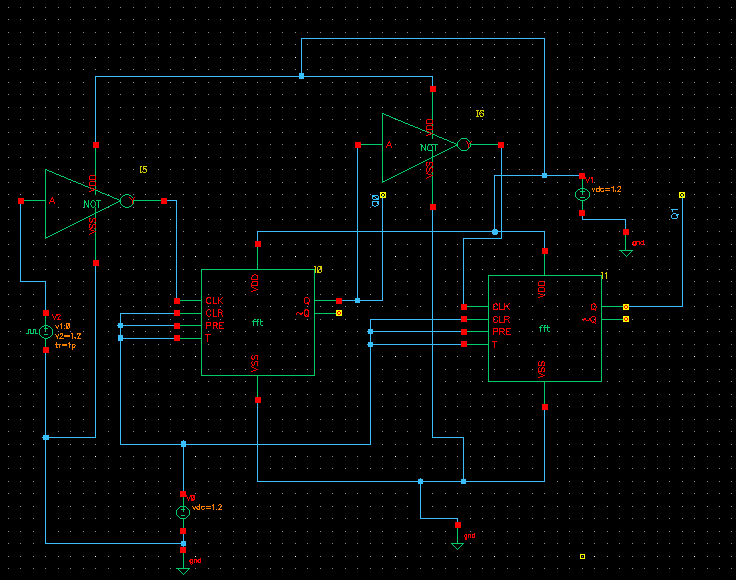


***Hình 12.4. Sơ đồ nguyên lý của mạch xuống 2 bit***

Trong phần mềm Cadence:

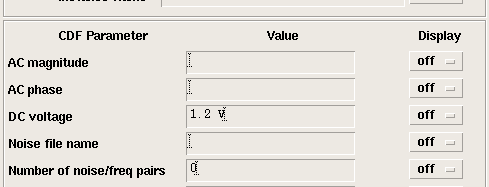
### 6.1.2 Mạch đếm nhị phân 2 bit, KĐB, đếm lên, sử dụng FFT

### 6.1.2.1 Sơ đồ nguyên lý

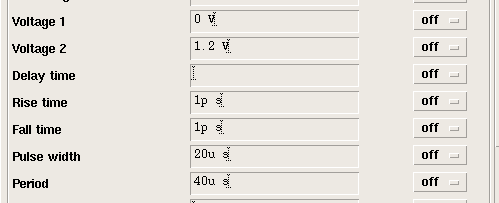


***Hình 12.5: Sơ đồ nguyên lý của mạch đếm lên 2 bit KĐB***

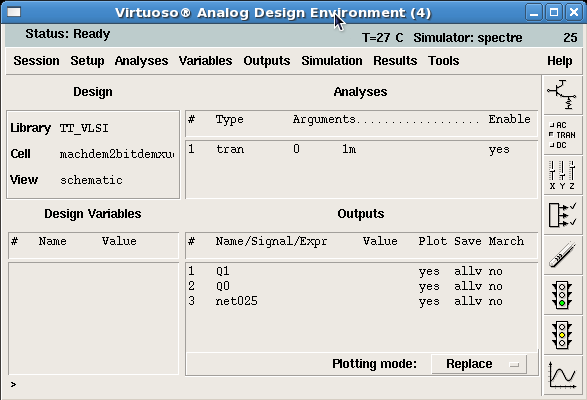
* **Thông số:**



***Hình 12.6: thông số ngõ vào T, CLR, PRE***

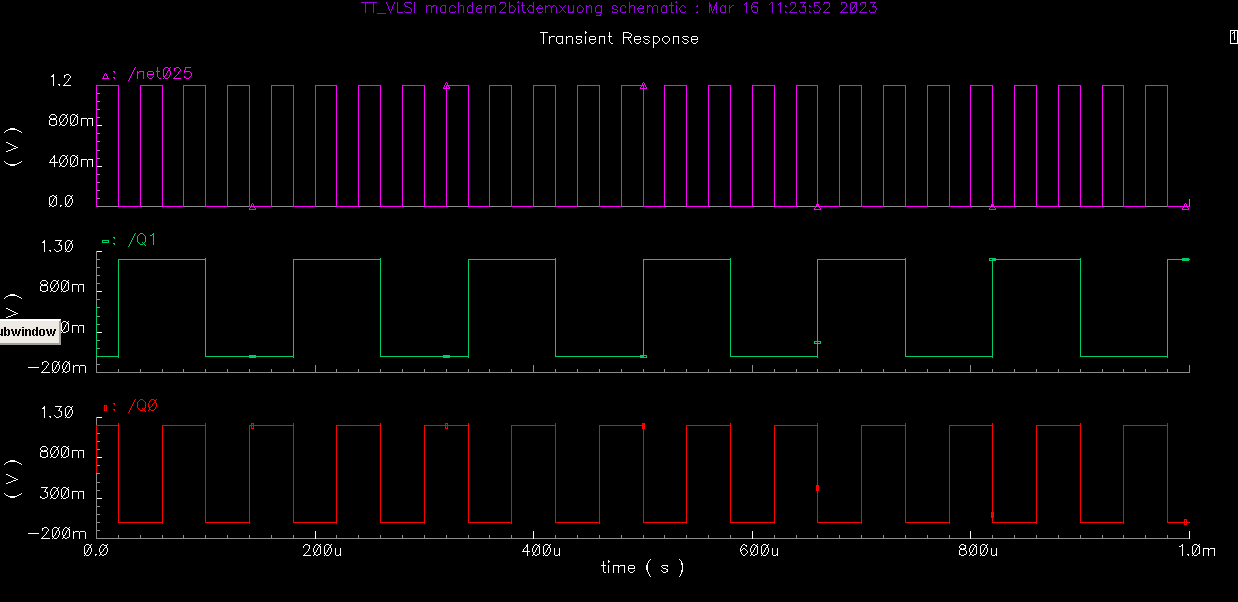


***Hình 12.7: thông số ngõ vào CLK***



***Hình 12.8: thông số Analog Environment của mạch đếm lên 2 bit KĐB***

### 6.1.2.2 Kết quả mô phỏng

******

***Hình 12.9: Kết quả mô phỏng của mạch đếm lên 2 bit KĐB***

**Phân tích:**

Ở thời điểm 100u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 00.

Ở thời điểm 140u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 01.

Ở thời điểm 180u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 10.

Ở thời điểm 220u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 11.

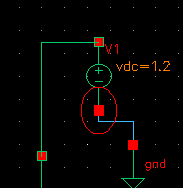
|  |  |  |  |
| --- | --- | --- | --- |
| Input | Outputs | | TP |
| Xung CK | Q1 | Q0 |
|  | 0 | 0 | 0 |
|  | 0 | 1 | 1 |
|  | 1 | 0 | 2 |
|  | 1 | 1 | 3 |

* Ta thấy mô phỏng chạy đúng với bảng trạng thái.

### 6.1.2.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

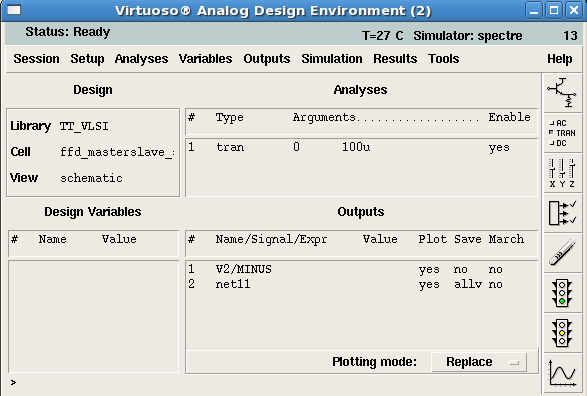
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

* **Sơ đồ nguyên lý**



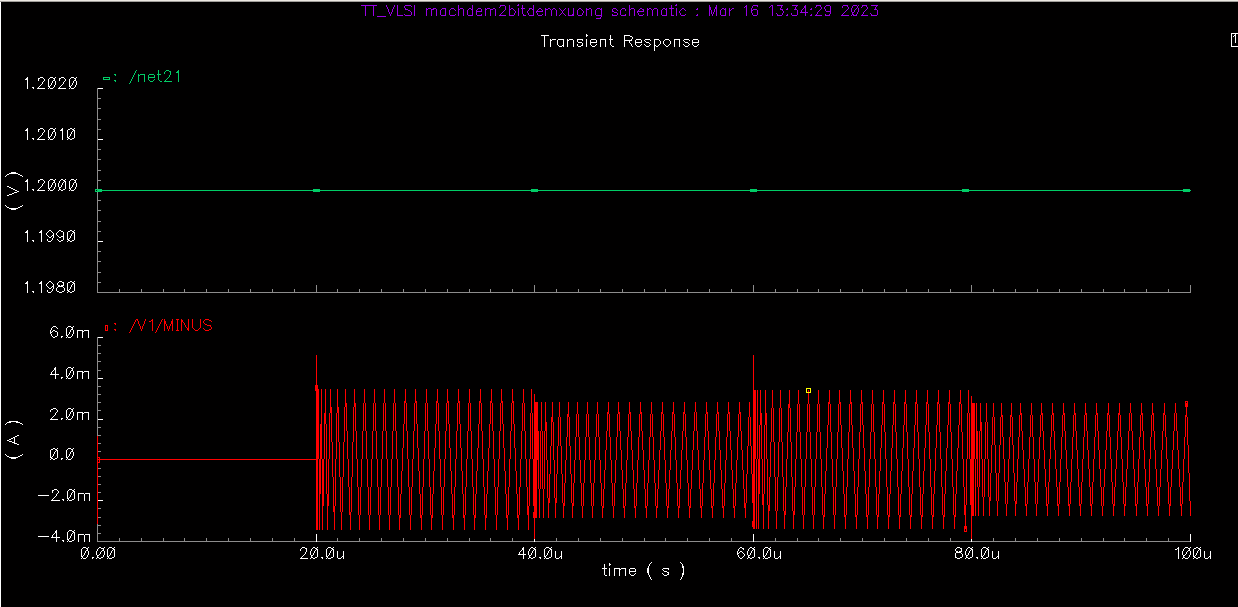
***Hình 12.10 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

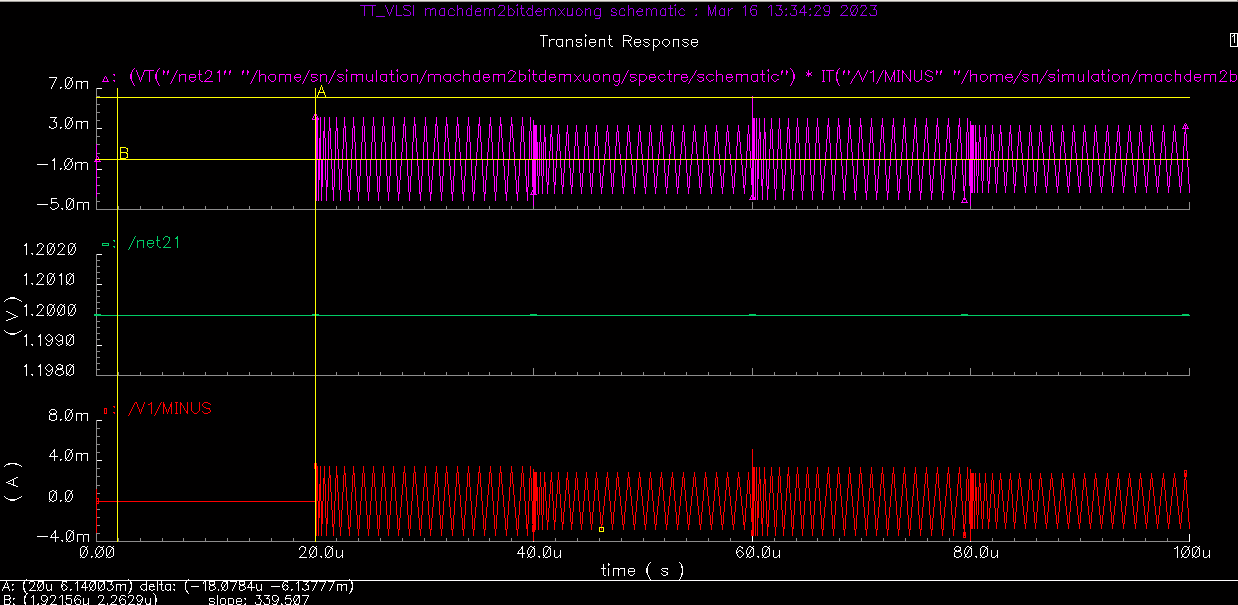
******

***Hình 12.11: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* **Kết quả mô phỏng**



***Hình 12.12: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

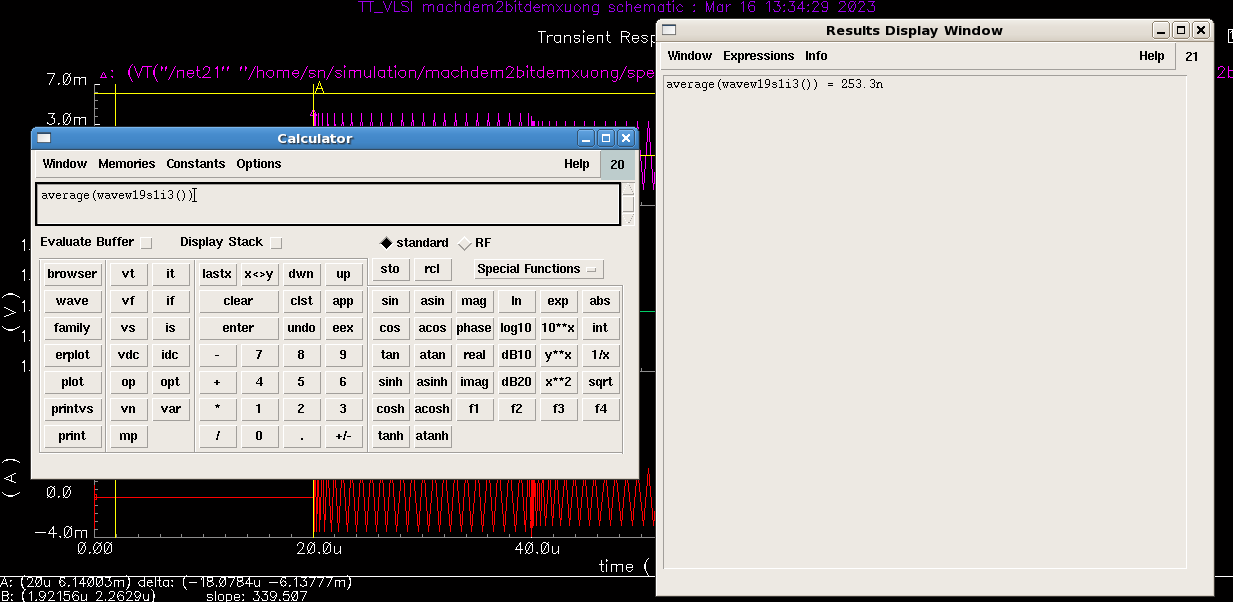
***Hình 12.13: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

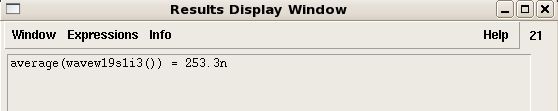
Pmax = 6.14 mW

Pmin = 2.26 uW

* **Tính công suất trung bình**

****

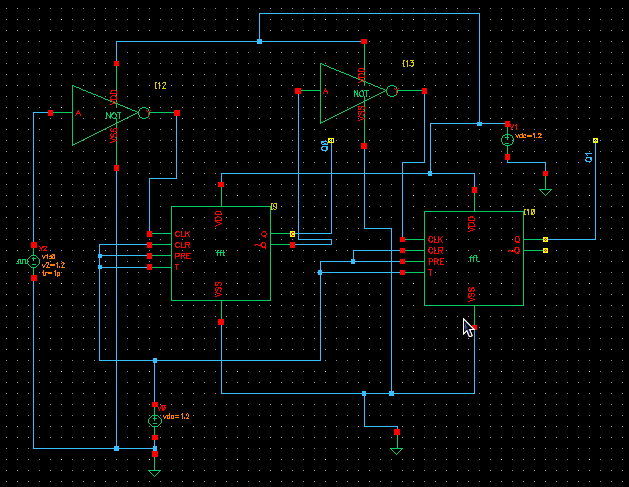
***Hình 12.14: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 12.15: Kết quả công suất trung bình là 253.3 nW***

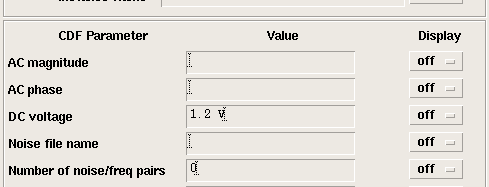
### 6.1.3 Mạch đếm nhị phân 2 bit, KĐB, đếm xuống, sử dụng FFT

### 6.1.3.1 Sơ đồ nguyên lý

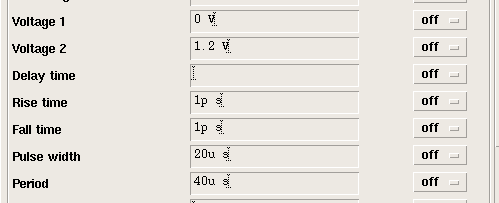


***Hình 12.16: Sơ đồ nguyên lý của mạch đếm xuống 2 bit KĐB***

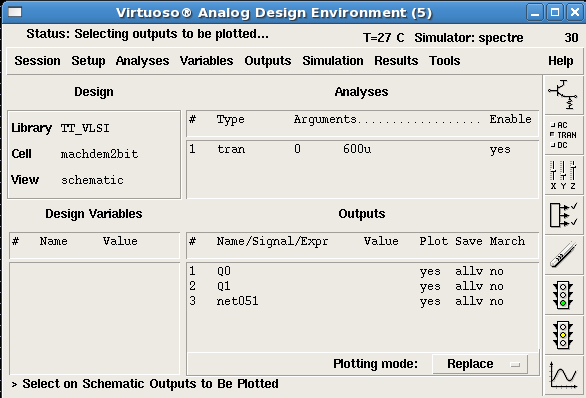
**Thông số:**



***Hình 12.17: thông số ngõ vào T, CLR, PRE***

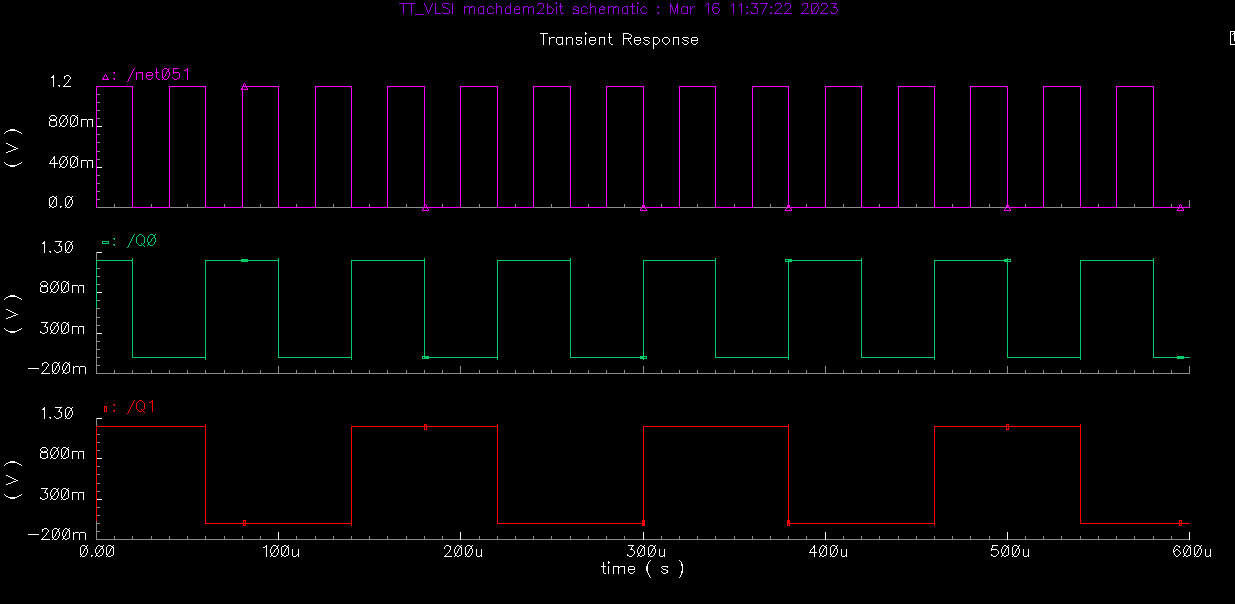


***Hình 12.18: thông số ngõ vào CLK***



***Hình 12.19: thông số Analog Environment của mạch đếm xuống 2 bit***

### 6.1.3.2 Kết quả mô phỏng

******

***Hình 12.20: Kết quả mô phỏng của mạch đếm xuống 2 bit***

**Phân tích:**

Ở thời điểm 140u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 11.

Ở thời điểm 180u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 10.

Ở thời điểm 220u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 01.

Ở thời điểm 260u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 00.

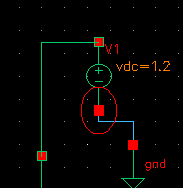
|  |  |  |  |
| --- | --- | --- | --- |
| Input | Outputs | | TP |
| Xung CK | Q1 | Q0 |
|  | 1 | 1 | 3 |
|  | 1 | 0 | 2 |
|  | 0 | 1 | 1 |
|  | 0 | 0 | 0 |

Ta thấy mô phỏng chạy đúng với bảng trạng thái.

**6.1.3.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH**

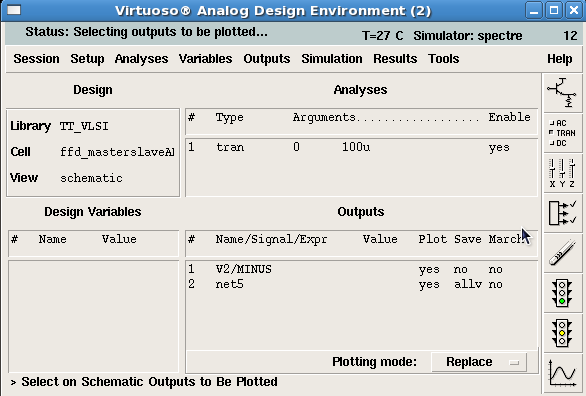
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

* **Sơ đồ nguyên lý**



***Hình 12.21 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

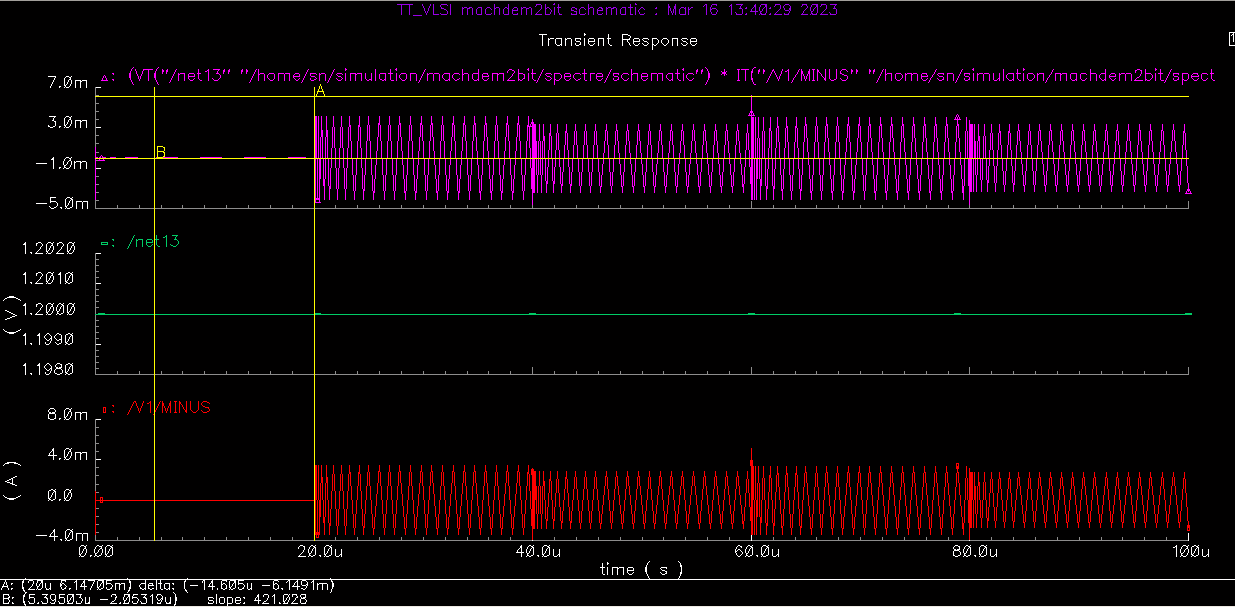
******

***Hình 12.22: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* **Kết quả mô phỏng**



***Hình 12.23: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

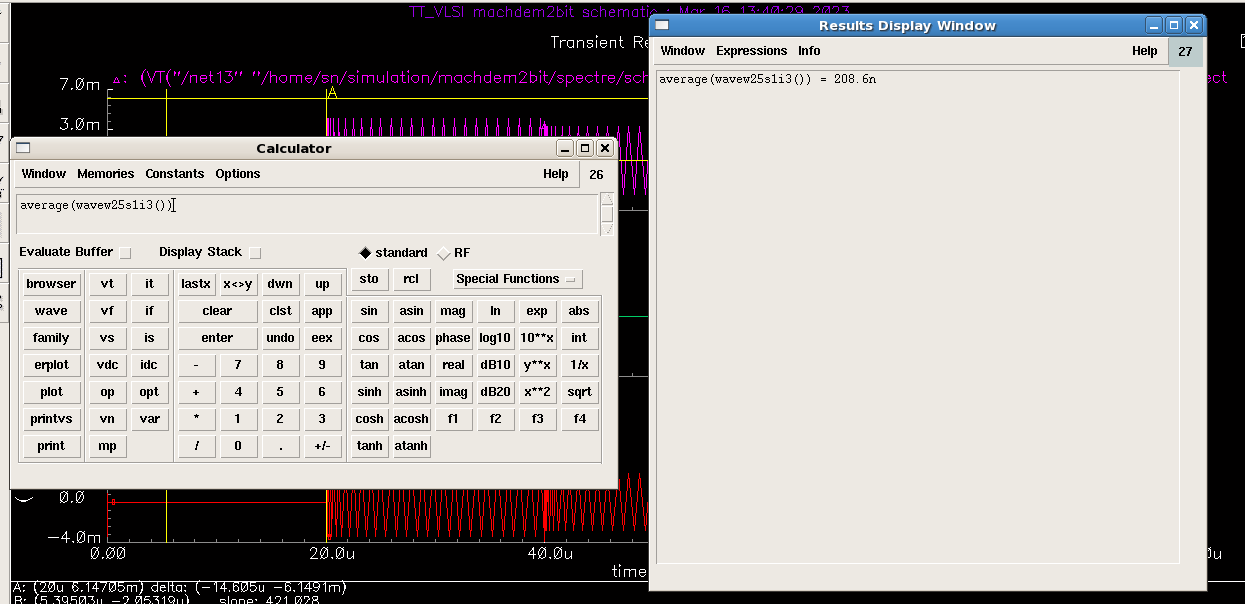
***Hình 12.24: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

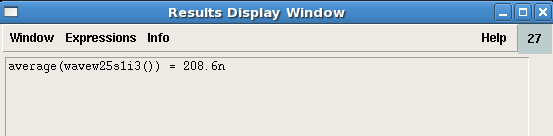
Pmax = 6.14 mW

Pmin = - 2.05 uW

* **Tính công suất trung bình**

****

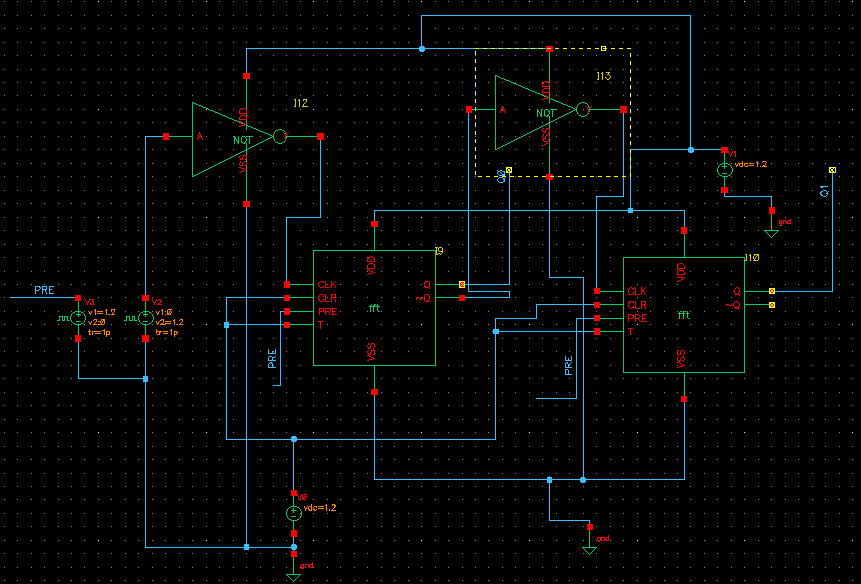
***Hình 12.25: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 12.26: Kết quả công suất trung bình là 208.6 nW***

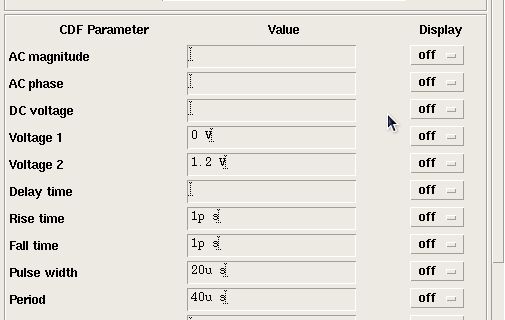
### 6.1.4 Mạch đếm nhị phân 2 bit, KĐB, đếm xuống, tự động set, sử dụng FFT

### 6.1.4.1 Sơ đồ nguyên lý

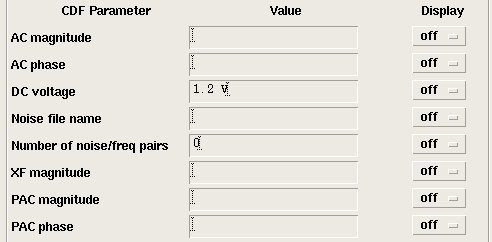


***Hình 12.27:* Mạch đếm nhị phân 2 bit, KĐB, đếm xuống, tự động set**

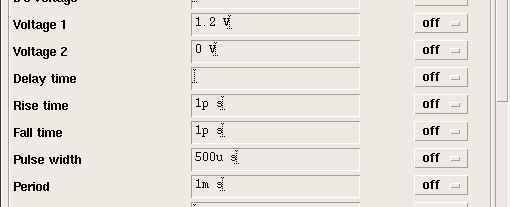
**Thông số:**



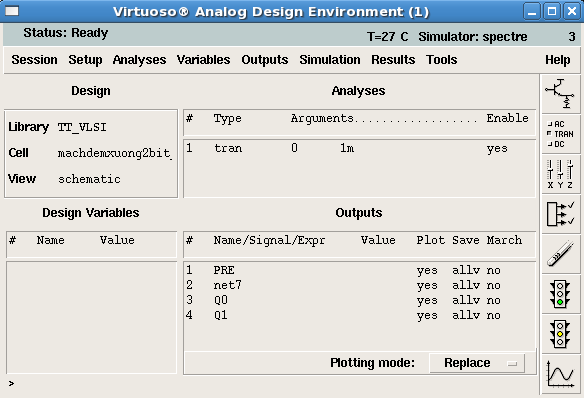
***Hình 12.28: thông số ngõ vào CLK***



***Hình 12.29: thông số ngõ vào T, CLR***

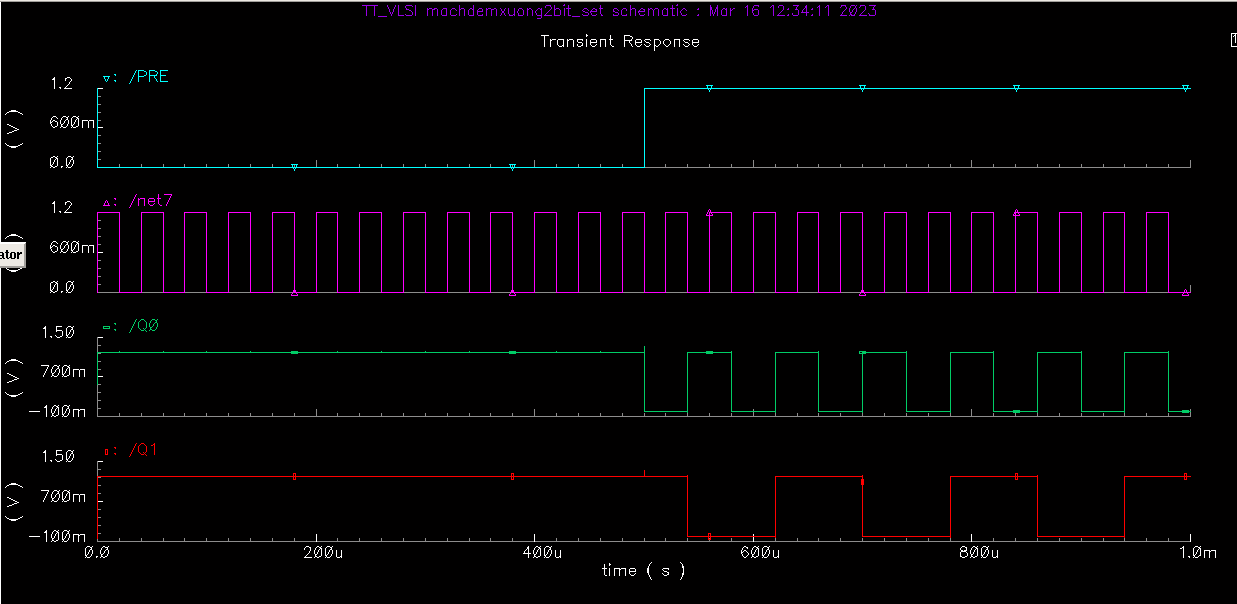


***Hình 12.30: thông số ngõ vào PRE***



***Hình 12.31: thông số Analog Environment mạch đếm nhị phân 2 bit, KĐB, đếm xuống, tự động set***

**6.1.4.2 Kết quả mô phỏng**

******

***Hình 12.32: Kết quả mô phỏng mạch đếm nhị phân 2 bit, KĐB, đếm xuống, tự động set***

**Phân tích:**

Ở thời điểm 0u (s) tới 500u (s), khi PRE = 0 thì Q1Q0 = 2’b11.

Ở thời điểm 500u (s) trở đi, khi PRE = 1 thì mạch đếm hoạt động bình thường nhu sau:

Ở thời điểm 620u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 2b’11.

Ở thời điểm 660u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 2b’10.

Ở thời điểm 700u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 2b’01.

Ở thời điểm 740u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 2b’00.

Ta so với bảng trạng thái:

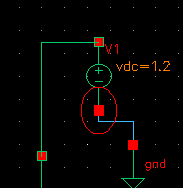
|  |  |  |  |
| --- | --- | --- | --- |
| Input | Outputs | | TP |
| Xung CK | Q1 | Q0 |
|  | 1 | 1 | 3 |
|  | 1 | 0 | 2 |
|  | 0 | 1 | 1 |
|  | 0 | 0 | 0 |

* Ta thấy mô phỏng chạy đúng với bảng trạng thái.

### 6.1.4.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

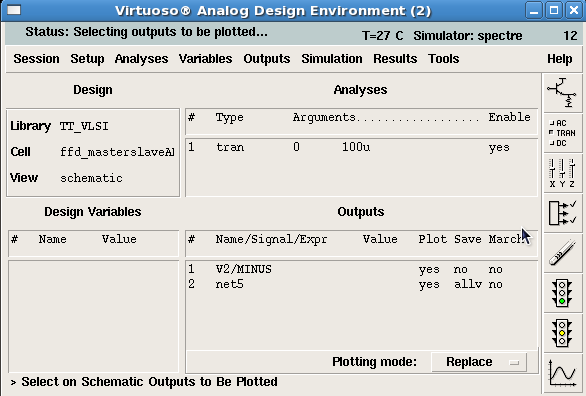
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

* **Sơ đồ nguyên lý**



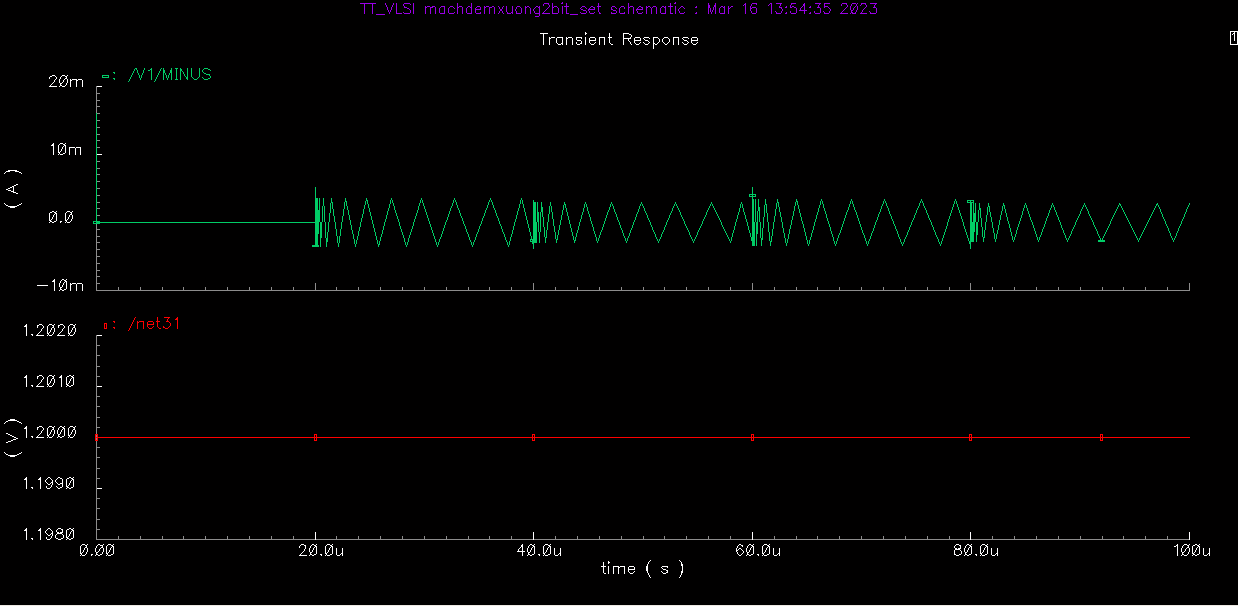
***Hình 12.33 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

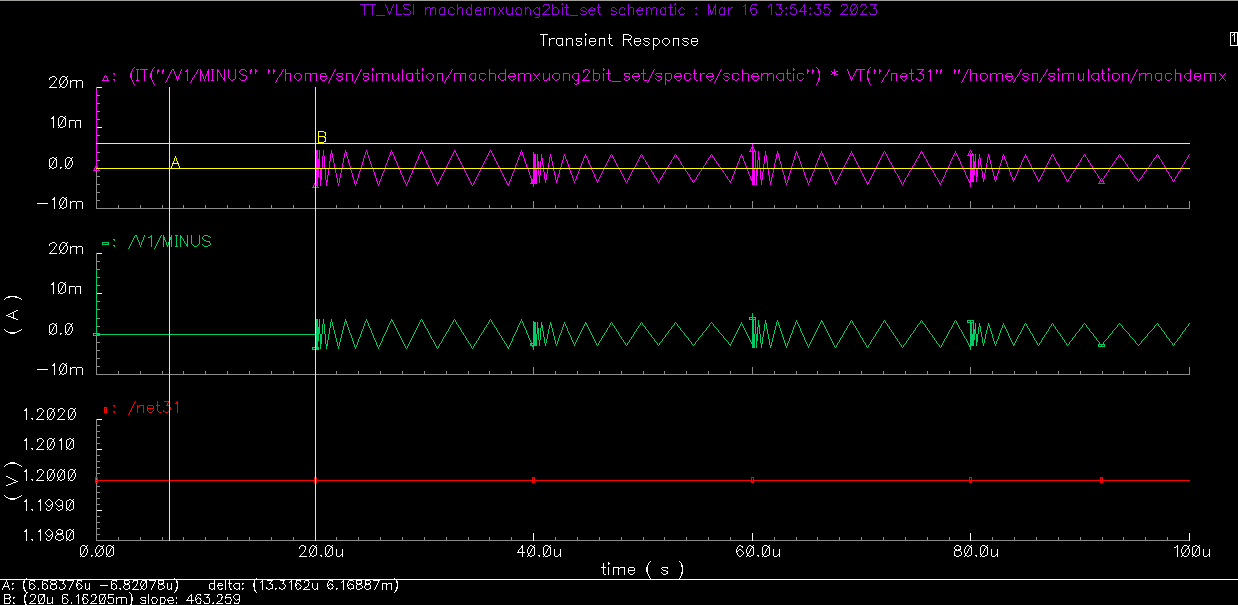
******

***Hình 12.34: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* **Kết quả mô phỏng**



***Hình 12.35: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

***Hình 12.36: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

Pmax = 6.16 mW

Pmin = -6.82 uW

* **Tính công suất trung bình**

****

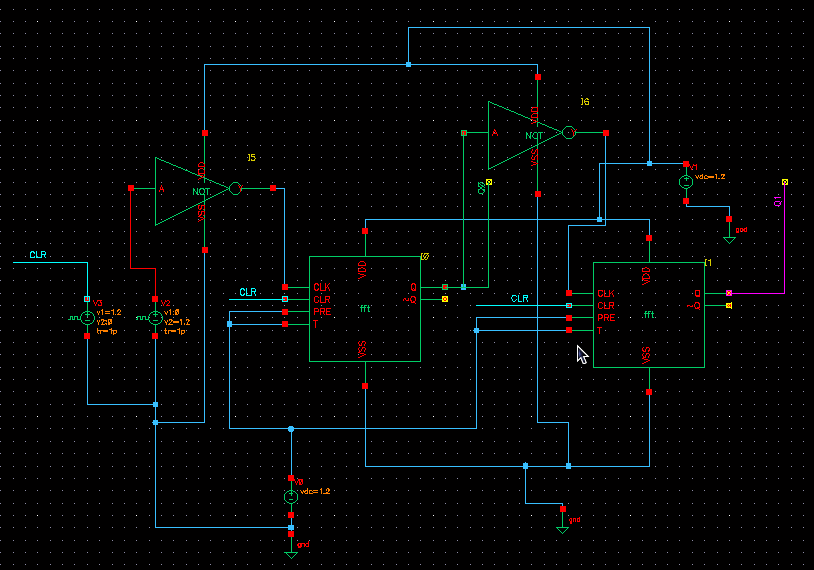
***Hình 12.37: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 12.38: Kết quả công suất trung bình là 241.6 nW***

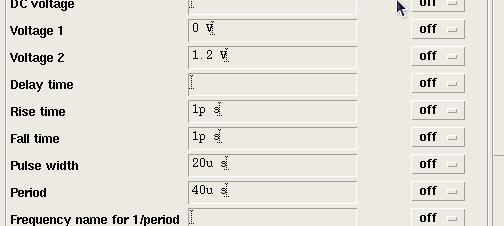
### 6.1.5 Mạch đếm nhị phân 2 bit, KĐB, đếm xuống, tự động set, sử dụng FFT

### 6.1.5.1 Sơ đồ nguyên lý

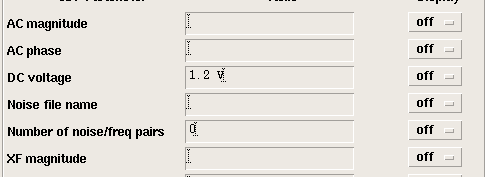


***Hình 12.39: Sơ đồ nguyên lý của mạch đếm nhị phân 2 bit, KĐB, đếm lên, tự động reset***

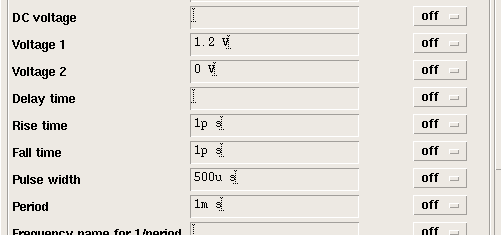
**Thông số:**



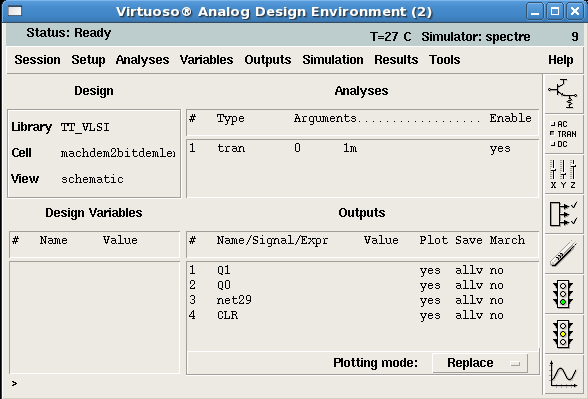
***Hình 12.40: thông số ngõ vào CLK***



***Hình 12.41: thông số ngõ vào T, PRE***

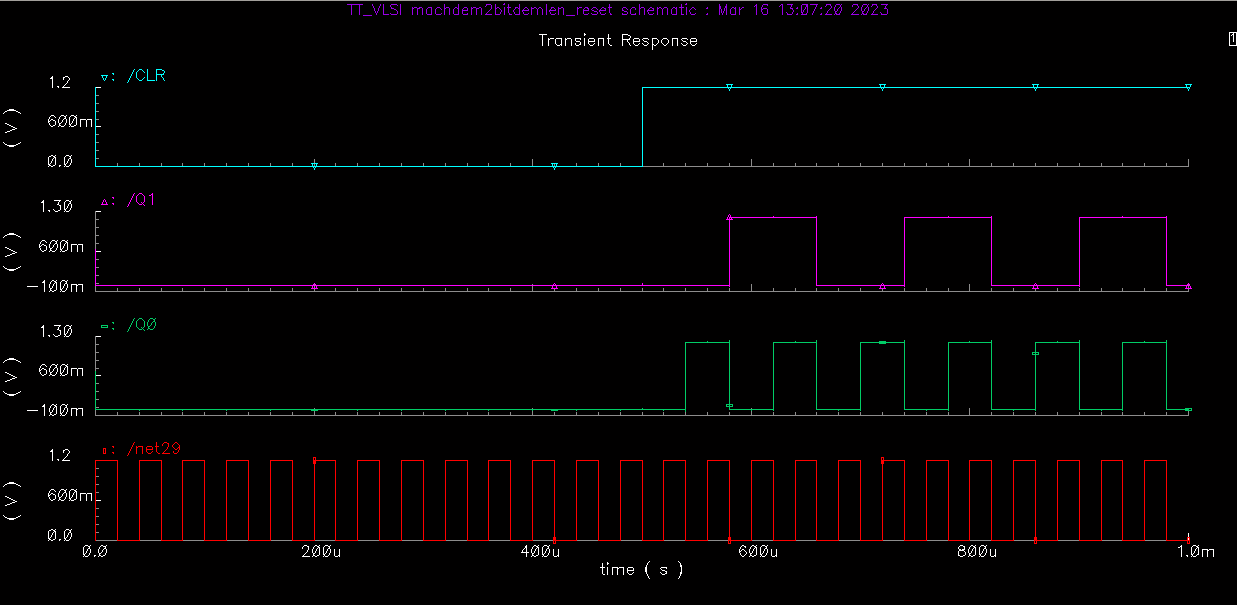


***Hình 12.42: thông số ngõ vào CLR***



***Hình 12.43: thông số Analog Environment của mạch đếm nhị phân 2 bit, KĐB, đếm lên, tự động reset***

### 6.1.5.2 Kết quả mô phỏng

******

***Hình 12.44: Kết quả mô phỏng của mạch mạch đếm nhị phân 2 bit, KĐB, đếm lên, tự động reset***

**Phân tích:**

Ở thời điểm 0u (s) tới 500u (s), khi CLR = 0 thì Q1Q0 = 2’b00.

Ở thời điểm 500u (s) trở đi, khi CLR = 1 thì mạch đếm hoạt động bình thường nhu sau:

Ở thời điểm 500u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 00.

Ở thời điểm 540u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 01.

Ở thời điểm 580u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 10.

Ở thời điểm 620u (s), khi xung CLK tích cực cạnh xuống thì ngõ ra Q1Q0 = 11.

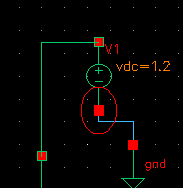
|  |  |  |  |
| --- | --- | --- | --- |
| Input | Outputs | | TP |
| Xung CK | Q1 | Q0 |
|  | 0 | 0 | 0 |
|  | 0 | 1 | 1 |
|  | 1 | 0 | 2 |
|  | 1 | 1 | 3 |

* Ta thấy mô phỏng chạy đúng với bảng trạng thái.

### 6.1.5.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

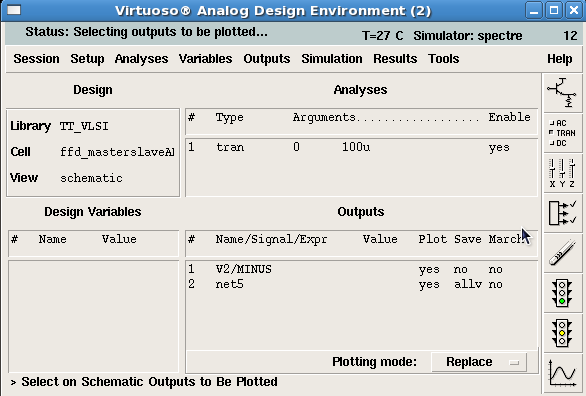
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

**Sơ đồ nguyên lý**



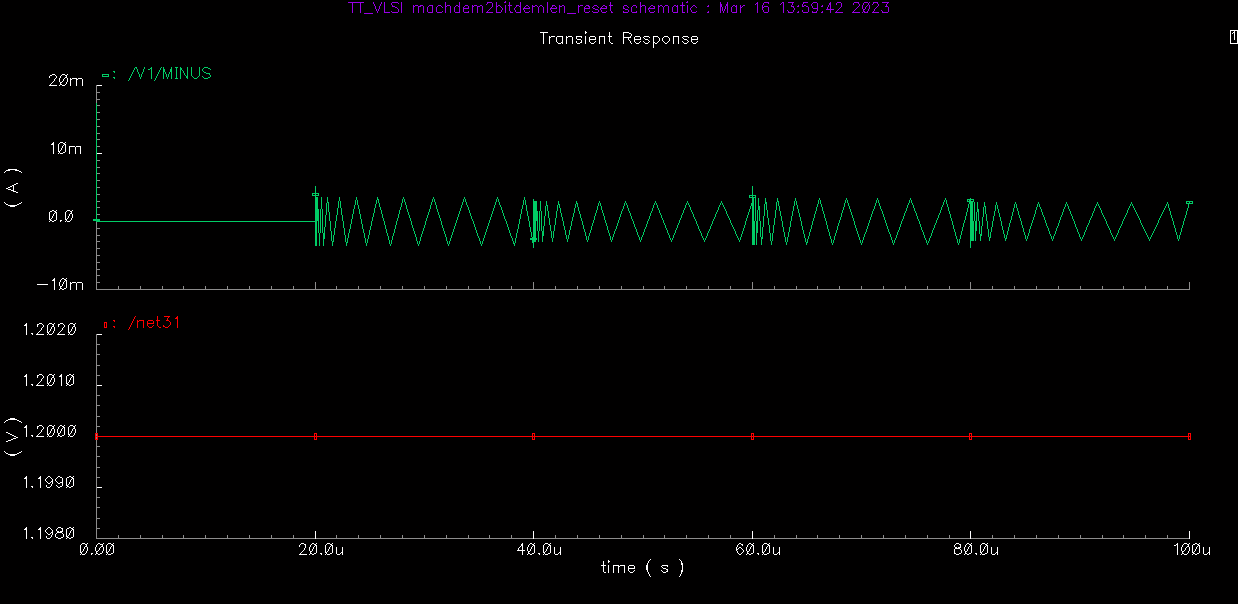
***Hình 12.45 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

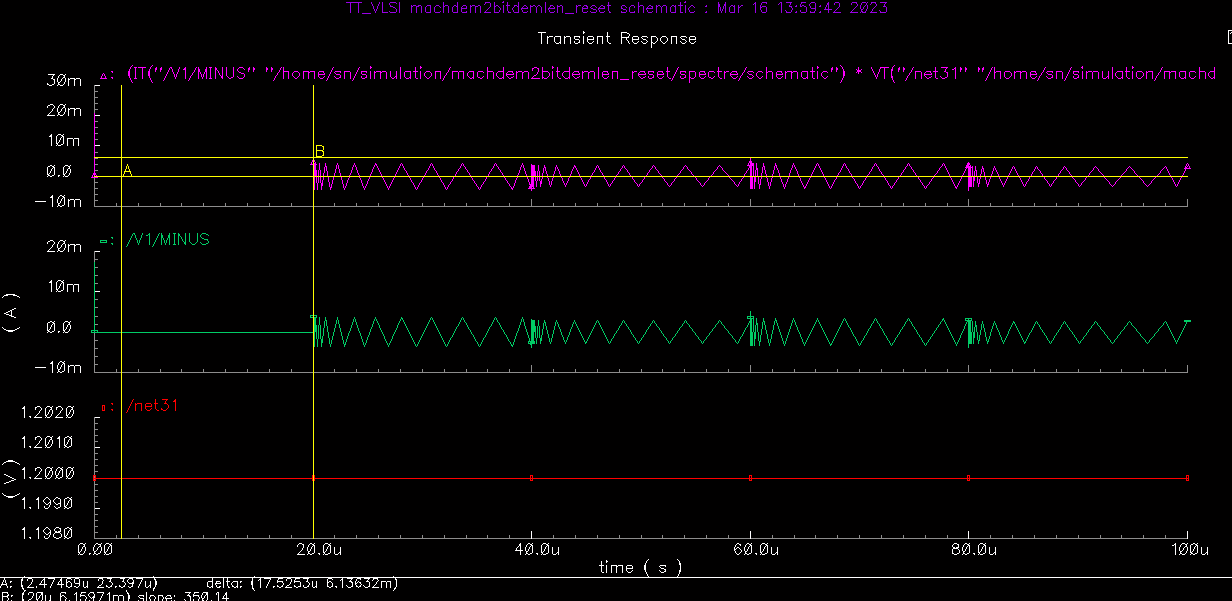
******

***Hình 12.46: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

**Kết quả mô phỏng**



***Hình 12.47: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

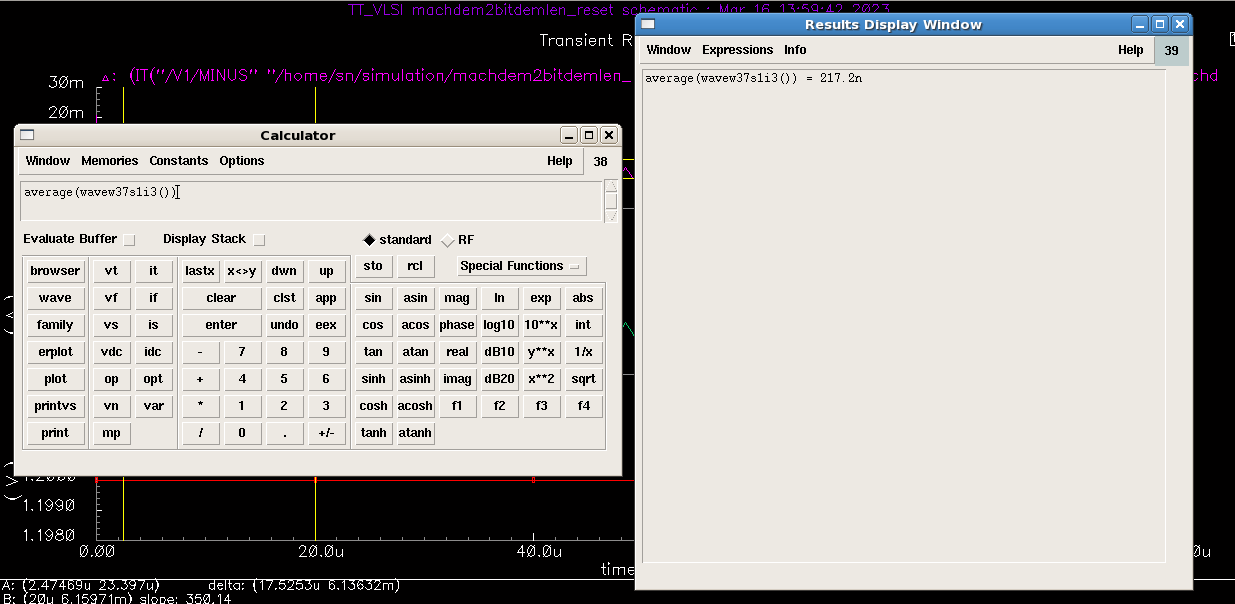
***Hình 12.48: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

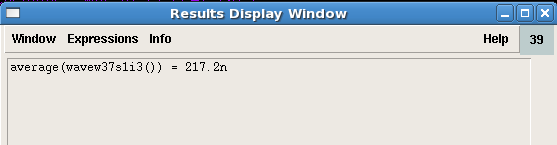
Pmax = 6.15 mW

Pmin = 23.397 uW

**Tính công suất trung bình**

****

***Hình 12.49: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 12.50: Kết quả công suất trung bình là 217.2 nW***

## 6.2 KẾT LUẬN

## 6.3 THIẾT KẾ THANH GHI DỊCH SISO 4 BIT

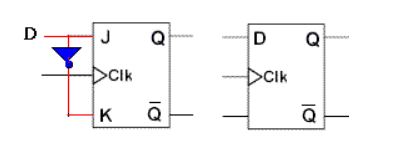
### 6.3.1 Giới thiệu

**Theo lý thuyết:**

 - Chức năng của các thanh ghi dùng để lưu trữ tạm thời dữ liệu, dùng trong truyền dữ liệu nối tiếp với chức năng chuyển dữ liệu từ song song thành nối tiếp để truyền đi và ngược lại tại hệ thống thu dữ liệu từ nối tiếp nhận vào sẽ chuyển thành song song để lưu trữ hoặc xử lý. Ngoài ra còn có thêm các mạch đếm vòng, đếm Johnson có cấu trúc cơ bản từ thanh ghi.

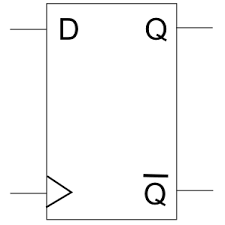
- Các dạng thanh ghi dịch bao gồm: thanh ghi vào nối tiếp ra nối tiếp, vào nối tiếp ra song song, vào song song ra nối tiếp, vào song song ra song song.

- Thanh ghi dịch 4 bit được cấu tạo từ 4 flip flop D có khả năng lưu 4 bit dữ liệu.

****

***Hình 13.1: Sơ đồ mạch Flip – Flop D***

* Flip Flop D sau khi đóng gói sẽ như hình 12.2 bên dưới:

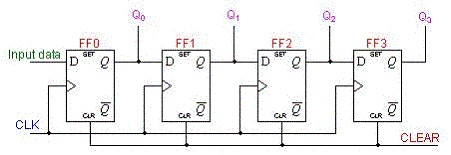


***Hình 13.2. Sơ đồ và kí hiệu của flip flop D sau khi đóng gói***

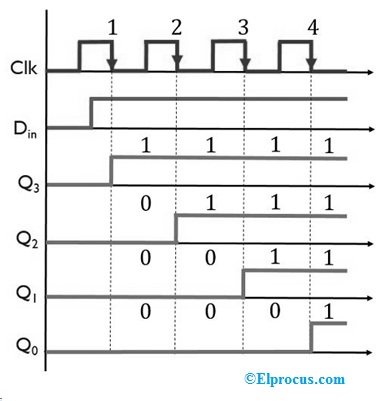
Bảng bên dưới là bảng trạng thái của flip flop T:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **NGÕ VÀO** | | **NGÕ RA** | | **TRẠNG THÁI** |
| **CK** | **D** | **Q** | **~ Q** |
|  | 0 | 0 | 1 | Giữ nguyên trạng thái |
|  | 1 | 1 | 0 | Đảo trạng thái |

Sau khi chúng ta thiết kế Flip Flop D xong thì ta sẽ ghép 4 mạch Flip Flop D để tạo ra thanh ghi dịch 4 bit vào nối tiếp ra nối tiếp:



***Hình 13.3. Sơ đồ nguyên lý của thanh ghi dịch 4 bit SISO***

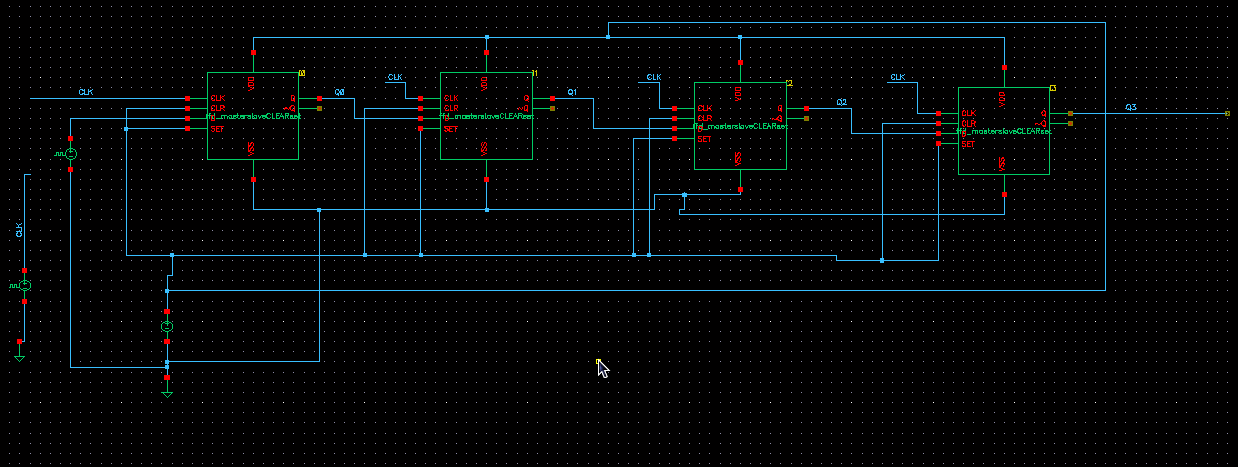


***Hình 13.4. Dạng sóng dữ liệu của thanh ghi dịch 4 bit SISO***

Trong phần mềm Cadence:

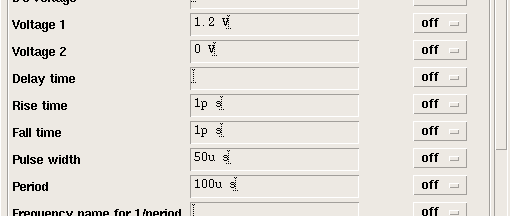
### 6.3.2 Thanh ghi dịch 4 bit SISO

### 6.3.2.1 Sơ đồ nguyên lý

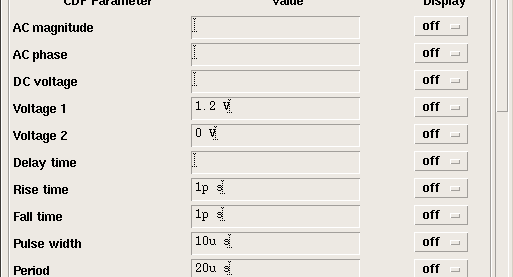


***Hình 13.5: Sơ đồ nguyên lý của thanh ghi dịch 4 bit SISO***

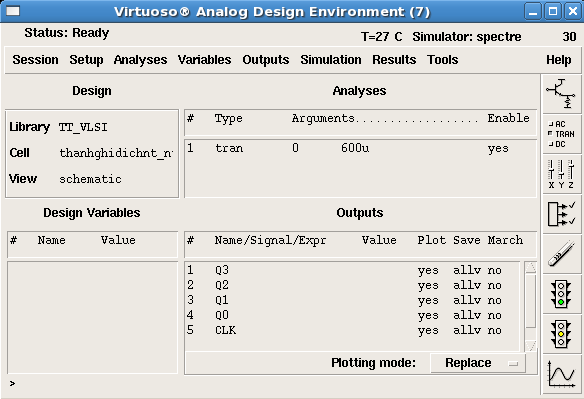
* **Thông số:**



***Hình 13.6: thông số ngõ vào D***

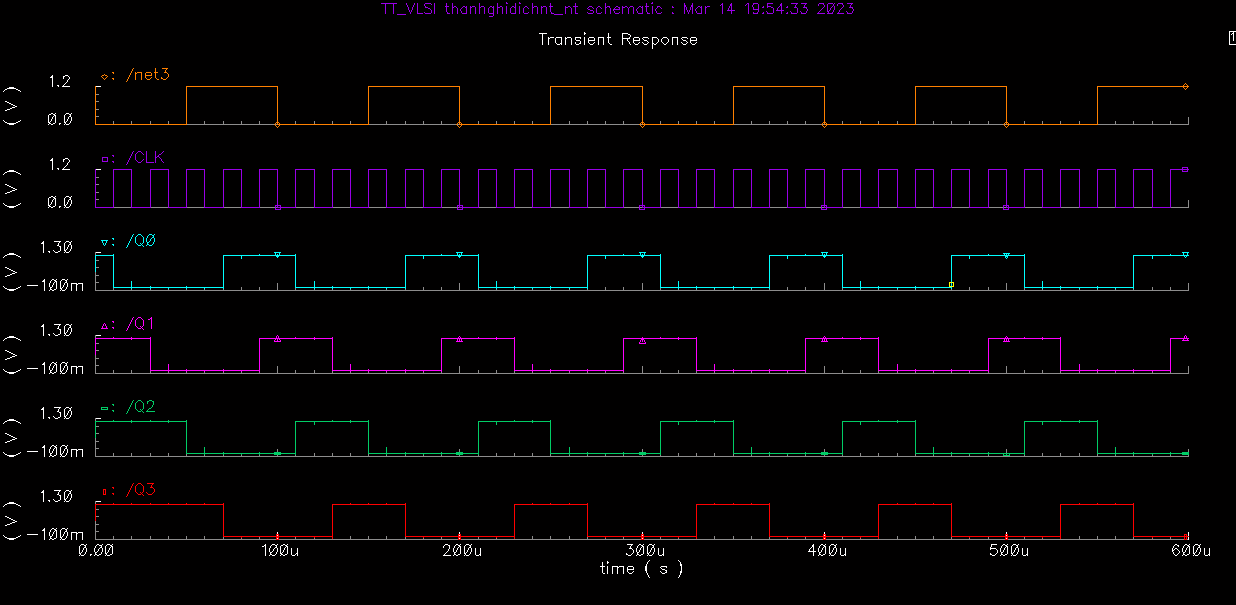


***Hình 13.7: thông số ngõ vào CLK***



***Hình 13.8: thông số Analog Environment của mạch đếm lên 2 bit KĐB***

### 6.3.2.2 Kết quả mô phỏng

******

***Hình 13.9: Kết quả mô phỏng của mạch đếm lên 2 bit KĐB***

**Phân tích:**

* Ở thời điểm 70u (s) tới 90u (s), khi xung CLK tích cực cạnh lên và D = 1,

ngõ ra Q3Q2Q1Q0 = 0001.

Ở thời điểm 90u (s) tới 110u (s), ngõ ra Q3Q2Q1Q0 = 0011.

Ở thời điểm 110u (s) tới 130u (s), ngõ ra Q3Q2Q1Q0 = 0111.

Ở thời điểm 130u (s) tới 150u (s), ngõ ra Q3Q2Q1Q0 = 1100.

Ở thời điểm 150u (s) tới 170u (s), ngõ ra Q3Q2Q1Q0 = 1000.

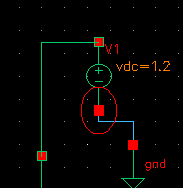
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Outputs | | | |  |
| Q3 | Q2 | Q1 | Q0 |
| 0 | 0 | 0 | **1** |
| 0 | 0 | **1** | **1** |
| 0 | **1** | **1** | **1** |
| **1** | **1** | **1** | 0 |
| **1** | **1** | 0 | 0 |
| **1** | 0 | 0 | 0 |

* Ta thấy mô phỏng chạy đúng với bảng trạng thái.

### 6.3.2.3 TÍNH CÔNG SUẤT TIÊU THỤ TRUNG BÌNH

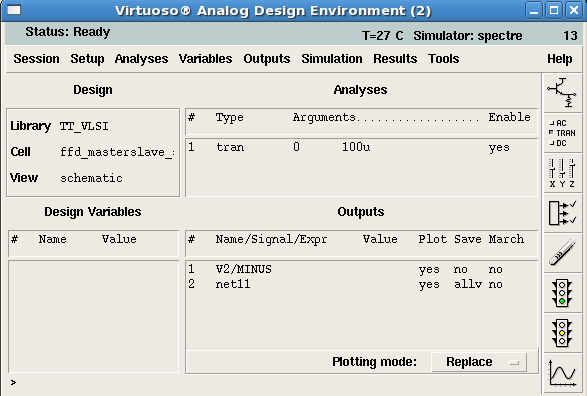
Muốn tính được công suất tiêu thụ trung bình thì ta sẽ chọn nguồn và dòng của Vdd để tính Công suất bằng cách lấy P = U.I với U là nguồn của Vdd và I là dóng của Vdd

* **Sơ đồ nguyên lý**



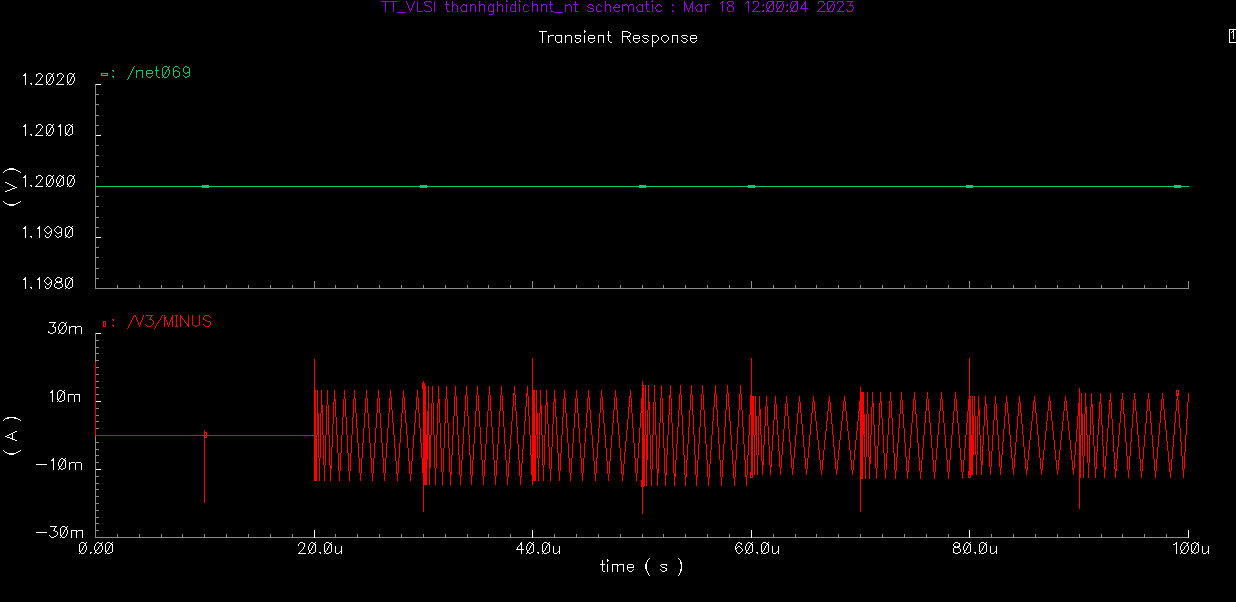
***Hình 13.10 : Chọn nguồn là dây xanh là cây mắc ở cực dương và dòng là ở cho khoanh tròn màu đỏ***

***Sau khi chọn xong thì ra nguồn và dòng để mô phỏng***

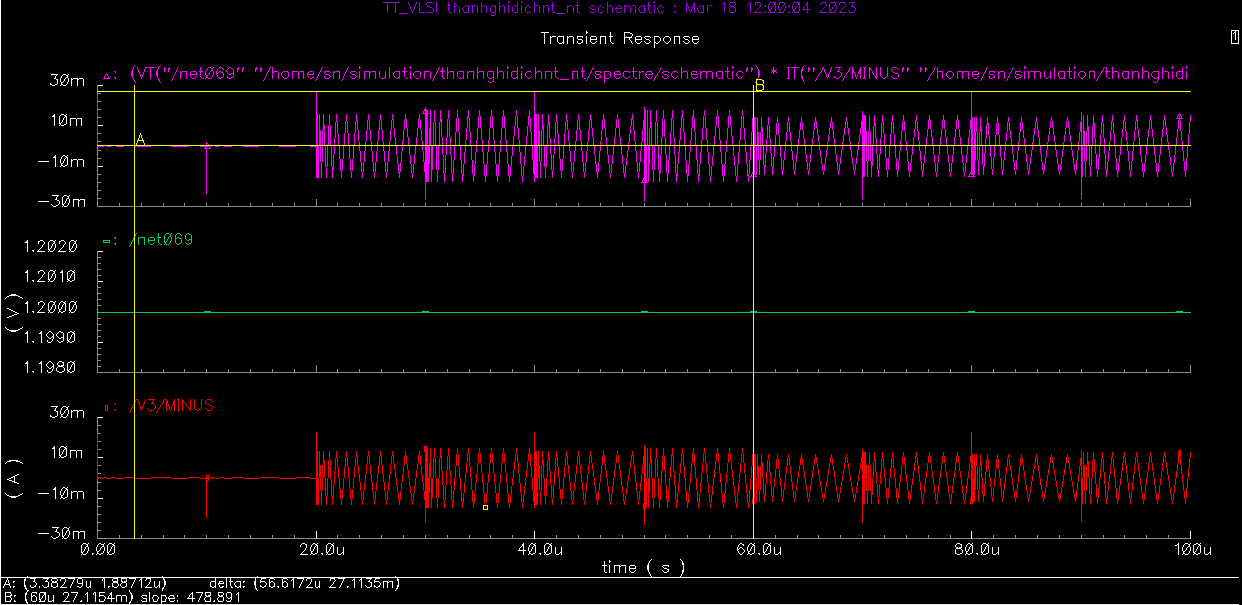
******

***Hình 13.11: Analog environment để mô phỏng dạng óng của nguồn và áp Vdd***

* **Kết quả mô phỏng**



***Hình 13.12: Kết quả mô phỏng áp và dòng của nguồn Vdd***

******

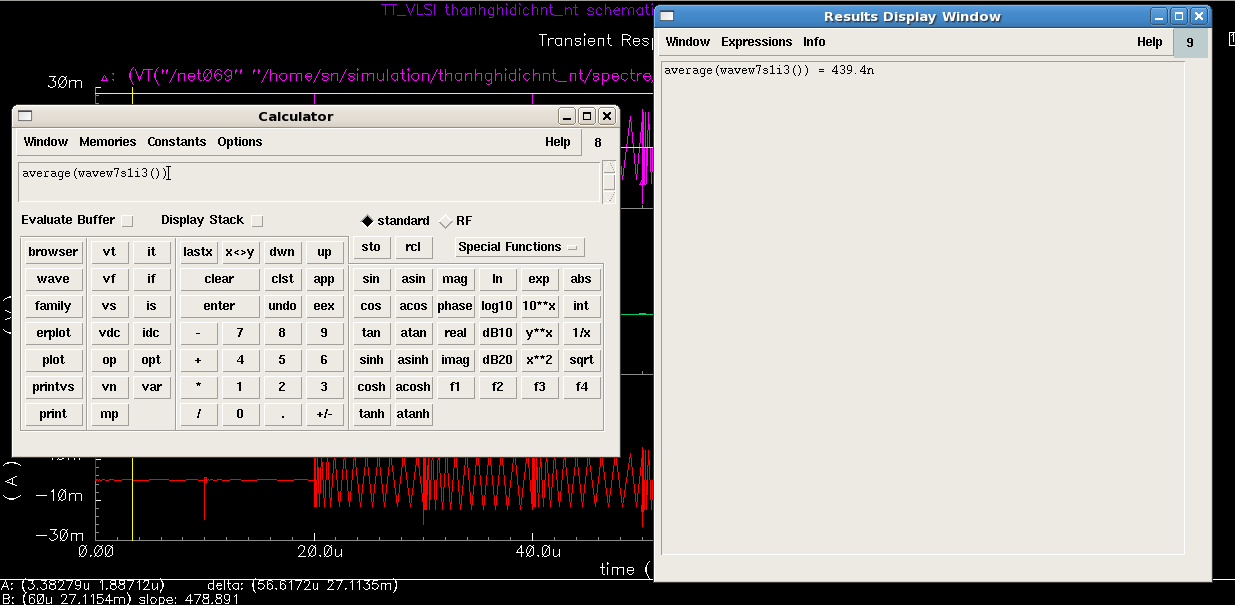
***Hình 13.13: Kết quả mô phỏng công suất tức thời***

***Phân tích kết quả***: ta có dạng sóng màu đỏ là dòng của nguồn Vdd và dạng sóng màu xanh là áp và ta sẽ dùng chức năng Calculator để tính công suất tức thời bằng cách nhân áp vs dòng theo công thức P = U.I để ra sóng màu tím là công suất tức thời.

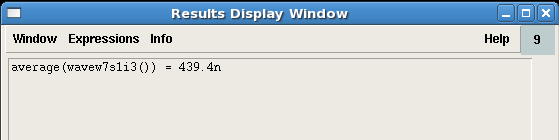
Pmax = 27.11 mW

Pmin = 1.88 uW

* **Tính công suất trung bình**

****

***Hình 13.14: Dùng Calculator để tính công suất trung bình bằng hàm Average***

******

***Hình 13.15: Kết quả công suất trung bình là 253.3 nW***