

Phạm Quốc Việt - 20119307

Kiểm tra TT VSLI

Thời gian: 3 giờ (8g-11g)

Bài 1: (4 điểm)

Cho một hàm logic sau:

$$Y = F(D, C, B, A) = \sum (0,1,4,5,7,10,14,15) + d(2,8,11,13).$$

- Lập bảng trạng thái.
- Rút gọn hàm logic dùng bìa K.
- Thiết kế mạch chỉ dùng các cổng NAND có hai ngõ vào, mô phỏng và đánh giá dạng sóng kết quả và các thông số.

Bài 2: (2 điểm)

Mô phỏng T-FF từ D-FF và đánh giá các thông số của T-FF.

Bài 3: (4 điểm)

Thiết kế một thanh dịch 4 bit có yêu cầu: Có reset và khi reset tích cực thì 4 ngõ ra bằng không, có hai xung clock CLK1 và CLK2 được sử dụng để dịch bit và dịch nửa byte (nibble, semioctet).

- Vẽ sơ đồ nguyên lý mạch.
 - Mô phỏng và đánh giá dạng sóng và các thông số.
-

Yêu cầu: SV nộp file báo cáo theo định dạng PDF có tên file là HoVaTen.pdf qua trang dạy học số.

Bài 1: (4 điểm)

Cho một hàm logic sau:

$$Y = F(D, C, B, A) = \sum (0,1,4,5,7,10,14,15) + d(2,8,11,13).$$

a. Lập bảng trạng thái.

D	C	B	A	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	X
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	X
1	0	0	1	0
1	0	1	0	1
1	0	1	1	X
1	1	0	0	0
1	1	0	1	X
1	1	1	0	1
1	1	1	1	1

b. Rút gọn hàm logic dùng bìa K.

DC \ BA	00	01	11	10
00	1	1	0	X
01	1	1	X	0
11	0	1	1	X
10	X	0	1	1

DC \ BA	00	01	11	10
00	1	1	0	X
01	1	1	X	0
11	0	1	1	X
10	X	0	1	1

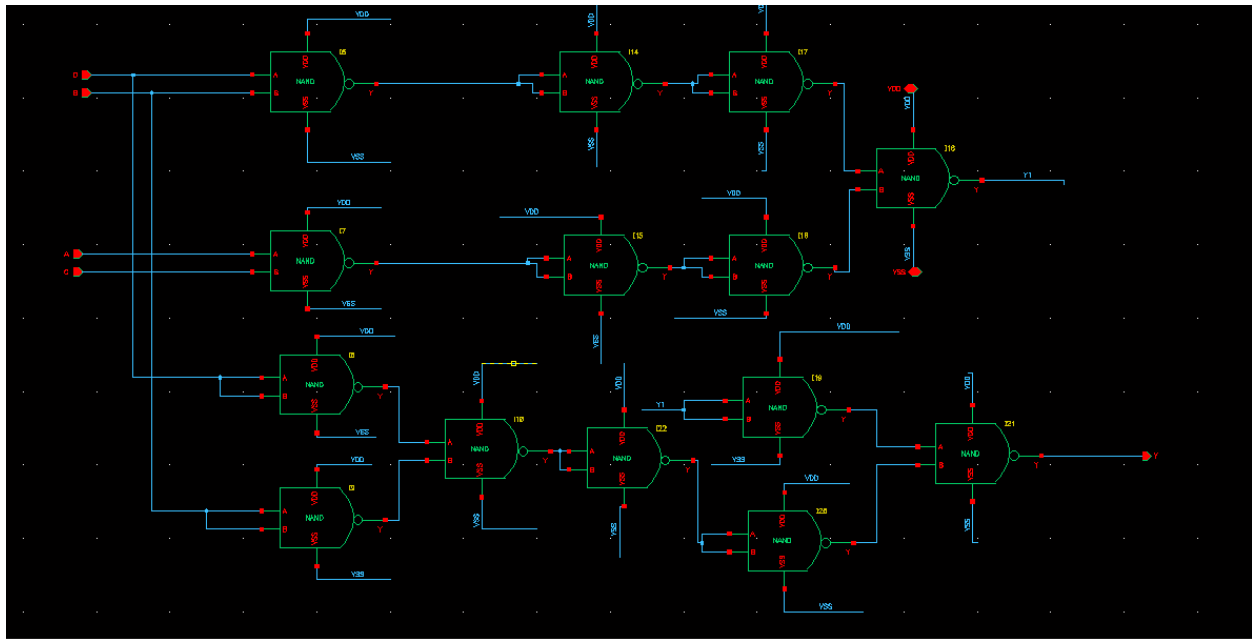
$$\Rightarrow Y = D'B' + CA + DB$$

$$\Rightarrow Y = [D'B' + CA + DB]''$$

$$\Rightarrow Y = [(D'.B')'.(CA + DB)']'$$

$$\Rightarrow Y = [(D'.B')'.(CA)'(DB)']'$$

c. Thiết kế mạch chỉ dùng các cổng NAND có hai ngõ vào, mô phỏng và đánh giá dạng sóng kết quả và các thông số.



Hình 1: sơ đồ nguyên lý

THÔNG SỐ:

Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	1p s	off
Fall time	1p s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1 period		off

Hình 2: thông số A

Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	1p	off
Fall time	1p	off
Pulse width	20u	off
Period	40u	off
Frequency name for 1/period		off

Hình 3: thông số B

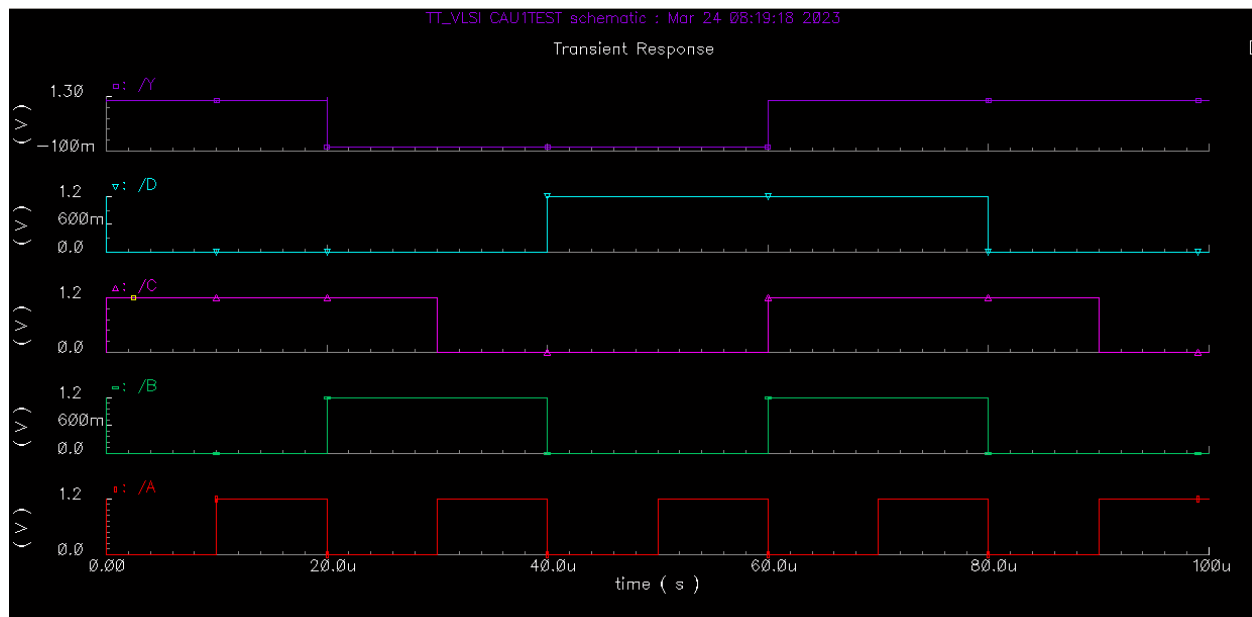
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	1p	off
Fall time	1p	off
Pulse width	30u	off
Period	60u	off
Frequency name for 1/period		off

Hình 4: thông số C

Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	1p	off
Fall time	1p	off
Pulse width	40u	off
Period	80u	off
Frequency name for 1/period		off

Hình 5: thông số D

Kết quả mô phỏng:



Hình 6: kết quả mô phỏng

Ở thời điểm 0u (s) tới 10u (s), khi xung DCBA = 0100 thì ngõ ra Y = 1

Ở thời điểm 10u (s) tới 20u (s), khi xung DCBA = 0101 thì ngõ ra Y = 1

Ở thời điểm 20u (s) tới 30u (s), khi xung DCBA = 0110 thì ngõ ra Y = 0

Ở thời điểm 30u (s) tới 40u (s), khi xung DCBA = 0011 thì ngõ ra Y = 0

Ở thời điểm 40u (s) tới 50u (s), khi xung DCBA = 1000 thì ngõ ra Y = 0

Ở thời điểm 50u (s) tới 60u (s), khi xung DCBA = 1001 thì ngõ ra Y = 0

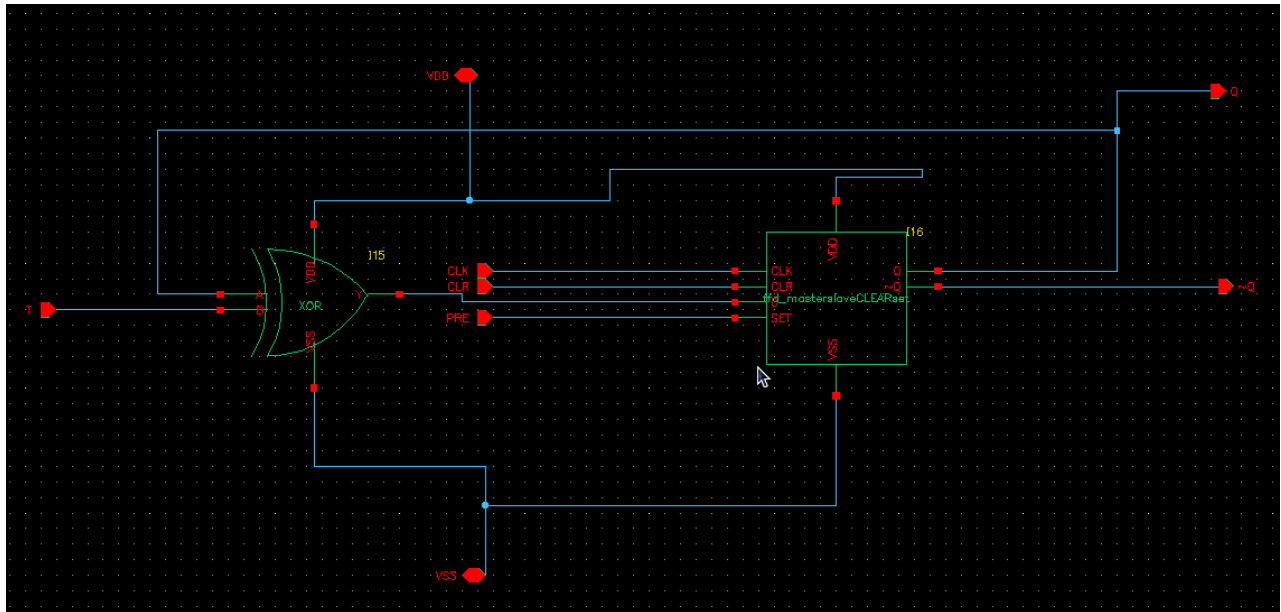
Ở thời điểm 60u (s) tới 70u (s), khi xung DCBA = 1110 thì ngõ ra Y = 1

Ở thời điểm 70u (s) tới 80u (s), khi xung DCBA = 1111 thì ngõ ra Y = 1

Bài 2: (2 điểm)

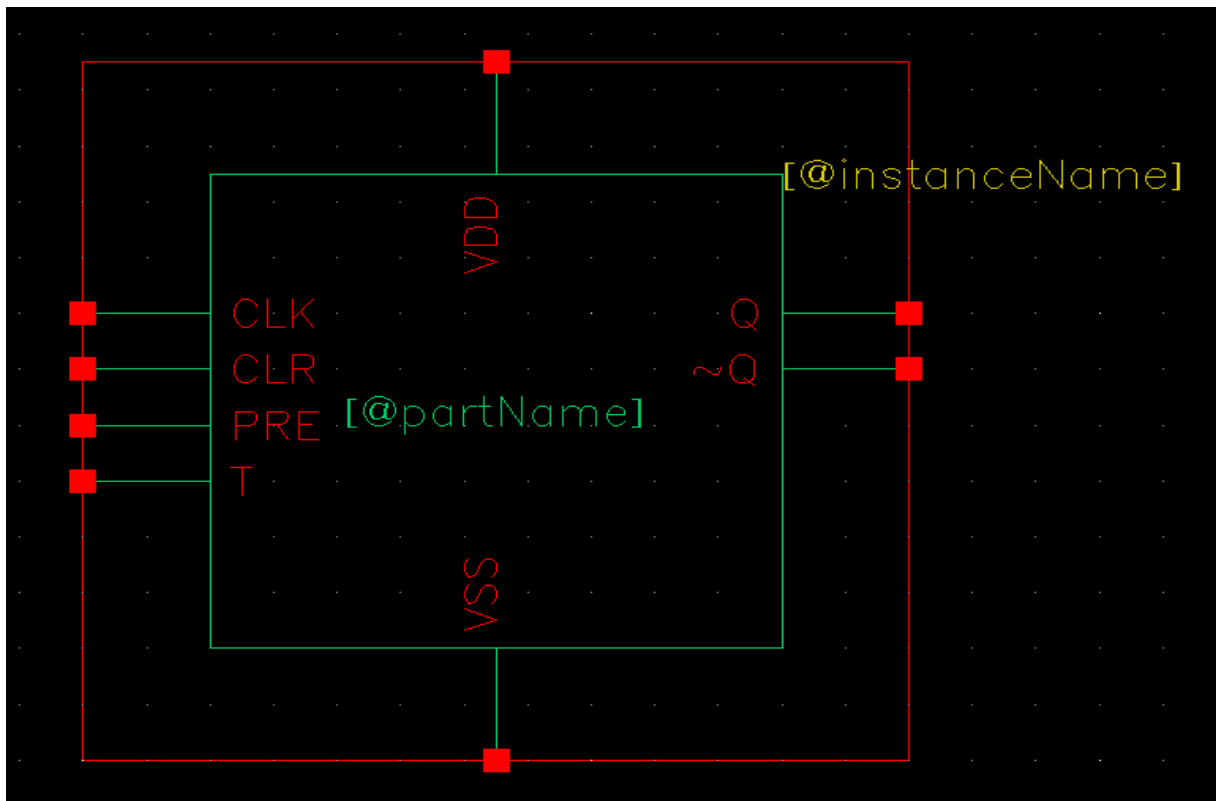
Mô phỏng T-FF từ D-FF và đánh giá các thông số của T-FF.

Sơ đồ nguyên lý T-FF ở hình 1:



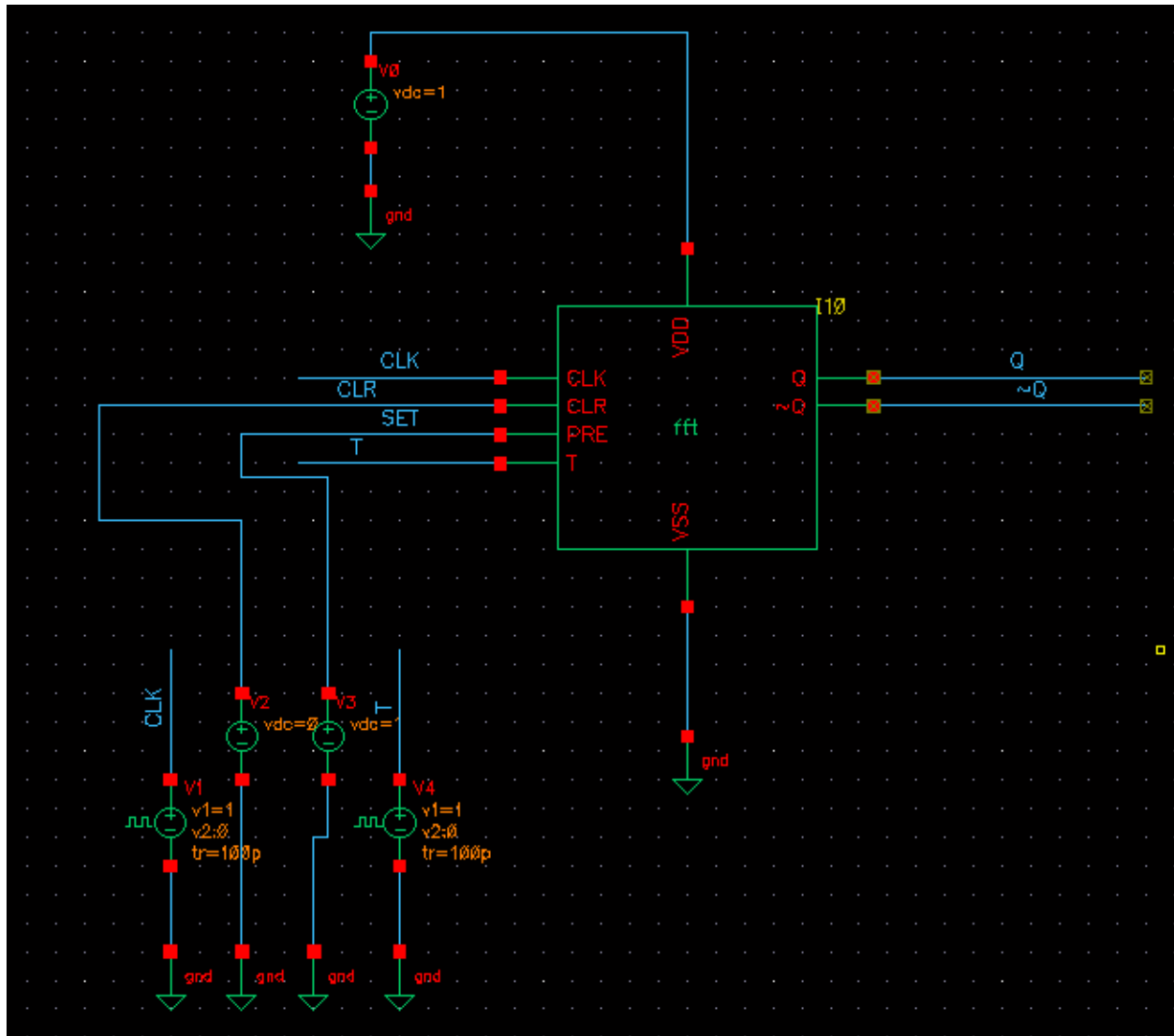
Hình 7: Sơ đồ nguyên lý T-FF

T-FF sau khi đóng gói như hình 2 bên dưới:



Hình 8: T-FF sau khi đóng gói

Ta sẽ set nguồn cho các ngõ vào như hình 3 bên dưới:



Hình 9: set thông số ngõ vào của T-FF

Thông số:

Voltage 1	1 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	100p	off
Fall time	1p	off
Pulse width	1u	off
Period	2u	off

Hình 10: thông số xung CLK

Voltage 1	1 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	100p	off
Fall time	100p	off
Pulse width	20u	off
Period	40u	off

Hình 11: thông số CLR

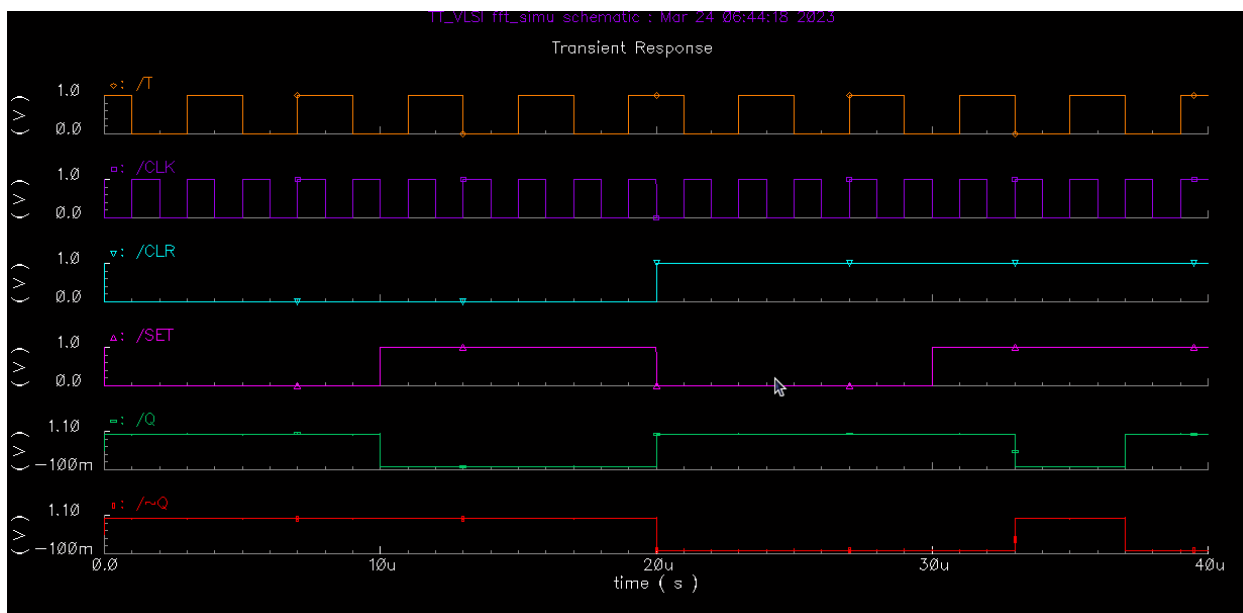
Voltage 1	1 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	100p	off
Fall time	100p	off
Pulse width	10u	off
Period	20u	off

Hình 12: thông số SET

Voltage 1	1 V	off
Voltage 2	0 V	off
Delay time	1u s	off
Rise time	100p s	off
Fall time	100p s	off
Pulse width	2u s	off
Period	4u s	off
Frequency name for 1/period		off

Hình 13: thông số T

Sau khi ta set nguồn cho ngõ vào thì sẽ tiến hành mô phỏng:



Hình 14: kết quả mô phỏng của T-FF

Phân tích:

Ở thời điểm 0u (s) tới 10u (s), khi xung CLR = 0, SET = 0 thì ngõ ra Q = 1 và ~Q = 1

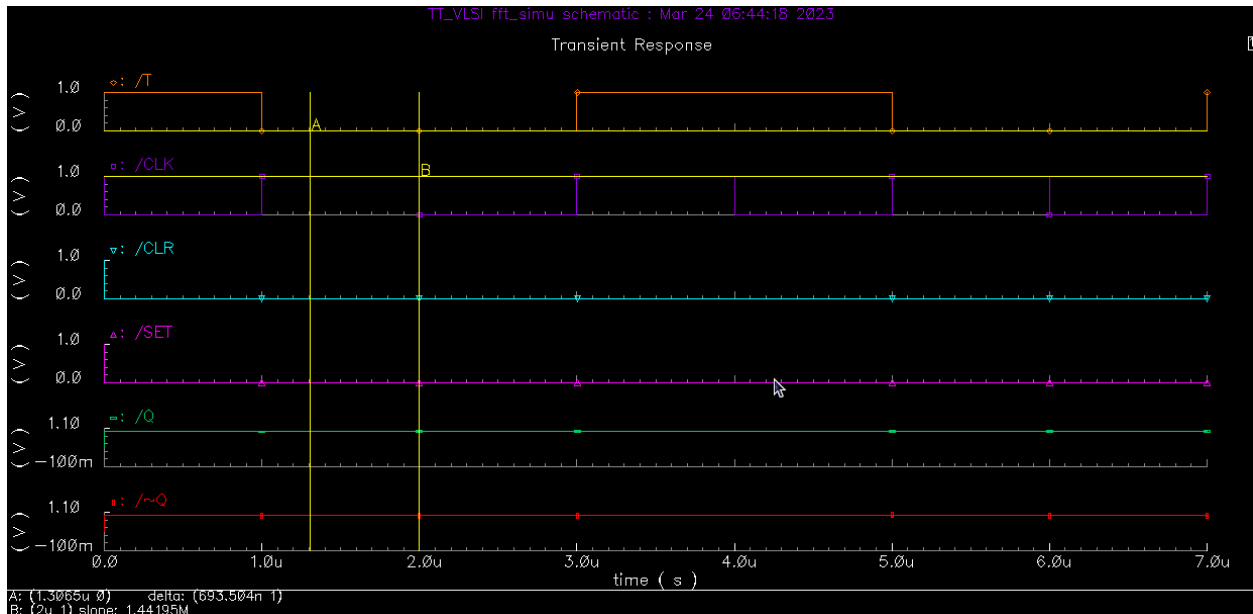
Ở thời điểm 10u (s) tới 20u (s), khi xung CLR = 0, SET = 1 thì ngõ ra Q = 0 và ~Q = 1.

Ở thời điểm 20u (s) tới 30u (s), khi xung CLR = 1, SET = 0 thì ngõ ra Q = 1 và ~Q = 0

Ở thời điểm 31u (s), khi xung CLK cạnh lên, T = 1, CLR = 1, SET = 1 thì ngõ ra Q = 1 và ~Q = 1 do không đổi trạng thái.

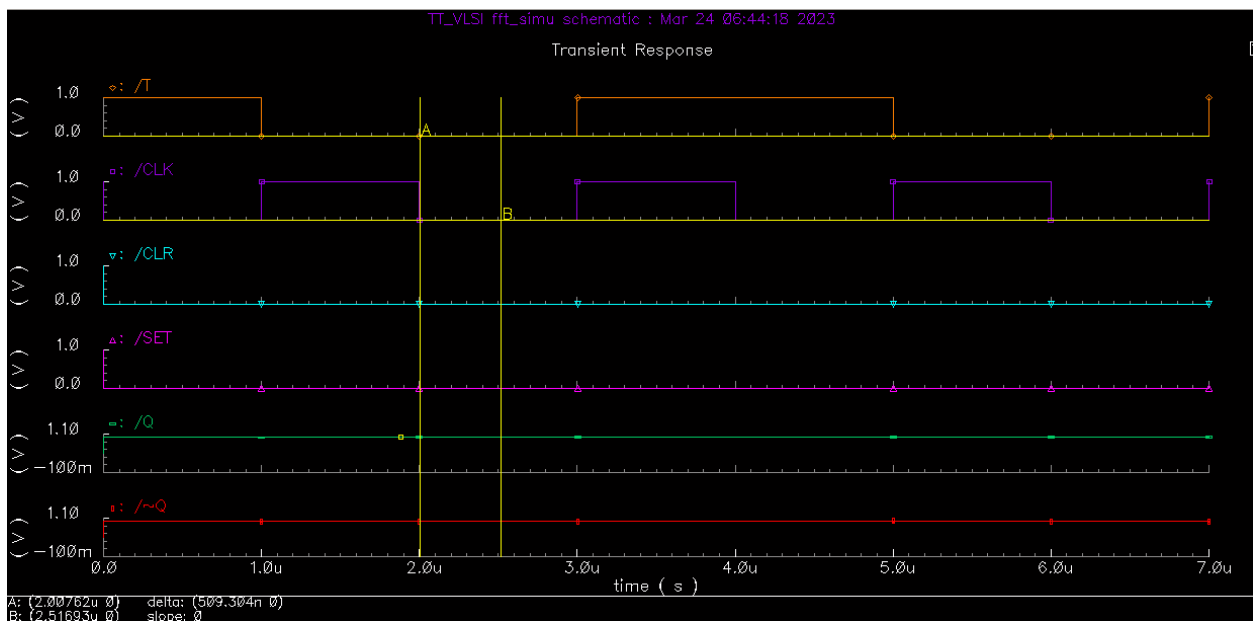
Ở thời điểm 33u (s) tới 34u (s), khi xung CLK cạnh lên, $T = 0$, $CLR = 1$, $SET = 1$ thì ngõ ra $Q = 0$ và $\sim Q = 1$ do đảo trạng thái.

❖ $T_{su}(\text{setup time}) = 693,504 \text{ n(s)}$



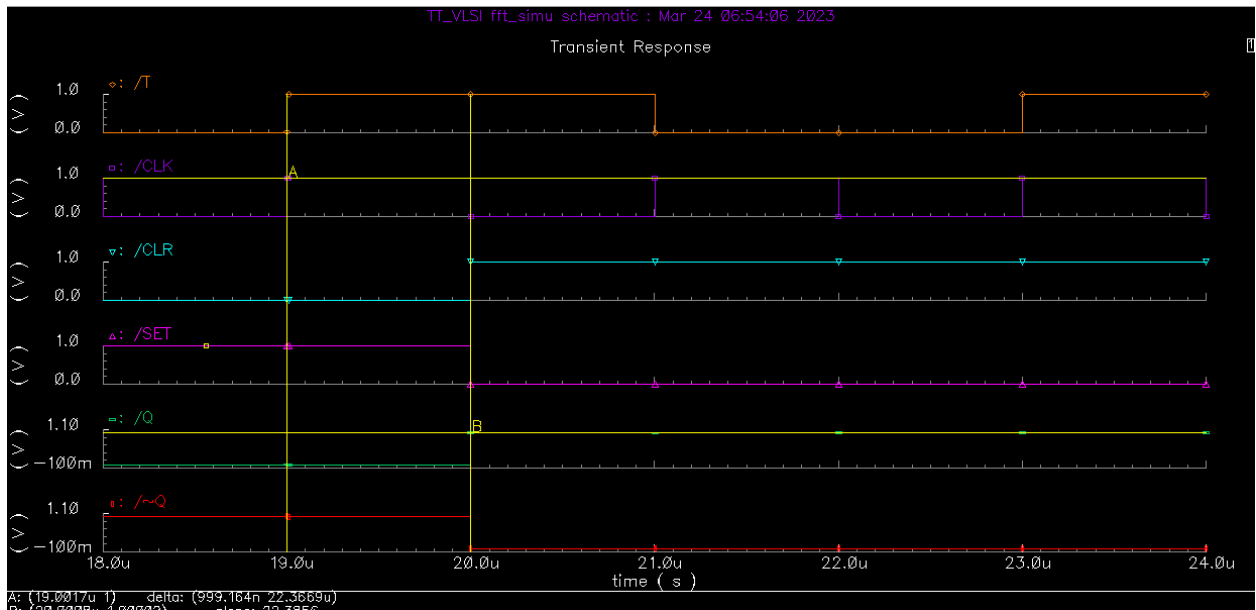
Hình 15: vùng thời gian thiết lập

❖ $T_h(\text{hold time}) = 509,304 \text{ n(s)}$



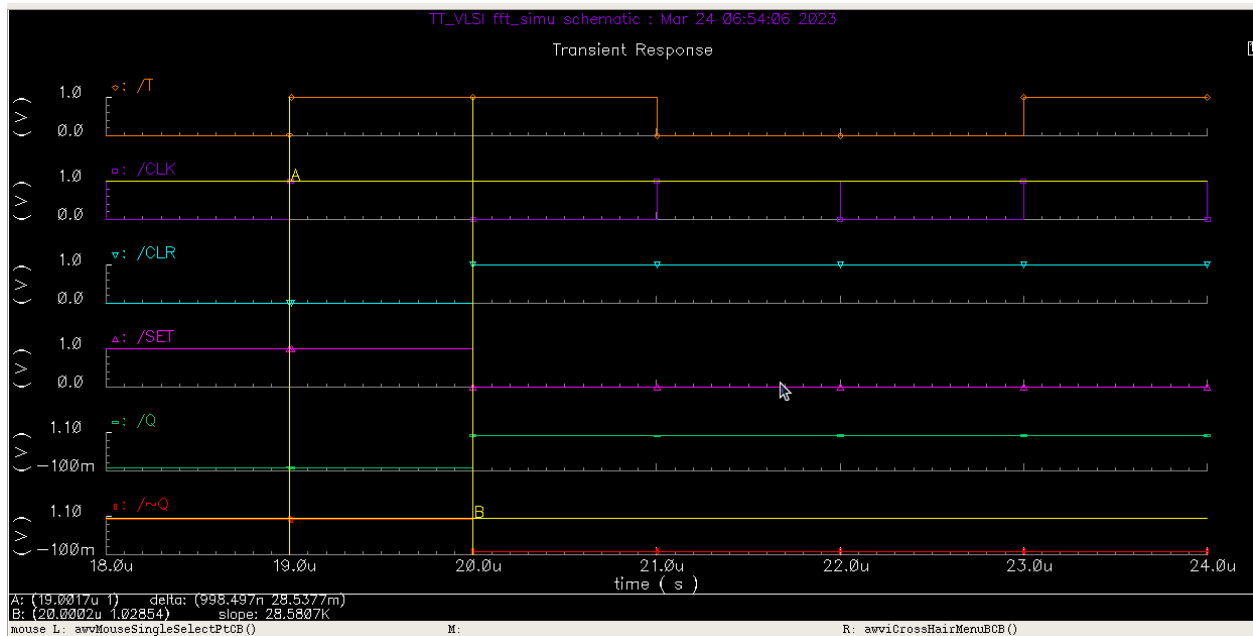
Hình 16: vùng thời gian giữ

❖ Thời gian từ xung CLK tới Q = 999.164n (s)



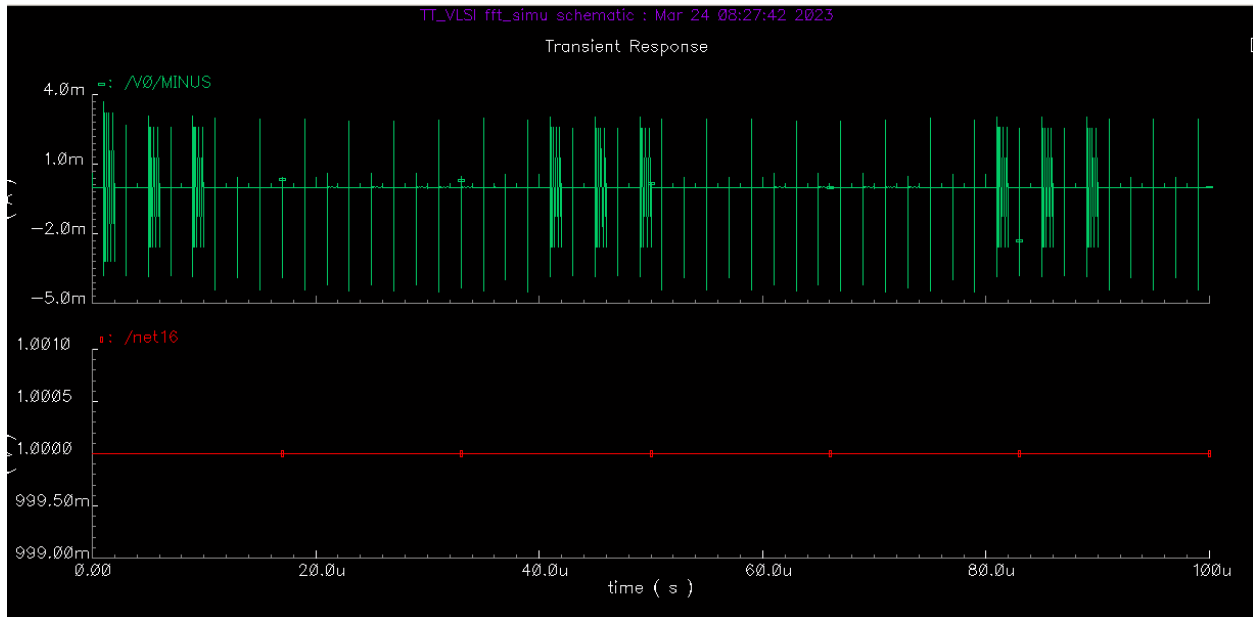
Hình 17: thời gian từ xung CLK tới Q

❖ Thời gian từ xung CLK tới Q' = 998.457 (s)

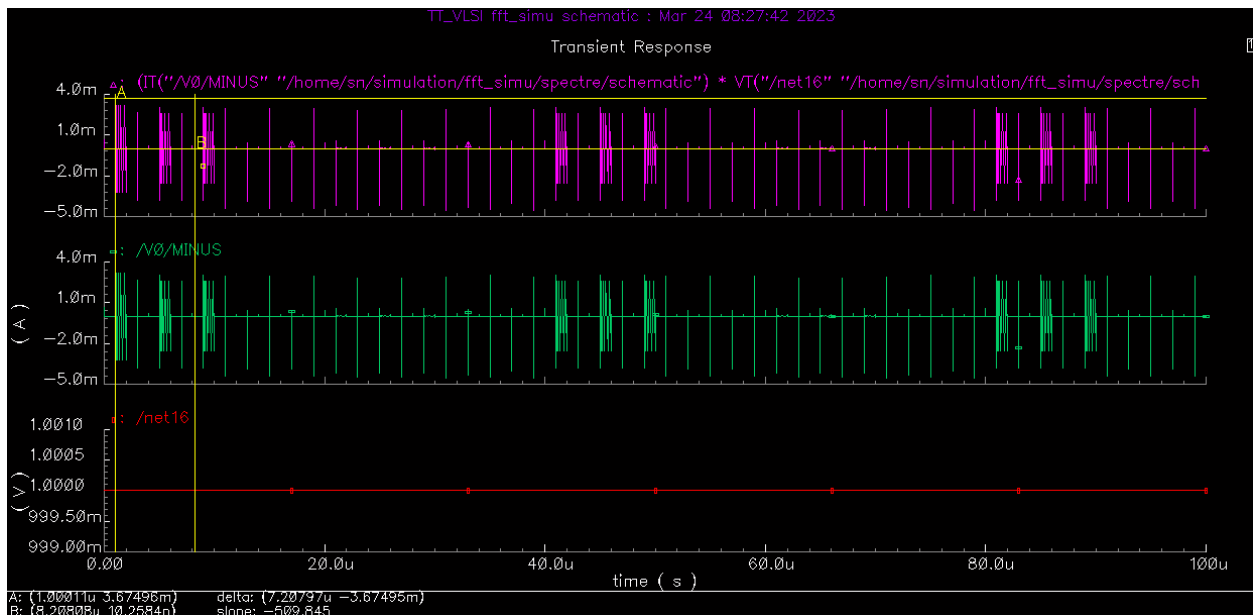


Hình 18: thời gian từ xung CLK tới Q'

❖ Tính công suất của FFT:



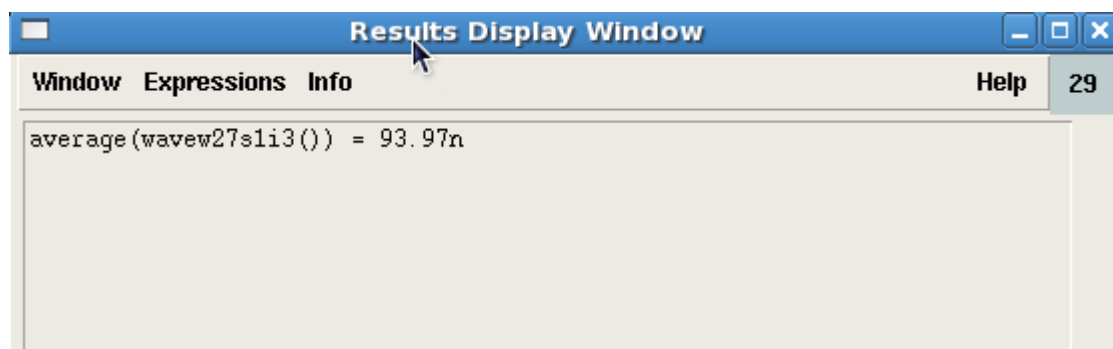
Hình 19: dạng sóng mô phỏng nguồn và dòng



Hình 20: dạng sóng mô phỏng công suất tức thời

$$P_{max} = 3.67m \text{ W}$$

$$P_{min} = 10,25n \text{ W}$$



Hình 21: công suất trung bình là 93.97n W